

DOI: 10.19650/j.cnki.cjsi.J2209491

一种基于时间寄存型脉宽比较器和离散时间微分器的 无采样时钟准数字 FSK 解调器^{*}

阴亚东, 黄怡涛

(福州大学物理与信息工程学院 福州 350108)

摘 要:本文提出并实现了一种高载波频偏抑制、无采样时钟的准数字频移键控(FSK)解调器。解调器采用了一种对工艺、温度和电压等变化具有较好鲁棒性的准数字时间寄存器构造脉宽比较器,无需高频采样时钟便可对 FSK 信号的载波周期进行精确鉴别从而实现信号的解调。同时在解调器中集成了一种离散时间微分器,可有效地抑制 FSK 信号载波频率偏差和漂移对解调性能的影响。本文完成了解调器的原型设计、原理分析、制作和测试。测试结果显示解调器只需最低 10.7 dB 的信噪比,便可对调频系数 0.5、数据率 1 Mbps 的 FSK 信号实现解调(误码率不超过 10^{-3}),同时能够对 $-0.56 \sim 0.48$ MHz 范围内变化的载波频偏和频漂进行有效抑制。

关键词: 离散时间微分器;FSK 解调;脉宽比较器;时间寄存器

中图分类号: TH86/TN76 **文献标识码:** A **国家标准学科分类代码:** 510.10

Sampling-clockless quasi-digital FSK demodulator implemented with time-register-based pulse-width comparators and a discrete-time differentiator

Yin Yadong, Huang Yitao

(School of Physics and Information Engineering, Fuzhou University, Fuzhou 350108, China)

Abstract: This article proposes and implements a sampling-clockless quasi-digital frequency-key-shifting (FSK) demodulator with a strong tolerance against carrier-frequency offset. To precisely discriminate periods of the FSK signal without a high-frequency sampling clock, quasi-digital time registers are used to construct pulse-width comparators (PWC) to demodulate the FSK signal, which are robust against the process, voltage, and temperature variation. In addition, a discrete-time differentiator is proposed and integrated into the demodulator to efficiently reject the inevitable carrier frequency offset and drift of the FSK signal. The demodulator is prototyped, analyzed, implemented, and tested. The measurement results show that the demodulator can demodulate FSK signal with a data rate of 1 Mbps and a modulation index of 0.5, while only requiring a 10.7 dB signal-to-noise ratio to achieve a demodulation quality with a bit-error ratio of no more than 10^{-3} while tolerating a frequency offset or drift in the range of -0.56 to 0.48 MHz.

Keywords: discrete-time differentiator; FSK demodulation; pulse-width comparator; time register

0 引 言

频率调制解调技术利用载波频率/周期的变化进行信息加载,是最基本的信息传输技术之一,广泛地应用于各种有线/无线通信系统中,同时在原子力显微镜^[1]、微型光谱仪^[2]、长度精密计量^[3]、振动检测^[4]等众多测量检测领域中也发挥着重要作用。频移键控(frequency shift keying, FSK)凭借其数字化特征已然成为当前应用最为

广泛的频率调制解调技术,受到业界青睐和重视。常规 FSK 频率调制解调系统一般由调制器和解调器组成。调研发现,现有 FSK 解调器设计可以大致分为 3 类:包络检测型(envelop-detecting type, EDT)、时间延迟型(time-delaying type, TDT)和周期鉴别型(period-discriminating type, PDT)。EDT 类解调器主要采用过零检测^[5]、注入锁定振荡器^[6]、周期-时间转换器^[7]以及移相器+混频器^[8]等技术,将 FSK 信号的载波频率变化转变为信号幅度变化,然后利用放大器、比较器等对信号的幅度变化进

行鉴别从而实现数据的解调。大体上,EDT解调器由运算放大器、滤波器和电压比较器等模拟器件构成,这些模拟器件往往很容易受到工艺、温度和电压(process, temperature, voltage, PVT)变化的影响,因此需要使用校准技术来维持性能。TDT解调器则采用延迟线^[9]或注入锁定振荡器^[10]等从FSK信号中提取出相位超前/滞后的时钟,然后利用该时钟对FSK信号进行采样而实现数据解调。该技术与EDT一样易受PVT变化影响,因此也依赖参数校准。同时,TDT解调器中延迟线和注入锁定振荡器对FSK信号载波频率变化较为敏感,容易受载波频率偏差或频率漂移干扰的影响。PDT解调器采用高频时钟对FSK数字信号进行采样计数,动态地将FSK信号载波周期转换为计数值,通过检测计数值变化而实现数据解调^[11-12]。该类型解调器通常采用数字器件实现,对PVT变化不明感,但需要使用远高于FSK载波频率的采样时钟以达到较高的时间分辨率,因而应用范围受限。

有鉴于此,本文提出了一种新型PDT类FSK解调器。利用时间寄存器(time register, TR)^[13-14]构造了一种精确的脉宽比较器(pulse-width comparator, PWC),以实现对FSK载波周期变化的鉴别。为了抑制FSK信号载波频偏和频漂的影响,巧妙地利用PWC工作特点,构造了一种离散时间微分器(discrete-time differentiator, DTD),有效地提高了解调器对载波频率频偏或频漂的抑制能力。解调器基本上采用数字器件实现并仅需少量模拟开关和阻容器件,可以看成一种准数字电路,能够实现较强的PVT鲁棒性。与传统PDT解调器不同,新型解调器无需使用高速数字计数器而省去了额外的高频采样时钟,拓宽了应用范围。

1 新型FSK解调器电路分析

1.1 系统架构和整体工作原理

如图1所示,解调器为2端口电路,包括数字FSK信号输入CKFSK和二进制解调数据输出DTO;其主要由6个脉宽比较器PWC1~PWC6、1个时钟分配器、4个门和1个RS触发器构成。每个脉宽比较器为6端口模块,则包括了脉宽输入端CKA和CKB、复位端RST、再生端RPC以及输出端QA和QB。图1(a)显示了新型FSK解调器的电路结构。图1(b)给出了解调器工作时关键信号的时序情况。在CKFSK的驱动下,时钟分配器连续地将CKFSK的载波周期转换为高电平脉冲,并将这些脉冲依次轮流地分配给输出信号 $Y_1 \sim Y_6$,以控制PWC进行脉冲宽度鉴别。以第 i 个脉宽比较器PWC $_i$ 为例进行说明,首先将 Y_i 之上的脉冲和 $Y_{\text{mod}(i+3,6)}$ 之上的脉冲分别输入至PWC $_i$ 的CKA和CKB以进行脉宽比较。如果

Y_i 脉宽比 $Y_{\text{mod}(i+3,6)}$ 的短,PWC $_i$ 的输出端QA上将产生一个高电平脉冲;反之,PWC $_i$ 的输出端QB上产生一个脉冲。若两者脉宽相同,则无脉冲产生。为了确保脉宽比较器中时间寄存器的正常工作,将 $Y_{\text{mod}(i+1,6)}$ 和 $Y_{\text{mod}(i+2,6)}$ 上的脉冲分别用于比较器的复位和再生操作(具体工作原理详见1.2节)。选择 Y_i 与 $Y_{\text{mod}(i+3,6)}$ 进行比较的原因与DTD有关,具体原因将在1.3节进行说明。

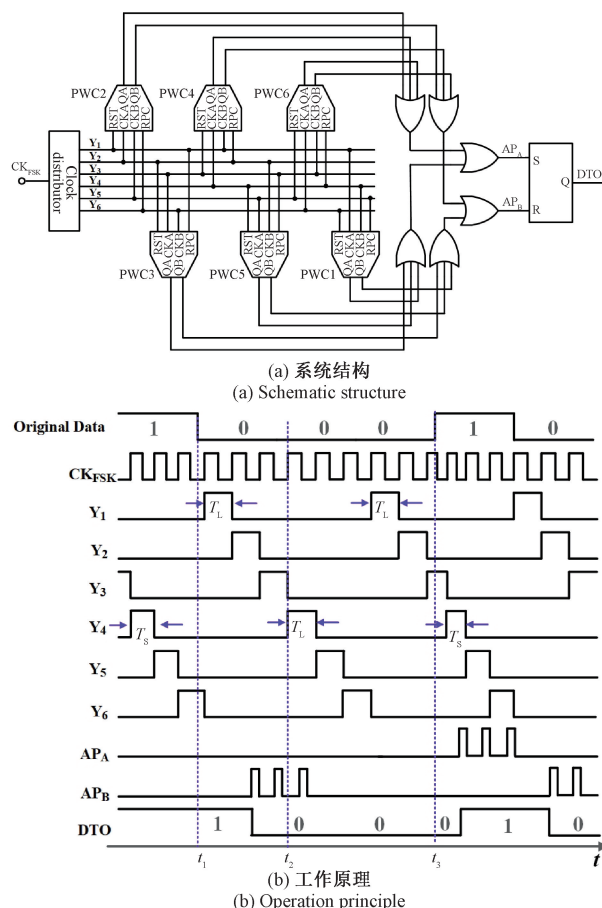


图1 新型FSK解调器系统架构和工作时序

Fig. 1 The schematic and operation principle of the proposed demodulator

6个PWC的脉宽鉴别操作完全一致。所有PWC的QA和QB上所产生的脉冲将通过逻辑或门分别汇聚于 AP_A 和 AP_B ,以驱动RS触发器进行数据判决。 AP_A 的脉冲将使RS触发器输出端DTO置位;相反地, AP_B 的脉冲将使DTO复位。图1(b)给出了当FSK信号 CK_{FSK} 调制了二进制数据“100010”时解调器的工作情况。在 t_1 时刻之前, CK_{FSK} 调制数据为1,因此DTD置位,此时时钟分配器分配在 Y_4 上的脉冲脉宽为 T_s ;当 t_1 时刻调制数据跳变为0,其载波周期变长为 T_L ($T_L > T_s$),则此时 Y_1 上分配的脉冲脉宽亦为 T_L ;之后, Y_2 上的脉冲将驱动PWC1

输出脉宽鉴别结果:AP_B上产生脉冲;最终 DTO 复位,表明解调数据为 0。同理,在 t_2 时刻时调制数据保持为 0,因此 Y_4 和 Y_1 上的脉宽相同均为 T_L , DTO 无变化,解调结果依然为 0。在 t_3 时刻时调制数据跳变为 1,则 Y_4 脉冲为 T_S 而 Y_1 脉冲为 T_L , AP_A 上产生脉冲造成 DTO 置位,表明解调结果为 1。

由上分析可知,脉宽比较器是本文解调器的关键核心模块,其鉴别精度将直接影响解调器性能。传统 PDT 解调器通过对 FSK 信号采样计数的形式实现载波周期鉴别操作,使用高速精确的采样计数时钟来保证鉴别效果。相比之下,本解调器将使用一种新型脉冲比较器,在未使用高速精确的采样计数时钟的情况下,实现了载波周期的精确鉴别。

1.2 新型脉宽比较器分析

图 2(a) 显示了新型脉宽比较器的电路结构。如图所示,其主要由 2 条对称的支路组成;每一支路包括了时间寄存器 (TR)、反相型延迟单元 (Delay Cell)、反相器和 D 触发器;每个时间寄存器则由模拟开关、电阻、电容、二输入或门和施密特触发器构成。时间寄存器主要功能为将输入脉冲的宽度转换为内部电容存储的电荷量,然后在指定时刻利用再生操作将该电荷量按比例转换为输出信号之间的相位差^[13]。根据时间寄存器特点,6 个 PWC 轮替的对 $Y_1 \sim Y_6$ 上的脉冲宽度进行鉴别,单次鉴别操作大致可分为 3 步:1) RST 上的脉冲复位 PWC,时间寄存器内的电容将进行充电,电容电压 V_{CA} 和 V_{CB} 被拉升至电源电压 V_{DD} 。2) CKA 和 CKB 上的脉冲将分别对电容进行放电,其放电时间等于各自的脉冲宽度,造成 V_{CA} 和 V_{CB} 下降。3) RPC 上的脉冲触发再生操作,时间寄存器的电容同时放电, V_{CA} 和 V_{CB} 下降至低于施密特触发器阈值电压,脉宽比较结束。

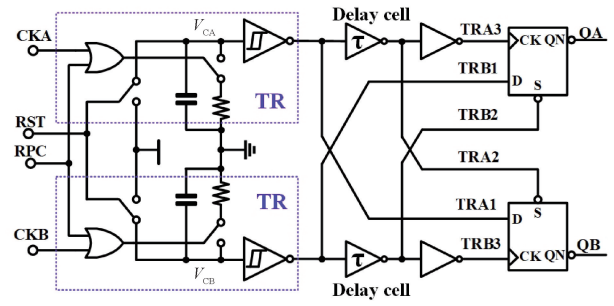
当 V_{CA} 和 V_{CB} 的电压下降至低于施密特触发器阈值电压时,施密特触发器输出 TRA1 和 TRB1 分别跳变为 1。由于 PWC 的 2 条支路完全对称,根据电容充放电原理可知:

$$t_A + t_{RA1} = t_B + t_{RB1} = \tau \ln \left(\frac{V_{DD}}{V_{TH}} \right) \quad (1)$$

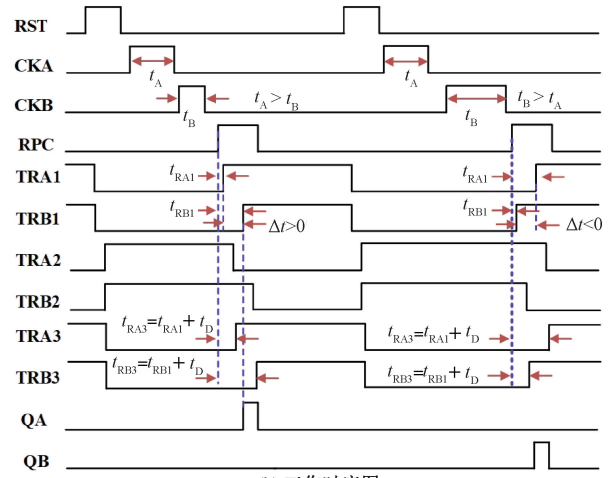
其中, t_A 和 t_B 分别为 CKA 和 CKB 上脉冲的宽度; t_{RA1} 和 t_{RB1} 分别为 RPC 脉冲上升沿与 TRA1 和 TRB1 上升沿的时间间隔; V_{DD} 为电源电压而 V_{TH} 为施密特触发器的阈值电压。 τ 为时间寄存器中阻容器件构成的时间常数。由式 (1) 可得,最终 TRA1 和 TRB1 之间的相位差为:

$$\Delta t = t_{RB1} - t_{RA1} = t_A - t_B \quad (2)$$

式 (2) 中并不包含时间寄存器电路参数,也与电源电压等无关;这意味着 PVT 变化原则上无法影响鉴别结果。



(a) 系统结构
(a) Schematic structure



(b) 工作时序图
(b) Timing diagram

图 2 新型脉宽比较器电路结构和工作时序

Fig. 2 The schematic and detailed timing diagram of the proposed pulse-width comparator

TRA1 和 TRB1 分别被延迟和反相后产生 2 组互补信号 TRA2/TRA3 和 TRB2/TRB3。其中, TRA3 和 TRB3 驱动 D 触发器分别对 TRB1 和 TRA1 进行采样; TRA2 和 TRB2 则用于 D 触发器的复位。图 2(b) 显示了 PWC 中关键信号的工作时序。如图所示,当 CKA 脉宽 t_A 长于 CKB 脉宽 t_B 时, TRA1 的相位将领先 TRB1, $\Delta t > 0$; TRA1 经过延迟 t_D 后形成 TRA3 驱使 D 触发器对 TRB1 进行采样;如果 TRA3 与 TRB1 的相位差 ($\Delta t - t_D$) > 0 , 则采样结果将为 0, QA 变为 1;否则 QA 保持不变。同理,当 CKA 脉宽 t_A 短于 CKB 脉宽 t_B 时, TRA1 相位将滞后 TRB1, $\Delta t < 0$; TRB1 延迟后形成 TRB3 驱使 D 触发器对 TRA1 进行采样;如果 TRB3 与 TRA1 的相位差 ($|\Delta t| - t_D$) > 0 , 则采样结果为 0, QB 变为 1;否则, QB 保持不变。延迟量 t_D 相当于形成了时间阈值,可以有效地避免实际应用中的噪声干扰。

1.3 离散时间微分器

载波的频偏和频漂是 FSK 调制解调技术实际使用过程中难以避免的“棘手”问题。其本质上源于载波发送/接收两端的本地振荡 (local oscillation, LO) 的频率误

差。许多低功耗、低成本装置往往采用品质较差的器件来产生 LO,造成载波频偏和频漂问题;当前越来越多 FSK 调制解调装置逐渐使用不定中频(uncertain-IF)架构进行设计^[15-16],加重了载波频偏和频漂问题;这些对 FSK 解调器抗载波频偏频漂的能力提出了高要求。为了解决该问题,本文提出了一种离散时间微分器(DTD)方案来避免载波频偏频漂造成 FSK 解调器性能退化。该方案通过比较当前载波周期和 K 个周期之前的载波周期而实现离散微分功能;具体地,其比较结果可描述为:

$$PCR(j) = T(j) - T(j + K) \quad (3)$$

其中, $T(j)$ 为当前 FSK 信号载波周期,而 $T(j+K)$ 为 K 个周期前的载波周期。不失一般性地,假设 FSK 信号频率变化较小,可以认为 PWC 进行交替周期鉴别时,其鉴别间隔时间不变,则可对式(3)使用 z 变换而不会改变解调器特性。因此可以得到:

$$PCR(z) = T(z)(1 - z^K) \quad (4)$$

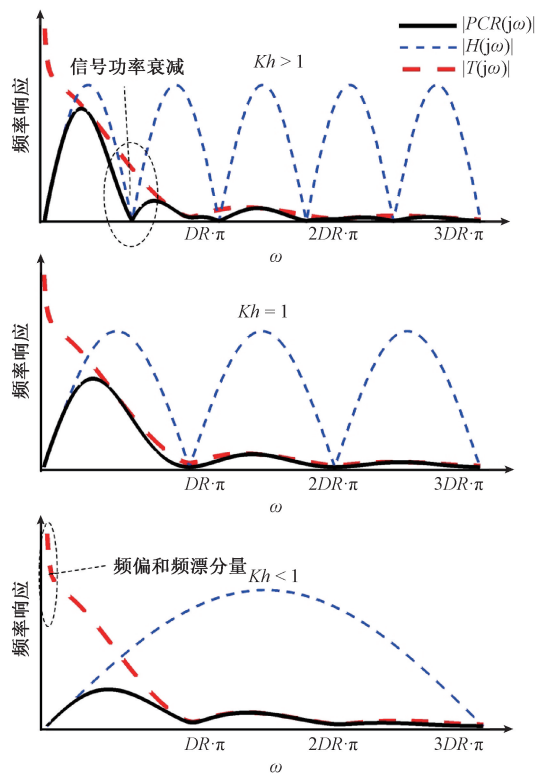
可以得到 DTD 的频率响应为:

$$|H(j\omega)| = \left| \frac{PCR(j\omega)}{T(j\omega)} \right| = 2 \left| \sin\left(Kh \frac{\omega}{DR}\right) \right| \quad (5)$$

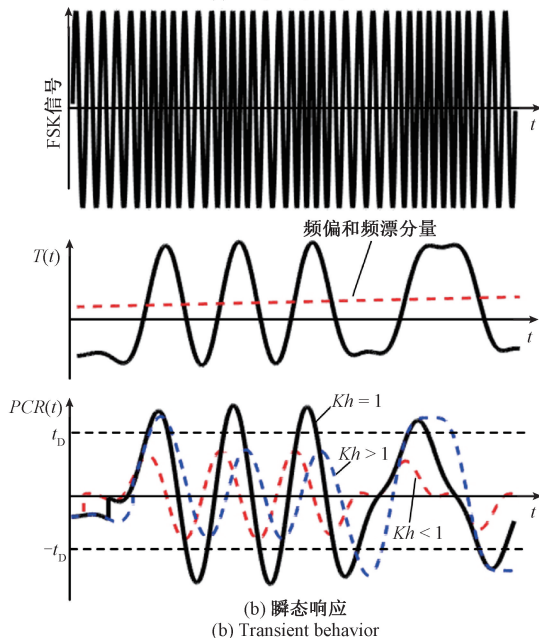
其中, $h = DR/f_c$ 称为 FSK 信号调制数据率与载波频率之比。如式(5)所示,DTD 相当于对包含调制数据信息的 $T(j\omega)$ 进行了带通滤波,这意味着 $T(j\omega)$ 中代表 FSK 载波频偏或频漂的直流或低频分量将会被有效滤除。

图 3 显示了不同 Kh 取值时 DTD 的频率响应和瞬态响应情况。如图所示,DTD 在不同 Kh 取值下均能有效地滤除 $T(j\omega)$ 中的直流或低频分量,防止其转换至解调结果 $PCR(j\omega)$ 中。然而,不同 Kh 取值下的响应之间存在差异。如图 3(a) 所示,当 $Kh > 1$, $H(j\omega)$ 的带宽将窄于 FSK 调制数据 $T(j\omega)$ 的信息带宽,这无疑导致 $T(j\omega)$ 数据信息中高频分量很难无失真地转换至 $PCR(j\omega)$ 。图 3(b) 显示的瞬态响应也印证了这点,可以看到当 $Kh > 1$ 时 $PCR(t)$ 的幅度将随瞬时数据率的变化而波动,严重时将造成解调失败。如果 $Kh < 1$,虽然 $H(j\omega)$ 能够完好覆盖 $T(j\omega)$,但 $PCR(j\omega)$ 基带信号却只能获得较小的幅度,不利于后面的数据决策。相比之下,当 $Kh = 1$ 时 $H(j\omega)$ 包络与 $T(j\omega)$ 刚好吻合, $T(t)$ 中的信息基本可以无损地传递至 $PCR(t)$ 中,其瞬态幅度保持不变,从而使解调器工作在最佳状态,因此应当选择 $Kh = 1$ 。

通过时钟分配器将 FSK 信号当前载波周期和之前的载波周期分配给对应的 PWC,便天然地构成了 DTD,并不产生额外硬件开销。同时,为了实现为对数据率为 1 Mbps 载波频率为 3 MHz 的 FSK 信号进行解调,即 $h = 1/3$,因此选取了 $K=3$,则需要 6 个 PWC 构建解调器。



(a) 频率响应
(a) Frequency response



(b) 瞬态响应
(b) Transient behavior

图 3 不同 Kh 条件下 DTD 的频域和时域响应
Fig. 3 The frequency response and transient behavior of the DTD with different values of Kh

PWC 所有输入信号均来源于 FSK 信号,省去了额外参考时钟;而 6 个 PWC 轮流交替运行,巧妙地对 FSK 信号载波进行了连续的周期鉴别和离散时间微分操作。

2 实验验证

图4(a)为本文所提出FSK解调器主体模块的PCB板照片。整个电路基本上由分立器件实现,其中,PWC中的时间寄存器主要采用双路模拟开关SN74LVC2G66、或门SN74LVC32、施密特触发器SN74AUP1G14,以及分立电容和可调电阻等搭建;除了时间寄存器外,PWC模块包括了反相器SN74LVC1G04、由反相器和分立电阻电容构成的延迟单元、D触发器SN74LVC1G74等;6路PWC产生的脉冲则通过或门74HC32和SN74LVC1G32形成汇聚后输入到或非门SN74LVC1G02构成的RS触发器中以进行数据决策;时钟分配器则采用现场可编程逻辑阵列(field-programmable gate array, FPGA)实现。图4(b)显示了解调器电路的测试现场照片,其中FSK信号由任意波形发生器RIGOL DG4162产生;并利用示波器RIGOL MSO5204进行信号观察。

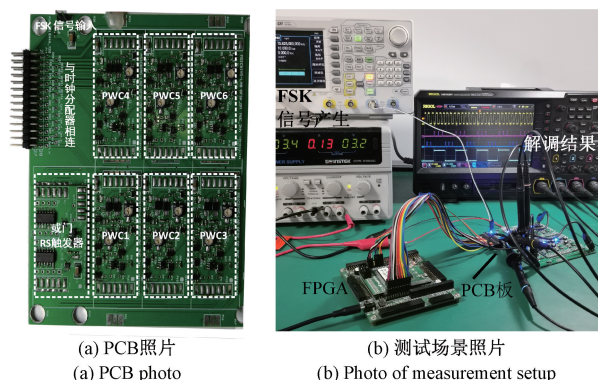


图4 新型解调器实物照片

Fig. 4 The photos of the novel demodulator

测试过程中,通过MATLAB软件将0/1交替的二进制数据流经过带宽位周期乘积 $BT=0.5$ 的高斯滤波器处理后,以调制系数 $\beta=0.5$ 的方式调制到载波频率 $CF=3\text{ MHz}$ 的方波中;生成的波形数据下载至RIGOL DG4162产生真实的FSK信号。根据以上参数可知,当调制数据为1时,可计算得到载波周期为 $1/(f_c+0.5DR\cdot\beta)\approx 310\text{ ns}$;同理,调制数据为0时载波周期为 $1/(f_c-0.5DR\cdot\beta)\approx 364\text{ ns}$ 。图5显示了单个时间寄存器的测试结果,如图5所示,CKA上脉冲脉宽将首先转换成 V_{CA} 电压值;然后在RPC再生操作下,最终转换为RPC与TRA1之间相位差。可以看到,CKA上310和364 ns脉宽分别转换为208和154 ns的相位差;两次转换的相位差相差了54 ns,该值精确地等于CKA两脉冲宽度的差值。

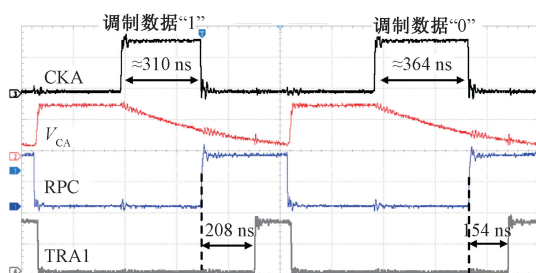


图5 时间寄存器测试结果

Fig. 5 The measurement results of time register

图6展示了当载波频率为3 MHz时的解调测试结果。如图6所示,解调器能够正确地鉴别载波周期并相应地在 A_{PA} 和 A_{PB} 上产生脉冲;输出到DTO上的二进制数据与原始调制数据相同,测试结果与前文分析一致。

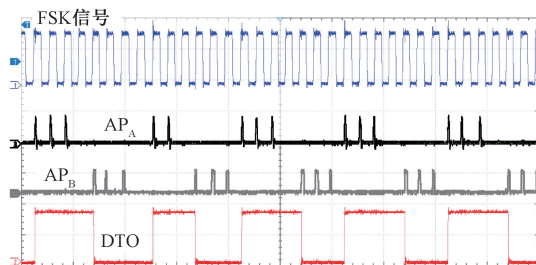
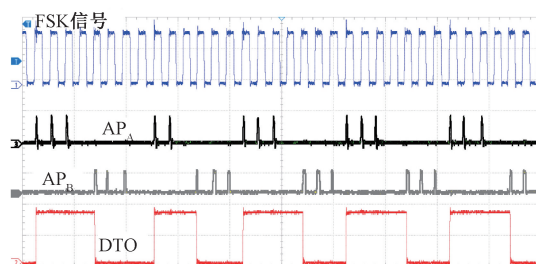


图6 载波频率3 MHz时的解调测试结果

Fig. 6 The measurement results of demodulation with a carrier at 3 MHz

为了测试新型解调器对载波频偏和频漂的抑制能力,重新生成了存在载波频偏和频漂时的FSK信号并输入至解调器进行测试。图7(a)和(b)分别显示了当载波存在最高频偏0.48 MHz和最低频偏-0.5625 MHz时的解调效果。可以看到解调器工作正常,能够正确的解调出数据。对其抗频漂能力进行了测试,测试中FSK信号载波频率在61 μs 内迅速从2.3475 MHz漂移至3.48 MHz。图7(c)为载波频漂测试结果,可以看到解调器依然工作正常。测试结果充分地说明解调器具有良好的抗频偏和频漂能力。



(a) 载波频率为3.48 MHz时的测试结果
(a) The measurement results at CF=3.48 MHz

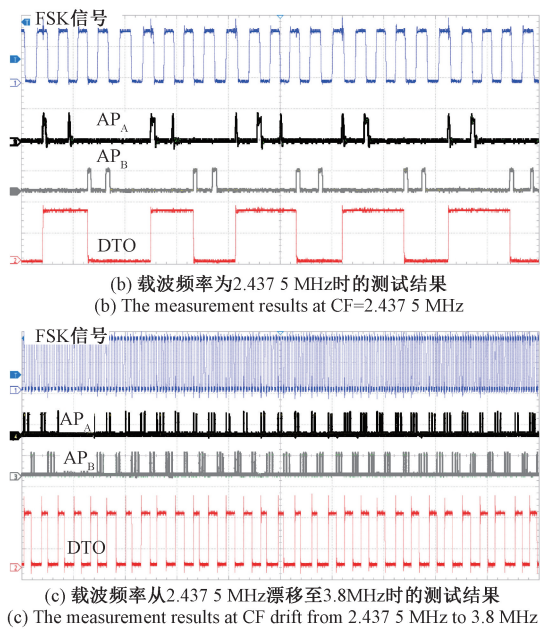


图7 不同载波频率下的解调测试结果
Fig.7 The demodulation measurement results of demodulation when CF differs

通过在FSK信号中添加高斯白噪声,对在不同载波频偏下解调器的解调性能进行了测试统计,其结果如图8所示。可以看到,当载波无频偏时,解调器只需10.7 dB的信噪比(signal-to-noise ratio, SNR)便能达到 10^{-3} 误码率(bit error rate, BER)。当逐渐增加载波频偏时,解调器所需SNR也随之提高;但在频偏不超过 $-0.5625\sim0.48$ MHz范围时,所需SNR不超过14.5 dB。

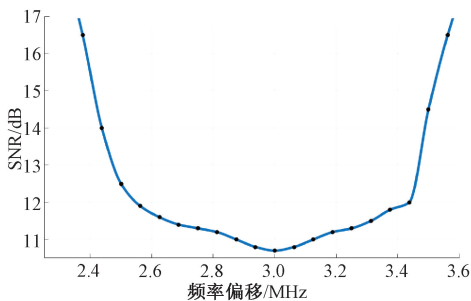


图8 不同频偏下实现0.1%BER所需最低SNR的测试结果
Fig.8 Measured requirement of minimum SNR to achieve a 0.1% BER at different frequency offset

表1对解调器关键性能进行了总结,并且与近几年来发表在业界重要期刊上的现有参考设计进行了性能对比。如表1所示,3类型解调器中,本设计与文献[11]的解调器能够实现更低SNR条件下的高质量接收($BER=10^{-3}$)。分析可发现,由于文献[11]和本设计采

用全数字器件或准数字器件实现,其内部数字化的信号处理方式具有较好的噪声和干扰容限,因此具有更低的SNR要求。但文献[11]需要使用32 MHz的高频采样时钟以实现精确的载波周期鉴别,而本设计则无需额外时钟。更为重要地是,本设计利用新型脉宽比较器工作特点,巧妙地在解调器中集成了离散时间微分器,可以有效地抑制 $-0.56\sim0.48$ MHz范围内的载波频偏和频漂,其结果明显优于文献[11]。

表1 解调器性能总结与对比
Table 1 Performance summary and comparison with state of arts

比较对象	文献[5]	文献[7]	文献[10]	文献[11]	本设计
类型	EDT	EDT	TDT	PDT	PDT
载波/MHz	3	2	2	1	3
数率/Mbps	1	0.2	0.5	1	1
调制系数	0.32	2.5	0.5	0.5	0.5
频偏/MHz	-1.5~0.7	-0.5~0.3	-	-0.15~0.2	-0.56~0.48
SNR/dB	16.5	15	17.5	14.4	14.5

3 结 论

本文提出并实现了一种新型的准数字PDT类FSK解调器电路。利用时间寄存器构建了一种新型脉冲比较器,无需使用高频采样时钟便可实现对FSK信号载波周期的精确鉴别。同时,结合脉冲比较器特点,无需使用额外硬件电路便在解调器中实现了一种离散时间微分器,取得了对FSK信号载波频偏和频漂的良好抑制效果。完成了解调器包括脉冲比较器和离散时间微分器的原理分析、电路设计和制作测试。测试结果显示,相比现有参考设计,本文所述解调器只需较低信噪比便能实现高质量FSK解调,同时表现出了优良的载波频偏和频漂容忍能力。

参考文献

[1] 华宝成,钱建强,杨勇,等. 数字解调自激励频率调制原子力显微镜[J]. 光电子. 激光, 2011, 22(10): 1455-1458.
HUA B CH, QIAN J Q, YANG Y, et al. Study of atomic force microscope based on digital demodulating and self-oscillating frequency modulation [J]. Journal of Optoelectronics Laser, 2011, 22(10): 1455-1458.

[2] 王绪泉,汪鸿祎,张永刚,等. 残差时间计数型InGaAs脉冲频率调制数字读出电路研究[J]. 光子学报, 2022, 51(5): 279-286.
WANG X Q, WANG H Y, ZHANG Y G, et al. Study of

- residual-time-counting pulse frequency modulation digital readout circuit for InGaAs focal plane array [J]. *Acta Photonica Sinica*, 2022, 51(5): 279-286.
- [3] 高书苑. 基于扫频偏振调制的绝对测距方法与关键技术研究[D]. 合肥:合肥工业大学, 2019.
- GAO SH Y. Research on method and key technologies of frequency-sweeping polarization-modulation ranging[D]. Hefei: Hefei University of Technology, 2019.
- [4] 张刚, 吴瑕. 基于 Hilbert 的单边带调制随机共振的微弱信号检测[J]. *电子测量与仪器学报*, 2019, 33(2): 10-17.
- ZHANG G, WU X. Weak signal detection based on Hilbert's single sideband modulated stochastic resonance[J]. *Journal of Electronic Measurement and Instrumentation*, 2019, 33(2): 10-17.
- [5] YIN Y, YAN Y, WEI C, et al. A low-power low-cost GFSK demodulator with a robust frequency offset tolerance [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2014, 61(9): 696-700.
- [6] XIONG B, LI Y, THEAN V Y, et al. A $7 \times 7 \times 2 \text{ mm}^3$ 8.6 μW 500 kb/s transmitter with robust injection-locking-based frequency-to-amplitude conversion receiver targeting for implantable applications[J]. *IEEE Journal Solid-State Circuits*, 2020, 55(6): 1698-1708.
- [7] CHIU C Y, ZHANG Z C, LIN T H. Design of a 0.6 V, 429 MHz FSK transceiver using q-enhanced and direct power transfer techniques in 90 nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2020, 55(11): 3024-3035.
- [8] SHIH H Y, CHANG Y C, YANG C Y, et al. A low-power and small chip-area multi-rate human body communication DPFSK transceiver for wearable devices [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2019, 67(7): 1234-1238.
- [9] BYUN S. Analysis and verification of DLL-based GFSK demodulator using multiple-if-period delay line [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2017, 64(1): 6-10.
- [10] HONG S, GEORGE A K, IM D, et al. A 1.0 V, 5.4 pJ/bit GFSK demodulator based on an injection locked ring oscillator for low-if receivers [J]. *IEEE Access*, 2020, 8: 185209-185217.
- [11] PEREIRA M S, VAZ J C, LEME C A, et al. A 170 μW all-digital GFSK demodulator with rejection of low SNR packets for bluetooth-LE[J]. *IEEE Microwave and Wireless Components Letters*, 2016, 26(6): 452-454.
- [12] CHEN P P, YANG H, LUO R, et al. All-digital galvanically-coupled BCC receiver resilient to frequency misalignment [J]. *IEEE Transactions on Biomedical Circuits and Systems*, 2017, 11(3): 714-726.
- [13] YIN Y, EL-SANKARY K, CHEN Z, et al. A type-II analog PLL with time-domain processing[C]. 2021 IEEE International Symposium on Circuits and Systems (ISCAS), IEEE, 2021: 1-5.
- [14] YIN Y, EL-SANKARY K, CHEN Z, et al. An intermittent frequency synthesizer with accurate frequency detection for fast duty-cycled receivers [J]. *IEEE Access*, 2020, 8: 45148-45155.
- [15] BIALEK H, AHASAN S, BINAIE A, et al. A 0.75 to 1 GHz passive wideband noise-cancelling 171 μW wake-up RX and 440 μW primary RX FE with $-86 \text{ dBm}/10 \text{ kb/s}$ sensitivity, 35 dB SIR and 3.8 dB RX NF[C]. 2021 IEEE ISSCC, San Francisco, USA, 2021: 308-310.
- [16] ZHAO J, ZHANG Y, ZENG K, et al. A 2.4 GHz crystal-less GFSK receiver using an auxiliary multiphase bblpl for digital output demodulation with enhanced frequency scaling [J]. *IEEE T CIRCUITS-II*, 2021, 68(4): 1143-1147.

作者简介



阴亚东(通信作者), 2003 年于北京交通大学获得学士学位, 2009 年于中国科学院微电子研究所获得博士学位, 现为福州大学副研究员, 主要研究方向为混合信号处理、无线通信、专用芯片及智能微系统等。

E-mail: yinyadong@fzu.edu.cn

Yin Yadong (Corresponding author) received his B. Sc. degree from Beijing Jiaotong University in 2003, and received his Ph. D. degree from Institute of Microelectronics, Chinese Academy of Science in 2009. He is currently an associate research fellow at Fuzhou University. His main research interests include mixed signal processing, wireless communication, ASIC and intelligent micro-system.



黄怡涛, 2020 年于福州大学获得学士学位, 现为福州大学集成电路工程硕士研究生, 主要研究方向为 CMOS 混合信号集成电路。

E-mail: hyt19980826@163.com

Huang Yitao received his B. Sc. degree from Fuzhou University in 2020. He is currently pursuing his master degree in integrated circuit engineering at Fuzhou University. His main research interest includes CMOS mixed-signal integrated circuit.