DOI: 10. 13382/j. jemi. B2407605

# 基于 FPGA 环形振荡电路的温度测量优化\*

## 朱忠峻 胡定华 李 强 周凯航

(南京理工大学能源与动力工程学院 南京 210094)

**摘 要:**环形振荡电路作为一种基于现场可编程门阵列(FPGA)的温度传感器,因其结构简单、成本低廉且易于集成的优势,在 温度检测领域得到了广泛应用。然而,环形振荡电路的测温精度易受多种因素的影响,包括非门个数、非门布局、振荡频率、采 样时长、采样间隔以及冷却时间等设计和操作参数。因此,如何优化这些参数以提升测温精度具有重要的研究意义。基于控制 变量法,系统地分析了上述关键参数对环形振荡电路测温性能的影响。首先,通过实验研究不同非门个数对振荡频率与测温误 差的影响,发现非门个数的增加会降低振荡频率;进一步实验表明,将非门个数优化设置为 40~48,可获得最佳的测温精度和分 辨率。此外,对非门布局进行了深入分析,发现同可编程逻辑块(CLB)下左右 Slice 互连的延迟远大于跨 CLB 的互连延迟,通 过布局优化选用特定的布局可以有效增加延迟,进而优化测温精度。通过对比采样时长、采样间隔及冷却时间等参数组合,提 出了最优的系统参数配置。在最佳参数组合下的实验验证显示,温度误差最低可减少 0.5 ℃,在 25 ℃~85 ℃环境下相较于对 比参数组合,平均温度误差从 2.0 ℃下降到了 1.2 ℃,降低了 0.7 ℃,且在 65 ℃以上的环境下,温度误差能够稳定控制在 ±1 ℃ 以内。最终结果证明,提出的参数优化方法显著提升了环形振荡电路的测温精度,为 FPGA 温度传感器的设计和应用提供了有 力支持。

## Optimization of temperature measurement based on FPGA ring oscillator circuit

Zhu Zhongjun Hu Dinghua Li Qiang Zhou Kaihang

(School of Energy and Power Engineering, Nanjing University of Science and Technology, Nanjing 210094, China)

Abstract: The ring oscillator (RO), as an FPGA-based temperature sensor, has been widely applied in the field of temperature detection due to its advantages of simple structure, low cost, and ease of integration. However, the temperature measurement accuracy of ring oscillators is susceptible to multiple factors, including the number of inverters, inverter layout, oscillation frequency, sampling duration, sampling interval, and cooling time, which are critical design and operational parameters. Therefore, optimizing these parameters to enhance measurement accuracy holds significant research importance. This paper systematically analyzes the impact of these key parameters on the temperature measurement performance of the ring oscillator using the control variable method. Firstly, experimental studies on the influence of different inverter counts on oscillation frequency and temperature error reveal that increasing the number of inverters decreases the oscillation frequency. Further experiments demonstrate that optimizing the inverter count to 40~48 achieves the best measurement accuracy and resolution. Additionally, this paper performs an in-depth analysis of the inverter layout, finding that the delay caused by interconnections between left and right slices within the same configurable logic block (CLB) is significantly greater than that of interconnections across CLBs. Through layout optimization and the selection of specific configurations, the delay can be effectively increased, thus improving measurement accuracy. By comparing various parameter combinations, such as sampling duration, sampling interval, and cooling time, the optimal system parameter configuration is proposed. The experimental validation under the optimal parameter combination shows that the temperature error can be reduced by at least 0.5 °C. In the environment of 25 °C ~ 85 °C,

收稿日期: 2024-06-18 Received Date: 2024-06-18

<sup>\*</sup>基金项目:国家自然科学基金(52276070,92473204)项目资助

compared with the comparative parameter combination, the average temperature error has decreased from 2.0  $^{\circ}$ C to 1.2  $^{\circ}$ C, which is a reduction of 0.7  $^{\circ}$ C. Furthermore, at temperatures above 65 $^{\circ}$ C, the temperature error remains consistently controlled within ±1 $^{\circ}$ C. The final results demonstrate that the parameter optimization method proposed in this paper significantly enhances the temperature measurement accuracy of the ring oscillator, providing strong support for the design and application of FPGA-based temperature sensors. **Keywords**; temperature sensor; ring oscillator; sensor array; field programmable logic gate array (FPGA)

## 0 引 言

随着几十年来半导体技术的进步,制程不断地升级, 大规模集成电路(very large scale integration circuit, VLSI) 变得更小、更快。半导体器件的尺寸不断缩小,摩尔定律 持续推动着芯片中晶体管数量的增加。然而,设计的复 杂性和元件集成规模的提升也带来了新的挑战,其中功 率密度的急剧增加尤为显著。由于器件密度的增加和工 作频率的提升,芯片内部的热问题日益严重,已经成为了 集成电路设计中的瓶颈。在现代半导体技术中,热管理 变得尤为重要[1]。随着晶体管尺寸缩小到纳米级别,漏 电流显著增加[14],这不仅导致静态功耗的上升,还引发 了局部温度热点的形成。局部温度热点会对芯片的性能 和可靠性产生负面影响<sup>[5]</sup>。首先,局部热点会导致芯片 时序错误,因为温度变化会影响电路的延迟。其次,高温 会加速芯片老化过程,并逐渐降低其性能。最终,这些因 素共同作用会减少芯片的平均故障时间<sup>[6-8]</sup>(mean time to failure, MTTF), 意味着芯片的可靠性降低, 故障发生的可 能性增加<sup>[9]</sup>。现场可编程门阵列(field-programmable gate array, FPGA)作为一种高度灵活的集成电路,其设计和 应用中同样面临着复杂的热管理问题<sup>[10]</sup>。FPGA 的可编 程特性导致其内部结构和功耗分布不均匀,加剧了芯片 局部过热的风险。这不仅影响了 FPGA 的性能,还限制 了其在高性能计算、通信和人工智能等领域中的应用。

对于 FPGA 而言,芯片内部温度的测量方法多种多样。例如,Xilinx 公司的 FPGA 产品线采用了赛灵思模数转换器(Xilinx Analog-to-Digital Converter,XADC)来测量 FPGA 的结温和电源电压。XADC 能够高精度地测量 FPGA 的结温。这类温度传感器通常位于芯片内部的特定位置,因此它们只能提供整体的温度信息,而无法精确 测量芯片内每个局部区域的温度。同时,由于 ADC 数量 的限制,这种传感器无法在芯片内进行大规模部署<sup>[11]</sup>。 研究人员利用环形振荡电路(ring oscillator, RO)输出频 率对温度敏感的特性,来制作基于 RO 的温度传感器<sup>[12]</sup>。 这些基于环形振荡电路的温度传感器具有可重新配置和 动态生成的特点,可以灵活地放置在 FPGA 的任何温度 监测点。因此,深入研究环形振荡电路输出频率及其测 温误差的影响因素,对于优化其设计和提高测温准确度 具有重要意义。

对于使用环形振荡电路测温的影响因素中,导线之 间的串扰效应是一个影响因素。Gag 等<sup>[13]</sup>研究了多根导 线间的串扰效应如何影响 RO 的输出频率。串扰效应会 导致受干扰导线的有效耦合电容变化,进而影响环形振 荡电路的输出频率。实验数据显示,这种影响大概在 1%~5%,使用较旧制造工艺的 FPGA 上更为显著。为了 降低串扰效应对环形振荡电路测温精度的影响,可以采 取手动布局和优化逻辑实现的方法。通过精心设计的手 动布局,可以减少导线间的相互干扰。Mattada 等<sup>[14]</sup>提 出了一种新方法,通过在延迟线(delayline)和时间数字 转换器(time-to-digital converter, TDC)之间添加可变增 益时间放大器(variable-gain time amplifier)电路来控制 DelavLine 的激活状态,这种方法显著减少了由于 START 信号与 PulseOut 信号之间的相位差异而引起的计数误 差,从而提高了计数的准确性。Van 等<sup>[15]</sup>在TDC上添加 了额外的由 D 触发器构成的缓冲层,这一改进显著降低 了 TDC 的资源消耗,并有效减少了参考时钟频率,从而 降低了整体功耗。文献[16-17]通过在两个非门间添加 锁存器来增加 RO 输出频率对温度的敏感度,并使用了 反馈移位计数器来减少资源消耗。

综上所述,除了已知对环形振荡电路测温有明显影响的"非门个数"这一因素<sup>[18]</sup>外,非门布局、倍频倍率、采 样间隔、起振时间和冷却时间等因素<sup>[19]</sup>也会对环形振荡 电路测温产生影响。因此,有必要通过系统的分析和实 验来确定这些因素如何具体影响测温的准确度,基于这 些研究结果,可以开发出有效的优化策略,以提升温度传 感器的性能

环形振荡电路作为一种高灵敏度的测温工具,其性 能在很大程度上取决于设计参数的选择。然而,现有研 究大多聚焦于环形振荡器的整体架构和基本工作原理, 对于关键参数如非门布局、非门数量、倍频放大倍数与采 样间隔等对输出频率和测温精度的具体影响缺乏深入 探讨。

本文创新性在于首次系统分析了非门布局、倍频放 大倍数、采样间隔等关键参数对环形振荡电路输出频率 的影响,并量化这些参数对测温精度的作用。这不仅填 补了现有研究的空白,也为环形振荡电路测温技术的优 化提供了理论支持和实验依据。同时,本文通过实验验 证了不同参数组合下的测温性能,为未来基于环形振荡 电路的测温优化方案奠定了基础。

#### 1 硬件设计

整个时域温度传感器的关键组件包括环形振荡电路,时间数字转换器。此外还包括倍频放大电路、制程校 正电路(process calibration circuit)和曲线校正电路(curve calibration circuit)等。每个温度传感器由一个 RO 和一 个倍频放大电路组成,以提高测温灵敏度和精度。所有 的温度传感器共享一个 TDC,这有助于统一管理和减少 硬件资源的重复使用。

研究重点在于探讨环形振荡电路的布局及其配置参数对输出特性的影响。本文将不涉及不同制造工艺或不同 FPGA 板之间的差异因此所设计的温度传感器中不包括制程校正电路<sup>[20]</sup>和曲线校正电路<sup>[21]</sup>。使用的时域温度传感器主要环形振荡电路、时间数字转换器和倍频放大电路组成。



Fig. 1 Simplified time-domain temperature sensor structure

#### 1.1 环形振荡电路设计

环形振荡电路是由奇数个非门和一个与门通过首尾 相接组成的结构<sup>[22]</sup>,该结构包含一个 Enable 使能信号。 如图 2 所示,当使能信号拉高之后,输出端 TS\_OUT 会在 高低电平间里不断切换。在本文中,由于使用了与非门 作为使能信号的第 1 级,因此环形振荡电路里的非门个 数总数为偶数个,设置为 n 个。假设单个逻辑门的延迟 时间为  $t_{gate}$ ,则环形振荡电路的周期  $t_{ose}$  可以表示非门的 的延迟时间  $2nt_{gate}$ 和互连线(InterConnect)的延迟时间  $\Sigma t_{cons}$ 的总和为:



Fig. 2 Ring oscillator circuit structure

#### 1.2 倍频放大电路设计

基于文献[14]的结构,本文采用了如图 3 所示的设

计,该设计中的 D 触发器 1(DFF1)和 D 触发器 2(DFF2) 能够有效的解决环形振荡电路使能和倍频放大电路输出 之间的相位差异问题。倍频放大电路在实现上相当于一 个递减计数器,能够将环形振荡电路的输出频率放大数 倍后输出。假设倍频放大电路的放大倍率为 N,在 START 信号被拉高之后,递减计数器会开始捕捉环形振 荡电路输出的上升沿并计数,当递减计数器的计数小于 等于 N 时,倍频放大电路的输出 TS\_OUT 将会输出高电 平。这意味着,每当环形振荡电路完成一个周期时,递减 计数器就会递减并更新 TS\_OUT 的状态。当递减计数器 的计数递减至 0 时,TS\_OUT 输出低电平,标志着一个放 大周期的结束。



Fig. 3 Optimized time-domain temperature sensor structure<sup>[14]</sup>

#### 1.3 TDC 设计

时间数字转换器由一个 16 bit 的二进制计数器组成。当 START 被拉高之后,且 TS\_OUT 输出高电平的时候,TDC 开始计数,它利用高频时钟 *t<sub>helk</sub>* 对 TS\_OUT 进行采样计数,并获得 TDC 的最终计数 。考虑到 FPGA 资源的高效利用,本文不单独为每个温度传感器配置一个TDC,而是让所有温度传感器共用一个 TDC<sup>[24]</sup>。

所有温度传感器的倍频放大电路的输出 TS\_OUT 会 通过选择器合并为单一输出  $D_{in}$ ,如图 4 所示。当特定温 度传感器的 START 信号被拉高后,该温度传感器里的倍 频放大电路输出 TS\_OUT 将被接通至 TDC。假设环形振 荡电路中使用的非门个数为 n 个,则倍频放大电路输出  $t_{out}$ 的周期可以通过式(2)计算(忽略互连线上的延迟)。

$$_{out} = Nt_{osc} = 2nNt_{sale}$$
(2)

假设 TDC 中使用的高频时钟 *t<sub>helk</sub>* 为 10 ns,即时钟 100 MHz,在单次采样下 TDC 的输出 *D<sub>out</sub>* 可以用如式(3) 所示。

$$D_{out} = \frac{t_{out}}{t_{hclk}} = \frac{2nNt_{gate}}{t_{hclk}}$$
(3)

其中, t<sub>gale</sub> 可以看做一个与制程相关的系数和温度

的乘积<sup>[16]</sup>,在这个过程中温度对 $t_{gate}$ 的影响起着主导作用。因此 $t_{eate}$ 的表达式可以写为:

$$t_{gate} = PT^{\alpha} \tag{4}$$

其中, P 是一个仅和制程相关的系数, T 代表温度,  $\alpha$  是一个理论上与温度无关的系数, 其在理想状态下是 一个常数, 但实际情况下  $\alpha$  值通常在 1.2~2<sup>[23]</sup>。随着制 程的进步,  $\alpha$  值由增加的趋势。最终 TDC 的输出  $D_{out}$  可 以表示为:

$$D_{out} = 2nNPT^{\alpha} \frac{t_{gate}}{t_{helk}}$$
(5)

在单块 FPGA 板上,假设倍频放大倍率 N 和环形振荡电路中非门个数 n 已知, P 和  $\alpha$  均是常量。随着温度 T 的增加,  $D_{out}$  也会相应的增加,  $D_{out}$  与 T 之间是一种非 线性关系。







## 2 实验流程

对于单个环形振荡电路,一个完整的采样过程由 3 个部分组成:起振、采样和冷却,如图 5 所示。



Fig. 5 Ring oscillator circuit structure

起振阶段,如图 2 所示,环形振荡电路使能信号 EN 将被拉高以启动环形振荡电路,同时保持 START 为低电 平确保倍频放大电路处于关闭状态。起振阶段结束后, 进入采样阶段,保持 EN 为高电平的同时,将 START 拉高 使倍频放大电路进入工作状态。这时在倍频放大电路尚 未归零之前 TS\_OUT 将保持为高电平,同时 TDC 将使用 时钟 t<sub>helk</sub> 对 TS\_OUT 进行采样并计数,并输出计数结果 D<sub>out</sub>。采样阶段完成后,进入冷却阶段,冷却阶段 EN 和 START 将被拉低。冷却阶段结束后代表该温度传感器 的采样流程全部完成,该温度传感器的最终计数 D<sub>out</sub> 将 被存入 FIFO(first-in-first-out)队列,等待后续通过串口发 送至上位机。随后系统将准备进入下一个温度传感器的 采样流程。

本文实验将使用控制变量法,系统地测试和分析不 同参数对环形振荡电路性能的影响。在实验中,将保持 所有其他条件不变,仅改变一个参数,以观察其对实验结 果的具体影响。这种方法能够精确地评估每个变量的 作用。

#### 2.1 非门布局

在 Xilinx 公司的 FPGA 产品线中,基本的逻辑单元 是可编程逻辑块(configurable logic block, CLB),其结构 如图 6 所示。每个 CLB 包含两个逻辑切片,即 LeftSlice 和 RightSlice。这些切片是构成 CLB 的基本部分,每个切 片内含 4 个查找表(look-up table, LUT),每个 LUT 能够 实现多达 6 个输入的复杂逻辑功能。LUT 的灵活性使得 FPGA 能够高效地实现各种逻辑运算,这对于信号处理 和逻辑控制至关重要。



非门布局则指的是环形振荡电路中非门所在的 Slice 以及 LUT 之间的排列方式,以及非门间的连接模式。这 种布局对信号传输路径和相位延迟有显著影响,进而决 定了振荡频率和电路的稳定性。合理的非门布局可以优

本文探讨5种不同的非门布局方案,这些方案如图7 所示,分别标记为布局#1~布局#5,这些布局的序号由低 到高,反映了布局的紧凑程度,即序号越低,布局越紧凑。 通过对比这些布局方案,可以评估它们对环形振荡电路 性能的具体影响,并从中选择最优的布局方案。

化信号流动,减少延迟,提升电路的整体性能与稳定性。

#### 2.2 非门个数 n

非门个数表示环形振荡电路中所使用的非门数量。 增加非门个数可以降低环形振荡电路的周期<sup>[25]</sup>,进而降 低功耗。然而,过多的非门数量会增加电路的物理面积, 导致资源增多。因此在设计环形振荡地电路时,必须在 降低功耗和的需求和有限的硬件资源之间取得平衡,以 实现最佳的电路性能。



Fig. 7 Five type of layout schemes





#### 2.3 倍频倍率 N

倍频放大电路的倍率 N 定义了它对环形振荡电路输 出频率的放大程度,倍率 N 可以类比为采样时间。倍频 倍率 N 越大意味着环形振荡电路会振荡更长的时间,其 在时钟 t<sub>helk</sub> 下采样并计数的输出 D<sub>out</sub> 也会随之变大,从而 可以显著提高温度分辨率。

然而,更高的倍率会导致更高的功耗和更长的计数 时间,这些因素都会直接影响到温度传感器的性能,尤其 是实时性方面。因此在选择倍率 N 时,需要在提高温度 分辨率、控制功耗和保证实时性之间进行权衡,以满足具 体应用的需求。

## 2.4 采样间隔 t<sub>interval</sub>

采样间隔定义为完成对所有传感器的一次采样后, 到下一次对所有传感器进行采样之间的时间间隔。缩短 采样间隔可以提高时间分辨率,使得温度测量更加精细。 然而,这也增加串口通信电路的功耗。较高的通信频率 导致额外的能耗,这在某些情况下会对测温精度产生负 面影响。

因此,在设计传感器系统时,需要在时间分辨率和通 信功耗之间找到平衡点。较短的采样间隔虽然能够提供 更精确的测量,但也需要考虑到由此带来的额外功耗,以 及对测量精度造成的潜在影响。

#### 2.5 起振时间 t<sub>startun</sub>

起振时间指在单个传感器的采样过程中,环形振荡 电路从静止状态过渡到稳定振荡状态所需的时间。为环 形振荡电路提供适当的起振时间,有助于确保其在随后 的采样阶段能够产生高质量的输出信号。这是因为在起 振阶段,电路中的各个部分需要时间来达到工作温度或 稳定状态,从而在采样阶段提供更准确和稳定的信号。

#### 2.6 冷却时间 t<sub>cool</sub>

冷却时间指单个传感器采样过程中,专门分配给传 感器进行冷却的时间段。给当前传感器采样完成后,给 予其一定的时间进行冷却,有助于防止由于环形振荡电 路在工作时产生的功耗对下一个传感器的采样过程造成 干扰。通过这种方式可以确保每个传感器在开始新的采 样周期时,都处于一个稳定和不受前一个传感器影响的 状态,从而提高整个温度测量系统的准确性和可靠性。

#### 2.7 定义指标

为了评估传感器在不同参数设置下的性能,定义了 5个关键的指标,这些指标有助于探索更好的设计。

1) 计数平均值 Dave

目标传感器在特定温度条件下,TDC 所有输出样本的平均值。

2) 计数标准差 D<sub>std</sub>

目标传感器在特定温度条件下,TDC 所有输出样本的标准差。

3) 计数相对标准差 D<sub>rstd</sub>

目标传感器在特定温度条件下,TDC 所有输出样本的相对标准差,计算公式为:

$$D_{rstd} = \frac{D_{std}}{D_{ave}} \tag{6}$$

4) 温度分辨率 T<sub>res</sub>

目标传感器在特定温度条件下,TDC 输出中每升高 一个计数所代表的温度变化量,定义为: (8)

$$T_{res} = \frac{\mathrm{d}T}{\mathrm{d}D_{are}}$$
(7)  
5) 温度误差  $T_{err}$ 

根据 38 原则,目标传感器在特定温度条件下,其测 量值和真实值之间的最大可信偏差,单位为℃,定义为:

 $T_{err} = 3D_{std}T_{res}$ 

实验总共分为6个部分,每个部分旨在探讨不同的 参数对环形振荡电路的输出频率的影响。具体步骤 如下:

步骤1)温度设置

将恒温箱分别设置为 25 ℃、35 ℃、45 ℃、55 ℃、65 ℃ 75 ℃和 85 ℃,每个温度设置后,等待 6 h 以确保温度 稳定。

步骤 2) 烧录 bit 文件

待温度稳定后,烧录对应的 bit 文件到 FPGA。

步骤3)等待稳定

烧录完成后,再次等待 5 min 以确保系统稳定。 步骤 4)数据采集

在接下来的 15 min 内,采集每个传感器的 TDC 输出。对于不同的采样间隔,调整采集时间以保持相当的数据量。

步骤 5) 温度标定

使用板载 XADC 读取的电压值转换得到的温度作为标定温度。这种方法相比使用恒温箱温度和表面热偶温度,能更准确地反映 FPGA 内部的温度。

步骤 6) 数据处理

在温度稳定后,将读取的 XADC 温度与计数平均值 进行曲线拟合,计算得到温度分辨率和误差等指标。

步骤7)结果分析

对5次不同温度下的实验结果进行平均处理,以评 估传感器性能。

实验使用的硬件平台为 Xilinx 公司的 Artix -7 FPGA,型号为 xc7a100tfgg484-2,如图 9 所示,该 FPGA 芯 片共计 63 400 个查找表。实验在型号为 BINDER-VD56 的恒温箱中进行,如图 10 所示。FPGA 芯片上实例化了 16 个温度传感器、一个共享的时间数字转换器、一套串 口通信电路以及一个总控单元。总控单元负责控制 16 个温度传感器的采集以及串口通信的管理。

## 3 实验结果与分析

传感器#7 在不同恒温箱设定温度 D<sub>ave</sub>和 XADC 测量 温度 T<sub>xade</sub> 之间的关系,如图 11 所示,可以看出传感器的 计数平均值 D<sub>ave</sub> 随着恒温箱设定温度的增加而增加。这 一现象的原因在于,环形振荡电路的频率会随着温度的 增加而降低,导致传感器的输出 TS\_OUT 处于高电平的



图 9 实验中使用的 xc7a100tfgg484-2 Fig. 9 xc7a100tfgg484-2used in the experiment



图 10 实验中使用的恒温箱 BINDER-VD56 Fig. 10 The constant temperature box BINDER-VD56 used in the experiment

时间延长,进而使得 TDC 的输出值  $D_{out}$  变大。但是由于 式(5)中 $\alpha > 1$ ,这表明计数平均值与温度之间的关系并 非简单的线性关系,数据曲线如图 12 所示,进一步验证 了这一点,显示了计数平均值与温度之间的非线性关系。



Fig. 11 Sensor # 7 average count and XADC temperature at different thermostatic box temperatures

在式(5)中参考文献[17,26]将其假设 α = 2,可 以得到: (9)

$$D_{out} = 2nNP \frac{t_{gate}}{t_{halk}}T^2$$

即计数值与二次多项式之间存在关系。如图 12 所 示,虚线表示二次多项式拟合的结果,可以看出拟合效果 与实际实验数据的吻合度较高,有效验证了该假设的正 确性。







#### 3.1 非门布局对环形振荡电路的影响与分析

为了研究非门布局对环形振荡电路输出的影响,将 分别使用非门布局为#1、#2、#3、#4 和#5。其他参数均保 持一致,使用非门个数 32;倍频放大电路倍数为 16 384; 采样间隔设置为 1 s;起振时间和冷却时间均设置为 0 μs。

在不同非门布局下的计数平均值、计数相对标准差、 温度误差和温度分辨率如图 13~15 所示,可以看出将非 门布局设置为布局#3 在各种温度下都能取得较低的温 度误差和较高的温度分辨率。非门布局#3 相较于其他 布局在环境温度 25 ℃时能够有效降低温度误差 0.49 ℃ 的同时,给予温度分辨率 37%的提升。

非门布局对环形振荡电路性能的影响主要源于互连 线结构的延迟。由式(1)可以看出互连线结构的延迟直 接影响整个环形振荡电路的周期。不同的布局会导致不 同的布线方式,进而影响信号在互连线结构中传播的路 径长度和次数。

通过分析每种布局下信号在环形振荡电路中经过互 连线结构的次数以及产生的延迟(采用 Max at Slow Process Corner 慢角模型计算),如图 16 所示,可以量化 布局对电路性能的具体影响。特别是布局#3,由于其设 计中信号穿过了更多的互连线结构,因此遭受的延迟增 加最为显著。这种增加的延迟使得温度变化对布局#3 的影响更为敏感,从而使得该布局在测温精度方面相比 其他布局有更优的表现。

除了穿过互连线的次数差异外,还可以从 Slice 间的 延迟表现进行分析。如表 1 所示,通过对 3 种互连情况 的延迟进行计算可以发现,与纵向或横向跨 CLB 的 Slice 互连相比,同 CLB 下左右 Slice 互连的延迟显著更高。这



进一步提高了布局#3 的总体延迟。布局#3 相比其他布局更加稀疏,这也导致了布局#3 会产生更多同 CLB 左右 Slice 互连的情况,进一步导致了布局#3 延迟上升。

表 1 不同 Slice 间互连类型的平均延迟 Table 1 Average delay between slices

Slice 间互连类型	穿过互连线的	平均每次穿过互连线
	平均次数	结构的延迟/ns
同 CLB 左右 Slice 互连	6.00	0.494 1
横向跨 CLB 的 Slice 互连	5.10	0.3664
纵向跨 CLB 的 Slice 互连	4.09	0.269 9



图 16 不同非门布局下穿过互连线结构次数和延迟关系 Fig. 16 The relationship between the number of times passing through interconnect structures and delay under different invertor layout

#### 3.2 非门个数对环形振荡电路输出特性的影响与分析

为了探究非门个数对环形振荡电路输出特性的影响,本文进行了一系列实验,在这些实验中,非门个数将 分别被设置为20、24、32、40、48、56和60。为了确保实验 结果的可比性,其他参数组合均保持一致:倍频放大电路 倍数设置为16384、使用非门布局#3、采样间隔设置为 1s;起振时间和冷却时间均设置为0μs。

如图 17 所示,在不同非门个数下,环形振荡电路的 计数平均值和非门个数呈现出线性关联,即环形振荡器 的周期延迟 t<sub>ac</sub>和非门个数 n 呈强线性关系,非门个数的 增加会直接导致着环形振荡电路的总延迟增加。非门 个数越多,环形振荡电路的振荡频率就越低。不同非门 个数下的温度误差如图 18 所示,温度 25 ℃~45 ℃时更 高的非门个数能够降低温度误差。结合各个温度上的温 度误差,可以看出非门个数设置为 40~48 个时温度误差 较低的同时能够有效提高分辨率最高。相比 60 个非门, 也能有效的降低资源占用。





## 3.3 倍频放大电路放大倍率对环形振荡电路的影响与 分析

为了研究倍频放大电路放大倍率对环形振荡电路输







图 19 不同非门个数下的温度误差

Fig. 19 Temperature error at different invertor number



Fig. 20 Temperature resolution at different invertor number

出的影响,将分别把放大倍率设置为1024、2048、4096、 8192、16384、32768。其他参数均保持一致,使用非门 个数32;非门布局使用#3;采样间隔设置为1s;起振时间 和冷却时间均设置为0 µs。

在不同倍频放大倍率下的计数平均值如图 21 所示, 倍频放大倍率与计数平均值之间呈现出一个线性的关 系。在不同倍频放大倍率下的计数相对标准差、温度误 差和温度分辨率如图 22~24 所示,可以看出倍频放大倍 率的增加能有效降低计数相对标准差和温度误差,同时 倍频放大倍率提升到 16 384 之后温度误差降低的速度 变缓,因此将倍频放大倍数设定为 16 384 较为合理。

#### 3.4 采样间隔对环形振荡电路的影响与分析

为了研究采样间隔对环形振荡电路输出的影响,将





Fig. 21 Average count at different time amplify ratio



图 22 不同倍频放大倍率下的计数相对标准差

Fig. 22 Relative standard deviation at time amplify ratio



图 23 不同倍频放大倍率下的温度误差









分别设置采样间隔为0.1、0.4、12、3、5和5s。其他参数

均保持一致,使用非门个数 32;非门布局为#3;倍频放大 电路倍数为 16 384;起振时间和冷却时间均设置为 0 µs。

在不同采样间隔下的计数平均值如图 25 所示,可以 看出不同采样间隔的计数平均值的波动在 10 以内,可以 视作系统误差,即在 0.1~5 s 的采样间隔下对计数平均 值不会有明显的影响。不同采样间隔下的相对标准差结 果如图 26 所示,利用皮尔森相关性系数计算得在各个温 度下各个传感器采样间隔和计数相对标准差以及温度误 差有正相关性,平均相关系数分别为 0.363 0 和 0.349 3, 因此可以任务采样间隔与计数相对标准差和温度误差两 个指标,均成弱正相关关系,即可以说明即使最小的采样 间隔 0.1 s 也暂未因局部的热效应而对环形振荡电路的 振荡频率输出造成太多的影响。



图 25 25 ℃不同采样间隔下的计数平均值 Fig. 25 Average count under different sample interval time at 25 ℃



#### 3.5 起振时间对环形振荡电路的影响与分析

为了研究起振时间对环形振荡电路输出的影响,将 分别设置起振时间为 0、2、10、20、30、40、50 和 60 μs。其 他参数均保持一致,使用非门个数 32;非门布局为#3;倍 频放大电路倍数为 16 384;采样间隔设置为 1 s;冷却时 间设置为 0 μs。

不同的起振时间下的计数平均值如图 29 所示,计数 平均值的波动范围在 5 以内,可以视作起振时间对计数





图 27 不同采样间隔下的温度误差

Fig. 27 Temperature error at different sample interval time



图 28 不同采样间隔下的温度分辨率

Fig. 28 Temperature resolution at different sample interval time

均值没有较大影响。不同起振时间下的温度误差和温度 分辨率如图 30~32 所示,可以看出起振时间对温度误差 和温度分辨率并未表现出相关性,因此起振时间设置为 0 µs 较好。通过计算每个传感器上起振时间对温度误差 和温度分辨率的皮尔森相关性系数,得到冷却时间对温 度误差和温度分辨率的平均皮尔森相关性系数分别为 0.030 2 和 0.140 9。可以视作起振时间时间不会对环形 振荡电路的输出产生影响。



图 29 不同起振时间下的计数平均值 Fig. 29 Average count at different sample startup time

#### 3.6 冷却时间对环形振荡电路的影响与分析

为了研究冷却时间对环形振荡电路输出的影响,将 分别设置冷却时间为 0、2、10、20、30、40、50 和 60 μs。其 他参数均保持一致,使用非门个数 32;非门布局为#3;倍 频放大电路倍数为 16 384;采样间隔设置为 1 s;起振时 间设置为 0 μs。



图 30 不同起振时间下的计数相对标准差

Fig. 30 Relative standard deviation at different sample startup time



图 31 不同起振时间下的温度误差

Fig. 31 Temperature error at different sample startup time



Fig. 32 Temperature resolution at different sample startup time

不同的起振时间下的计数平均值如图 33 所示,计数 平均值的波动范围在 10 以内,可以视作冷却时间对计数 平均值没有较大影响。不同冷却时间下的温度误差和温 度分辨率如图 34~36 所示,冷却时间的大小对各个指标 几乎没有影响或无明显关联。通过计算每个传感器上冷 却时间对温度误差和温度分辨率的皮尔森相关性系数, 得到冷却时间对温度误差和温度分辨率的平均皮尔森相 关性系数分别为-0.041 6 和 0.012 1。可以视作冷却时 间不会对环形振荡电路的输出产生影响。

### 4 参数优化与验证

在上述实验中,不同参数的选择对测温精度具有显 著影响。为进一步提升测温性能,本章通过系统化实验





Fig. 33 Average count at different sample cooling time



图 34 不同冷却时间下的计数相对标准差 Fig. 34 Relative standard deviation at different sample cooling time



图 35 不同冷却时间下的温度误差





different sample cooling time

振时间和冷却时间这6个关键参数。在实验过程中,逐 一分析每个参数对测温结果的影响,并结合实验数据筛 选出最优参数组合,可以得到最优参数组合是非门个数 32个、非门布局#3、采样间隔 0.1 s、倍频放大系数 16 384、起振时间 0 CLK(0 ns)、冷却时间 100 CLK (2 µs)。

在获得最佳参数后,本文设计了一组验证实验,将 优化参数下的测温结果与原始参数下的测温结果进行 对比,其中原始参数使用如下组合:非门个数16个、非 门布局#5、采样间隔1s、倍频放大系数16384,、起振时 间100 CLK(2μs)、冷却时间100 CLK(2μs)。最优参 数组相比对比组优化了非门个数、非门布局、和采样间 隔、起振时间。两组参数的实验对比结果如图37~40 所示。



图 37 最优参数组合和对比参数组合的平均计数值 Fig. 37 Average count under different

parameter combinations



图 38 最优参数组合和对比参数组合的计数相对标准差 Fig. 38 Relative standard deviation under different parameter combinations

与对比组相比,采用最优参数组合的环形振荡电路 至少能够降低 0.5 ℃ 的温度误差,平均温度误差从 2.0℃下降到了 1.2℃,降低了 0.7℃,并且显著提高了 温度分辨率的性能。这些对比结果不仅进一步验证了优 化参数的有效性,而且为环形振荡电路在测温领域的实 际应用提供了重要的参考依据。





图 40 最优参数组合和对比参数组合的温度分辨率 Fig. 40 Temperature resolution under different parameter combinations

## 5 结 论

本文针对基于 FPGA 环形振荡电路,围绕测温性能 优化的核心问题,采用控制变量法对影响输出频率的多 个关键参数进行了系统的实验与分析。在研究过程中, 创新性地提出了非门布局、采样间隔等参数对环形振荡 电路输出频率和测温准确度的影响机制,并首次深入探 讨了不同非门布局对振荡特性的作用原理。经实验测试 分析得到了各个参数相对最优的配置,选择最优的参数 组合,能够将测温的平均误差降低 40%。本研究不仅为 环形振荡电路测温性能的优化提供了可行的参数配置, 还探究了不同非门布局导致环形振荡电路输出的作用机 理。为后续研究指明了方向。未来的工作将进一步拓展 测温技术的适用性,重点关注参数优化在动态工作环境 中的适配性,以及环形振荡电路在复杂任务负载下的测 温精度提升,为实际 FPGA 应用场景提供更可靠的温度 监测解决方案,并为环形振荡电路在 FPGA 上的温度测 量应用开辟新的可能性。

#### 参考文献

[1] MATSUDA T, YAMADA K, DEMACHI H, et al.

Analysis of temperature distribution in stacked IC with on-chip sensing device arrays[J]. IEEE Transactions on Semiconductor Manufacturing, 2015,28(3);213-220.

- [2] GIECHASKIEL I, SZEFER J. Information leakage from FPGA routing and logic elements [C]. 2020 IEEE/ACM International Conference on Computer Aided Design (ICCAD), San Diego, 2020.
- [3] RAHMANIKIA N, AMIRI A, NOORI H, et al. Performance evaluation metrics for ring-oscillator-based temperature sensors on FPGAs: A quality factor [J]. Integration, 2017, 57: 81-100.
- JOO S, OH T W, KIM J Y, et al. Highly accurate, fully digital temperature sensor with curvature correction [J].
   IEEE Sensors Journal, 2021, 21(19): 21248-21258.
- [5] HASAN S R, MOSSA S F, ELKEELANY O S A, et al. Tenacious hardware trojans due to high temperature in middle tiers of 3-D ICs [C]. 2015 IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS). Fort Collins, CO, USA: IEEE, 2015.
- [6] DINH V L, NGUYEN X T, LEE H J. A new FPGA implementation of a time-to-digital converter supporting run-time estimation of operating condition variation [C].
  2018 IEEE International Symposium on Circuits and Systems (ISCAS). Florence: IEEE, 2018.
- [7] CHEN C C, CHEN C L, LIN Y, et al. An all-digital time-domain smart temperature sensor with a cost-efficient curvature correction [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(1): 29-36.
- [8] CHEN C C, CHEN C L, LIN Y. All-digital time-domain CMOS smart temperature sensor with on-chip linearity enhancement[J]. Sensors, 2016, 16(2): 176.
- [9] 陈相洪, 史凡萍, 杨 鹏, 等. 基于高精度数字温度传感器测试系统及建模仿真[J]. 电子测量与仪器学报,2023,37(7):42-52.
  CHEN X H, SHI F P, YANG P, et al. Testing system and modeling simulation based on high-precision digital temperature sensor [J]. Journal of Electronic Measurement and Instrumentation,2023,37(7),42-52.
- [10] WANG H, GUO X, TAN S X D, et al. Leakage-aware predictive thermal management for multicore systems using echo state network [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2020, 39(7): 1400-1413.
- [11] WANG S, FENG S, HU C. Low-cost reconfigurable temperature sensor array on field programmable gate array [C]. 2021 4th International Conference on Electron Device and Mechanical Engineering (ICEDME). IEEE, 2021:

21-24.

- [12] KORKIAN G, RAHMANIKIA N, NOORI H, et al. Exploration of ring oscillator based temperature sensors network accuracy on FPGA[C]. 2017 19th International Symposium on Computer Architecture and Digital Systems (CADS). IEEE, 2017.
- [13] LI J, FENG S, ZHANG Y, et al. Optimized thermal sensor allocation for field-programmable gate array temperature measurements based on self-heating test[J]. Microelectronics Journal, 2017, 60: 55-59.
- [14] MATTADA M P, MAGADUM S M, GUHILOT H. Identification of hotspots on FPGA using time to digital converter and distributed tiny sensors [C]. 2015 2nd International Symposium on Physics and Technology of Sensors (ISPTS). IEEE, 2015.
- [15] VAN LUAN D, TRUONG N X, LEE H J. An FPGA implementation of a time-to-digital converter with a ring oscillator and buffers [C]. 2018 International Conference on Electronics, Information, and Communication (ICEIC). IEEE, 2018: 1-2.
- [16] WANG S, FENG S, XIAO Y, et al. Build-in compact and efficient temperature sensor array on field programmable gate array [J]. Microelectronics Journal, 2021, 111: 105018.
- [17] YOU B, FENG S, YAO Z, et al. Realization of parallel distributed temperature sensor network based on field programmable gate array [C]. 2023 5th International Conference on Electronic Engineering and Informatics (EEI). IEEE, 2023: 33-36.
- BALLO A, BRUNO G, GRASSO A D, et al. A compact temperature sensor with a resolution FoM of 1.82 pJ · K2[J].
   IEEE Transactions on Instrumentation and Measurement, 2020, DOI:10.1109/TIM.2020.2992839.
- [19] DONG H W, HUANG K C, YANG P H. An embedded all digital temperature sensor with adjustable sensitivity [C].
  2021 IEEE International Conference on Consumer Electronics-Taiwan (ICCE-TW). Penghu, Taiwan: IEEE, 2021: 1-2.
- [20] 贾镜材,钟业奎,张泽展,等.集成电路制造过程中的晶圆温度监测技术[J]. 仪器仪表学报,2021,42(1):15-29.

JIA J C, ZHANG Y K, ZHANG Z ZH, et al. Wafer temperature monitoring technology in integrated circuit manufacturing process[J]. Chinese Journal of Scientific Instrument, 2021,42(1):15-29.

[21] BAEK G, JEONG H. All-digital time-domain temperature sensor for energy efficient on-chip thermal management [ C ]. 2022 International Conference on Electronics, Information, and Communication (ICEIC). IEEE, 2022: 1-4.

- [22] ZAMBRANO B, GARZON E, STRANGIO S, et al. A 0.6 V-1.8 V compact temperature sensor with 0.24 °C resolution, ± 1.4 °C inaccuracy and 1.06nJ per conversion[J]. IEEE Sensors Journal, 2022, 22(12): 11480-11488.
- [23] CAO Y, ZHENG W, ZHAO X, et al. An energy-efficient current-starved inverter based strong physical unclonable function with enhanced temperature stability [J]. IEEE Access, 2019, 7: 105287-105297.
- [24] COCHET M, KELLER B, CLERC S, et al. A 225 μm<sup>2</sup> probe single-point calibration digital temperature sensor using body-bias adjustment in 28 nm FD-SOI CMOS[J].
   IEEE Solid-State Circuits Letters, 2018, 1(1): 14-17.
- [25] WEBER P, ZAGRABSKI M, WOJCIECHOWSKI B, et al. Toolset for measuring thermal behavior of FPGA devices [C]. 19th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC). IEEE, 2013: 48-53.
- [26] SHI H, ZHOU B, ZHAO F. A high-linear low-power temperature-to-frequency converter with high robustness [C].
  2019 IEEE 3rd Advanced Information Management, Communicates, Electronic and Automation Control Conference (IMCEC). IEEE, 2019: 828-831.

#### 作者简介



朱忠峻,2021年于南京理工大学获得 学士学位,现为南京理工大学硕士研究生, 主要研究方向为 FPGA 应用及其温度 检测。

E-mail: odjvnrij@njust.edu.cn

Zhu Zhongjun received his B. Sc.

degree from Nanjing University of Science and Technology in 2021. Now he is a M. Sc. candidate at Nanjing University of Science and Technology. His main research interests include FPGA applications and temperature detection.



**胡定华**(通信作者),2008年于东南大 学,获得工学学士学位,2016年于上海交通 大学获得工学博士学位,现为南京理工大学 副教授,主要研究方向为主要从事电子设备 热管理研究。

E-mail:dhhu@njust.edu.cn

**Hu Dinghua** (Corresponding author) obtained his B. Eng. degree from Southeast University in 2008 and his Ph. D. in engineering from Shanghai Jiao Tong University in 2016. He is currently an associate professor at Nanjing University of Science and Technology. His primary research focus is on the thermal management of electronic devices.