

DOI: 10.13382/j.jemi.2017.08.002

# 基于 IBA 优化变权时间 Petri 网的 3D NoC 测试规划\*

胡聪<sup>1,2,3</sup> 贾梦怡<sup>1,3</sup> 许川佩<sup>1,3</sup> 李智<sup>2,4</sup> 朱望纯<sup>1</sup>

(1. 桂林电子科技大学电子工程与自动化学院 桂林 541004; 2. 西安电子科技大学机电工程学院 西安 710071;  
3. 广西自动检测技术与仪器重点实验室 桂林 541004; 4. 桂林航天工业学院 桂林 541004)

**摘要:**为了提高三维片上网络(three dimensional network-on-chip, 3D NoC)测试效率,结合 3D NoC 测试的特点建立了一种变权时间 Petri 网的测试模型,设置算法权值与变迁时延相关联,对 Petri 网变迁进行动态变权处理。在此基础上,将变迁激发序列作为 IP 核并行测试任务规划方案,采用简化蝙蝠位置更新方程的改进蝙蝠算法对其进行优化求解。将蝙蝠的位置更新规则融入到 Petri 网进化规则中,简化了推理过程,避免算法陷入早熟,提高了收敛速度。采用 ITC'02 测试基准作为实验对象,仿真结果表明,与其他算法相比,模型可以有效的描述 3D NoC 测试规划问题,最大时间优化率达到 13.9%,提高了测试效率。

**关键词:**三维片上网络;测试规划;变权重;时间 Petri 网;改进蝙蝠算法

中图分类号: TH701 文献标识码: A 国家标准学科分类代码: 510.5099

## Research on 3D NoC test planning based on timed Petri net with improved bat algorithm

Hu Cong<sup>1,2,3</sup> Jia Mengyi<sup>1,3</sup> Xu Chuanpei<sup>1,3</sup> Li Zhi<sup>2,4</sup> Zhu Wangchun<sup>1</sup>

(1. School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China;  
2. School of Mechano-Electronic Engineering, Xidian University, Xi'an 710071, China;  
3. Guangxi Key Laboratory of Automatic Detection Technology and Instruments, Guilin 541004, China;  
4. Guilin University of Aerospace Technology, Guilin 541004, China)

**Abstract:**To improve the testing efficiency of 3D NoC, a variable weight time Petri net model was established in combination with the characteristics of 3D NoC test. The weight of the algorithm was related to the transition delay. Meanwhile, the Petri net given the dynamic transition. On this basis, we planned the scheme by taking transition firing sequences as parallel test tasks of IP cores, and used the improved bat algorithm based on the simplified bat location update equation to solve this model. The rules of bat location update were integrated into the Petri net evolution rules to simplify the reasoning process, avoid the algorithm premature and improve the convergence rate. The ITC'02 test benchmarks were used as the experimental objects. The simulation results show that the 3D NoC test planning problem can be effectively described in this proposed model, and 13.9% of the test time optimal rate and improved test efficiency can be obtained.

**Keywords:**3D NoC; test planning; variable weight; timed Petri net; improved bat algorithm

## 0 引言

二维片上网络(network-on-chip, NoC)进行层间堆叠,形成了三维片上网络(three dimensional network-on-chip, 3D NoC),打破了传统片上网络的平面结构布局条件的限制,降低了系统功耗和传输延迟,提高了系统性能<sup>[1]</sup>。但

3D IC 技术通过硅通孔(through silicon via, TSV)将

收稿日期:2017-03 Received Date: 2017-03

\* 基金项目:国家自然科学基金(61561012)、广西自动检测技术与仪器重点实验室(YQ16106)、广西高校科学技术研究项目(KY2015YB110)、广西自然科学基金(2014GXNSFAA118398)资助项目

是3D NoC芯片中集成的资源内核数量的增多和逻辑结构复杂度的提高导致芯片的测试成本提高,花费的时间更长。因此,如何设计行之有效的测试规划策略,对3D NoC进行高效经济的测试是目前亟待解决的问题。

文献[2]针对IEEE 1149.1标准下的3D SICs,设计基于扫描链平衡算法的测试规划策略,提高了并行测试度,但是忽略了测试过程中的功耗约束问题;文献[3]在文献[2]的基础上对优化算法进行了改进,综合考虑了功耗和资源约束,协同优化测试应用时间和硬件成本开销;文献[4]在测试引脚和TSV数量的双重限制下,提出基于混合灰狼算法的测试规划方法,以达到减小测试时间的目的;文献[5]采用粒子群算法动态分配TAM,提高了资源利用率,但与此同时高并行性带来的功耗问题不容忽视;文献[6]采用带分复用策略为测试数据分配相应的带宽,在功耗约束条件下合理地调度测试顺序以实现并行测试,但是该测试模型受限于规则的3D Mesh NoC拓扑结构。综上所述,测试规划问题的本质就是构建合理的测试模型,充分利用有限的测试资源,无冲突的调度IP核,最大限度的降低测试时间,然而同时需要考虑测试系统的软硬件约束条件如测试功耗和硬件开销等,所以,测试规划策略的设计是NP难问题。

本文提出基于改进蝙蝠种群优化的变权时间Petri网模型(IBA-TTPN),与近期的相关研究相比,主要有以下几处改进:1)引入Petri网模型,以TTPN模型为中介,将3D NoC的测试规划问题转化为求解相应TTPN的最优变迁激发序列,无需考虑IP核位置映射、互连方式等对模型的影响,可以兼容不同拓扑结构的3D NoC。2)将蝙蝠种群寻优规则融合到Petri网的进化规则中,提出基于惯性权重的蝙蝠位置更新过程,并设置惯性权重与变迁实施支持度相关联。3)为充分利用有限的TAM,减小因路径冲突引起的空闲等待时间,考虑顺序调度对测试资源利用率的影响,采用改进的蝙蝠算法(improved bat algorithm, IBA)对测试路径和顺序调度进行两级递阶寻优。

## 1 3D NoC 测试规划策略

### 1.1 测试策略

IBA-TTPN方法不受芯片拓扑结构的限制,但为了便于比较,沿用规则的3D Mesh拓扑结构。一个规模为 $3 \times 3 \times 2$ 的3D Mesh结构如图1所示,主要包括IP核、路由节点和通信链路(包括水平互连线和层间TSV)<sup>[7]</sup>。

测试访问机制TAM作为测试数据传输和交换的媒介,本质上等同于传输信号线,为了更清晰的描述和理解,本文将TAM视为一对输入/输出端口下的测试路径。

测试过程中,数据包传输采用确定性维序XYZ路由算法<sup>[8]</sup>,复用NoC的路由节点和通信链路等资源作为TAM<sup>[9]</sup>。该方法可以减小硬件开销,降低测试成本,但与此同时,NoC的重复使用不可避免的受到路由、通信链路等资源的限制。所以,为了减少拥塞,降低测试模型的复杂度,采用基于IP核的优先权调度方式<sup>[10]</sup>,即一旦某个IP核被调度时,将独占TAM直至该核测试完毕,其他待测核不得抢占该核所占用的资源。图1所示为3个IP核在XYZ路由方式下,进行并行测试的传输路径。

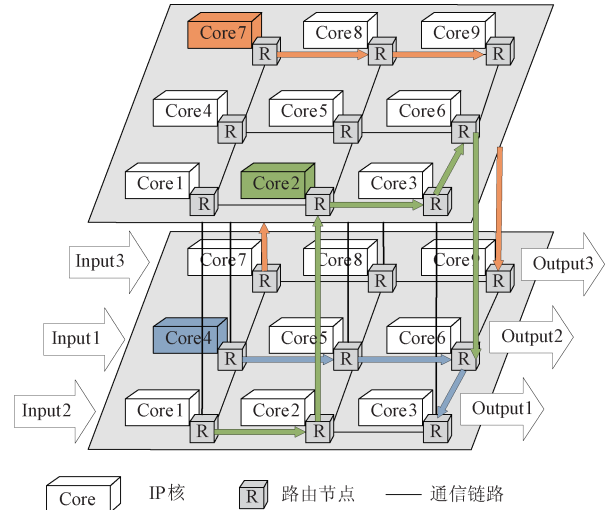


图1 3D Mesh NoC 并行测试示意图

Fig. 1 Schematic diagram of 3D Mesh NoC parallel test

### 1.2 目标函数与测试约束函数

#### 1) 目标函数

测试规划以测试时间作为目标函数,即求解所有TAM最大完成测试时间的最小值。测试时间函数如式(1)所示。

$$T = \max_{1 \leq i \leq B} \left( \sum_{j=1}^{N_c} (SI_{i,j} + W_{i,j}) \cdot t_{i,j} \right) \quad (1)$$

式中: $N_c$ 为待测核的数目, $B$ 为TAM条数,当核 $j$ 被分配到TAM $i$ 上, $t_{i,j} = 1$ ;否则, $t_{i,j} = 0$ 。 $W_{i,j}$ 表示在当前测试节点处由于路径冲突或功耗过大时的空闲等待时间, $SI_{i,j}$ 为核 $j$ 分配到TAM $i$ 上测试所需的时间,包括该核的测试时间和该核测试数据包的传输时间。

#### 2) 功耗约束

考虑到在并行测试过程中,过高的功耗会影响芯片的可靠性,本文实施双重功耗约束,即分别对总功耗和层功耗进行限制。

(1)总功耗约束条件要求在测核的总功耗不超过系统总额定功耗,即:

$$P_{\text{total}} = \sum_{i=1}^B P_{\text{test}i} \leq P_{\text{max}} \quad (2)$$

式中: $P_{\text{test}i}$ 为每条TAM上的在测核的功耗,包括核的测

试功耗和该核测试数据的传输功耗,  $B$  为 TAM 条数,  $P_{total}$  表示在当前测试节点处在测核的功耗总和,  $P_{max}$  为系统允许的最大功耗。

(2) 层功耗约束条件要求在 NoC 结构中同层的在测核的测试功耗不超过该层的额定功耗, 即:

$$P_l = \sum_{i=1}^{N_c} P_{test i \in l} \leq P_{max, l \in l} \quad (3)$$

式中:  $P_{test i \in l}$  表示属于层  $l$  的在测核的功耗,  $N_c$  为层  $l$  上在测核的个数,  $P_l$  即为第  $l$  层上全部在测核的功耗总和, 要求其不超过第  $l$  层的功耗限制  $P_{max, l \in l}$ 。

## 2 基于 IBA-TTPN 的 3D NoC 测试规划问题的建模与优化

### 2.1 模型定义

Petri 网建模方法具有清晰直观、高实时性、易于描述和动态分析等优势, 已被成功的应用于并行测试、故障诊断等领域<sup>[11-12]</sup>。本文采用变权时间变迁 Petri 网 (timed transition Petri net, TTPN) 为 3D NoC 测试规划问题建立测试模型, 即在时间 Petri 网的基础上, 为每个变迁关联相应的权值作为该变迁发生的支持度<sup>[13]</sup>。

**定义 1**<sup>[14]</sup> 变权时间变迁 Petri 网可以定义为一个八元组:  $TTPN = \{P, T, Pre, Post, M, SI, W, \omega\}$ 。其中  $P = p \cup r$  是库所的有限集合,  $P = \{p_1, p_2, \dots, p_n\}$  表示过程流库所,  $r = \{r_1, r_2, \dots, r_n\}$  为资源库所;  $T = \{t_1, t_2, \dots, t_m\}$  表示变迁的有限集合;  $Pre$  和  $Post$  分别是输入和输出函数,  $Pre: P \times T \rightarrow N$  表示从  $p_i/r_i$  到  $t_i$  的有向弧,  $Post: T \times P \rightarrow N$  表示从  $t_i$  到  $p_i/r_i$  的有向弧;  $M: P \rightarrow N$  是各库所的标识分布,  $M(p_i)$  表示编号为  $i$  的库所包含的令牌数, 其中  $M_0$  是初始标识;  $SI$  是赋时变迁的时延集, 代表测试时间;  $W$  是变迁的触发等待时间, 等于其所有输入库所中令牌可用时间的最大值。  $\omega$  为权重输入矩阵, 反映算法对变迁发生的支持程度,  $\omega(t_i)$  越小则对变迁  $t_i$  发生的支持度越高。

**定义 2**<sup>[14]</sup>  $\forall t_i \in T$ , 若  $Pre(t_i) \leq M$ , 则称变迁  $t_i$  在标识  $M$  是使能的。当  $t_i$  触发后, 系统标识变为  $M' = M - Pre(t_i) + Post(t_i)$ 。

### 2.2 3D NoC 测试规划的时间 Petri 网模型

测试规划的任务就是在测试路径不冲突且满足功耗约束的条件下, 为 IP 核合理的分配测试资源, 调度测试顺序, 最优化测试时间。为了直观的说明 3D NoC 测试规划模型, 以 10 个待测 IP 核、3 条 TAM 为例, 考虑 IP 核 7 的子模型, 表 1 描述了 IP 核 7 在不同测试路径下的资源需求, 针对这些需求, 建立 IP 核 7 的 TTPN 子模型, 如图 2 所示, 其库所和变迁的详细说明如表 2 所示。

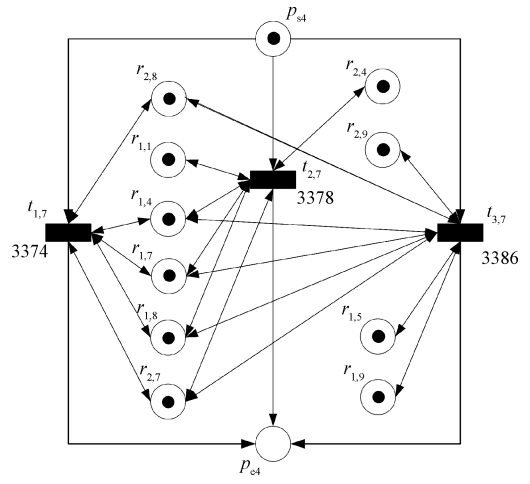


图 2 IP 核 7 的 TTPN 模型  
Fig. 2 TTPN model of the IP core 7

表 1 IP 核 7 在不同测试路径下的资源需求  
Table 1 Resource requirements in different test paths

TAM 编号	路由器
1	$r_{1,4} r_{1,7} r_{1,8} r_{2,7} r_{2,8}$
2	$r_{1,1} r_{1,4} r_{1,7} r_{1,8} r_{2,4} r_{2,7}$
3	$r_{1,4} r_{1,5} r_{1,7} r_{1,8} r_{1,9} r_{2,7} r_{2,8} r_{2,9}$

表 2 TTPN 中库所和变迁的含义  
Table 2 The meaning of the place and the transition in TTPN

库所	描述	变迁	描述	时间
$p_{st}$	IP 核 7 准备测试	$t_{1,7}$	IP 核 7 分配到 TAM1 上测试	3 374
$p_{et}$	IP 核 7 测试完毕	$t_{2,7}$	IP 核 7 分配到 TAM2 上测试	3 378
$r_{z,r}$	第 $z$ 层的第 $r$ 号路由节点可用	$t_{3,7}$	IP 核 7 分配到 TAM3 上测试	3 386

模型建立完成后, 运行 IBA-TTPN, 所有的蝙蝠个体选择它们的测试路径, 确定从初始标识  $M_0 = [1 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1]$  到终止标识  $M_f = [0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1]$  的最大可并行变迁激发序列  $\sigma = t_{1,1}t_{2,2}\dots t_{B,n}$  ( $t_{1,1}t_{2,2}\dots t_{B,n} \in T$ )。确定激发序列的  $SI$  与  $W$  的总和就是测试任务完成的总时间, 若干次运行后, 耗时最少的变迁序列即为最优规划方案。优化算法的选取对求解 Petri 网至关重要, 本文采用改进的蝙蝠算法对 TTPN 模型的变迁激发序列进行寻优, 下面引入蝙蝠寻优规则到 TTPN 模型。

### 2.3 改进蝙蝠算法 (bat algorithm, BA) 设计

#### 2.3.1 离散化编码方案

BA 算法<sup>[15]</sup>由和声算法和粒子群算法融合而成, 具

有结构简单、收敛速度快和鲁棒性强等优点,在求解连续空间域优化问题中取得了较好的效果<sup>[16]</sup>。而3D NoC测试规划问题属于离散型问题,常用的二进制编码或实数编码方法由于小数部分的舍弃导致部分信息的丢失,从而难以保证搜索精度。本文将蝙蝠位置种群拆分成整数部分和小数部分两个子种群,分别用于求解分配方案和调度测试顺序。此外,由于调度子种群的位置矢量无法表示IP核的测试顺序,采用随机键最大序列值(largest order value, LOV)<sup>[17]</sup>映射规则,将位置分量转换成测试顺序,从而使调度问题的计算可行。

拆分编码具体规则如下,假设3D NoC有 $n$ 个待测IP核, $B$ 条TAM。第 $k$ 代蝙蝠信息如下。

$$\text{蝙蝠位置种群: } X^k(i) = [x_1^k \ x_2^k \ \dots \ x_n^k]$$

$$\text{路径分配种群: } X_D^k(i) = [X^k(i)]$$

$$\text{顺序调度种群: } X_S^k(i) = X^k(i) - X_D^k(i)$$

1) 路径分配种群取位置种群的整数部分,表示核的测试数据包被分配到TAM的编号。即 $D = X_D^k(i) = [D_1 \ D_2 \ \dots \ D_i \ \dots \ D_n]$ 。其中, $D_i$ 表示第 $i$ 个IP核的测试数据在第 $D_i$ 条TAM上传输, $1 \leq i \leq n$ ,注意, $D$ 的蝙蝠位置应满足 $D_i \in [1, B]$ 。

2) 顺序调度种群用于表示每条TAM上分配的IP核的测试顺序,顺序调度是在路径分配的基础上进行的,所以 $X_S^k$ 中每行的非零蝙蝠个体数目以及蝙蝠个体所代表的IP核标号是确定的,且蝙蝠位置需满足: $X_S^k(i) \in [0, 1]$ 。

采用LOV规则,将 $X_S^k$ 中的元素由大到小依次赋予LOV值 $1 \sim n$ ,将 $X_S^k$ 转换成IP核测试顺序:

$$S = [S_{b1} \ S_{b2} \ \dots \ S_{bi} \ \dots \ S_{bn}]$$

其中, $S_{bi}$ 表示分配到TAM $b$ 上的第 $i$ 个IP核的测试顺序标号, $1 \leq S_{bi} \leq n$ , $1 \leq b \leq B$ , $1 \leq i \leq n$ 。

3) 对于IBA-TTPN模型,变迁激发序列编码 $\sigma = t_{1,1}t_{2,2}\dots t_{B,n}$ 包含了每一个IP核唯一的测试路径分配和调度顺序信息,且在一次运行中每个变迁只能引发一次。其中,变迁 $t_{b,j} \in T$ 表示第 $j$ 个IP核在第 $b$ 条TAM上测试, $1 \leq j \leq n$ 。

### 2.3.2 更新规则调整策略

文献[18]中证明,应用于求解复杂优化问题时,基本蝙蝠算法中蝙蝠种群频率和速度的更新无法保证算法的收敛速度,仍存在易于陷入局部最优、后期收敛较慢的缺陷。因此,本文对更新方程进行了改进,使其具有更强的全局优化能力。具体更新公式如下:

$$x_i^{k+1} = \omega x_i^k + f_{1k}(p_{id} - x_i^k) + f_{2k}(p_{gd} - x_i^k) \quad (4)$$

$$f_{1k} = f_{\min} + (f_{\max} - f_{\min}) \exp(-|F_{\text{avg}}(k) - F_{\text{best}}(k)|) \quad (5)$$

$$f_{2k} = 1 - f_{1k} \quad (6)$$

式(4)中: $\omega$ 为惯性权重, $k$ 为迭代次数, $p_{gd}$ 为全局最优位置, $p_{id}$ 为个体经历的最优位置, $f_{1k}$ 和 $f_{2k}$ 为频率,影响着蝙蝠个体“自我认知”和“群体学习”的行为。 $f_{1k}$ 、 $f_{2k}$ 由式(5)、(6)生成, $F_{\text{avg}}(k)$ 和 $F_{\text{best}}(k)$ 分别为第 $k$ 代蝙蝠种群的平均适应度值和最优适应度值。在算法初期, $f_{1k}$ 有较大的取值,以保证每只蝙蝠个体都具有较强的探索能力,可以搜索较大的解空间。随着迭代次数的增加,非线性的减小 $f_{1k}$ 和增大 $f_{2k}$ ,蝙蝠种群更倾向于群体间的交流学习,使得在算法后期具有高精度的局部挖掘能力。

惯性权重 $\omega$ 决定着下一代蝙蝠的飞行方向和动力, $\omega$ 初始值设为: $\omega_0(t_i) = 1 - 1/\sum_{t \in T} SI(t)$ ,设置其与变迁的时延相关联并分配到每个变迁上,当所有蝙蝠完成一次迭代后, $\omega$ 按如下规则更新:

$$\omega_{k+1}(t_i) = 1 - ((1 - \rho)\omega_k(t_i) + \rho(1/F_{\text{best}}(k))) \quad (7)$$

式中: $\rho \in [0, 1]$ 是一个随机数。初始时,较大的 $\omega$ 便于蝙蝠种群进行全局探索,算法在逐次迭代后,拥有较小权值的蝙蝠位置对于下一代的位置选择具有更高的影响程度。由式(7)可以看出,时延较小的变迁将获得更高的支持度(即更小的权值),蝙蝠种群将在拥有较高支持度的变迁附近进行更精细的挖掘,提高发现最优解的概率。

### 2.3.3 响度与脉冲发生率

搜索过程中,蝙蝠种群的响度 $A_i$ 和脉冲发生率 $r_i$ 控制着全局寻优和局部挖掘的切换。当蝙蝠随机数满足 $\text{rand} > r_i^k$ 时,则该蝙蝠在最优解附近局部游走产生新解,如式(8)所示,其中 $x^*$ 为当前蝙蝠种群最优位置, $\varepsilon \in [-1, 1]$ 是一个随机数, $A^k$ 是蝙蝠种群的平均响度。

$$x_{\text{new}} = x^* + \varepsilon A^k \quad (8)$$

改进新解后,采用式(9)、(10)非线性的调整蝙蝠的响度和脉冲发生率。

$$A_i^{k+1} = A_i^k (\exp(-k/k_{\max})) \quad (9)$$

$$r_i^{k+1} = r_i^0 (1 - A_i^{k+1}/A_0) \quad (10)$$

式中: $k_{\max}$ 为种群最大迭代次数,由更新公式可知,当 $k \rightarrow \infty$ 时, $A_i^k \rightarrow 0$ , $r_i^k \rightarrow r_i^0$ ,说明蝙蝠会一直向着最优解飞进。

## 2.4 运行流程

基于IBA优化的变权TTPN的具体实施步骤如下。

1) 建立TTPN模型,并根据测试要求确定初始标识 $M_0$ 、终止标识 $M_f$ 和变迁时延集 $SI$ 。

2) 种群初始化:设置最大迭代次数 $k_{\max}$ 和种群规模 $N_x$ ,随机生成 $N_x$ 个 $n$ 维蝙蝠位置种群,并拆分成分配种群和其对应的顺序种群;初始化蝙蝠种群的最大最小频率 $f_{\max}$ 、 $f_{\min}$ ,响度 $A_0$ 以及脉冲发生率 $r_0$ ;初始化惯性权重 $\omega_0$ 关联至各变迁。

3) 蝙蝠种群从初始标识 $M_0$ 开始运行:

- (1) 判定可触发的变迁向量;
- (2) 根据当前代蝙蝠种群的位置确定具体的可实施变迁激发序列;
- (3) 实施变迁,并计算出系统当前标识  $M$ , 当  $M = M_f$ , Petri 网运行终止。
- (4) 当种群中所有蝙蝠运行完毕,即一次迭代完成后,计算所有变迁序列完成所需要的时间,并选择当前最优规划方案。
- (5) 利用 2.3.2 和 2.3.3 节更新规则,分别对分配种群和顺序种群进行两级递阶更新,并更新蝙蝠种群的响应度  $A$  和脉冲发生率  $r$ ;按照式(7)来更新惯性权重  $\omega$  重新关联至相应变迁的支持度。

(6) 判断迭代次数是否达到设定值,若满足则输出最优测试规划方案,否则转到步骤 3)。

### 3 仿真实验

本文选取国际测试基准 ITC'02 中较有代表性的 d695、g1023 和 p93791 电路作为实验对象,按照每层核的测试功耗、测试时间大致相等的原则,将 d695、g1023 映射到  $3 \times 3 \times 2$  的 3D Mesh 结构中,p93791 由于 IP 核数量较多,映射到  $4 \times 3 \times 3$  的 3D Mesh 结构中,具体分布情况如表 3 所示。建模平台为 Visual Object Net ++,在 Visual C ++ 集成环境下编写程序。

表 3 d695、g1023 和 p93791 电路的核分布情况  
Table 3 Core distribution of d695, g1023 and p93791 circuit

层次结构	分布的核		
	d695	g1023	p93791
第 1 层	2,3,5,7,8,9	1,2,4,6,7,8,13	1,2,3,4,5,6,11,16,18,26,29
第 2 层	1,2,4,6,10	3,5,9,10,11,12,14	7,9,10,13,15,17,21,23,24,27,28
第 3 层	-	-	8,12,14,19,20,22,25,30,31,32

为了验证本文提出的 IBA-TTPN 方法对测试结果的影响,将本文方法与 BA 算法以及简化粒子群算法 (simple particle swarm optimization, SPSO) 进行比较,分别在不同 TAM 条数限制下进行寻优,实验设定总功耗和

层功耗均限制为系统功耗的 50%。3 种算法的参数设置如表 4 所示,对于 d695、g1023 电路,种群规模为  $popsiz = 100$ ,最大迭代次数为  $k_{max} = 200$ 。对于 p93791 电路,设置种群规模为  $popsiz = 200$ ,最大迭代次数为  $k_{max} = 800$ 。

表 4 BA 算法、IBA 算法和 SPSO 算法参数表  
Table 4 The parameters of BA, IBA and SPSO algorithm

算法	$f_{min}$	$f_{max}$	$A_0$	$r_0$	$\alpha$	$\gamma$	$\omega$	$c_1$	$c_2$
BA	0	2	[1,2]	[0,1]	0.9	0.9			
IBA	0	2	[1,2]	[0,1]			变权		
SPSO							0.8	2.0	2.0

分别对 3 种算法在 d695、g1023 和 p93791 电路中不同 TAM 条数的情况下进行了性能比较,表格中的数据是运行 50 次的平均结果。由表 5 的数据可以看出,在不同电路中,加入改进策略的 IBA-TTPN 方法的测试时间总是优于 BA 和 SPSO 算法获得的解,并且在收敛速度方面也有所优化。

图 3 所示为 3 种电路在  $TAM = 3$ , 时 IBA-TTPN、BA 和 SPSO 获得的测试时间的变化曲线。与 BA 算法相比,改进的更新规则通过自适应的频率调整使得前期收敛较慢,增加了蝙蝠个体间的交流,保证蝙蝠种群多样性,能够有效的改善蝙蝠种群在局部区域过遍历导致早熟的问题,提高了全局寻优能力;与 SPSO 算法相比,本文方法采用关联变迁动态调整权值,充分的利用了 Petri 网的直观性和实时性,减少不必要的变迁发生,在算法后期,

仍具有较高的搜索精度。

### 4 结 论

本文针对 3D NoC 的测试规划问题,提出了基于蝙蝠算法优化的变权时间 Petri 网模型,将蝙蝠权值更新机制引入到 Petri 网变迁选择规则中,使得该模型不仅能够清晰地描述测试过程中的资源约束及状态变化关系,而且可以通过权值对变迁选择进行智能控制,实现了静态建模与动态优化的统一。采用改进的蝙蝠算法,通过频率的自适应变化,可以增加种群的多样性,扩大搜索范围。通过仿真验证,IBA-TTPN 方法可以很好的平衡局部挖掘和全局寻优,准确地找到最优测试方案,缩短测试时间,降低测试成本,可以有效地应用于 3D NoC 测试规划研究。

表5 d695、g1023、p93791 电路中 IBA-TTPN 与 BA、SPSO 算法的性能对比  
Table 5 Performance comparison between IBA-TTPN, BA and SPSO in three circuits

测试电路	TAM 条数	测试时间/clock cycle			收敛代数		
		IBA	BA	SPSO	IBA	BA	SPSO
d695	2	24 246	27 563	28 135			
	3	18 726	20 821	21 750			
	4	15 179	15 892	17 354	32	55	53
	5	15 069	15 724	16 187			
	6	15 061	15 719	16 175			
g1023	2	38 957	42 362	47 819			
	3	37 384	38 643	40 737			
	4	33 462	33 849	35 989	67	84	103
	5	33 406	33 825	35 964			
	6	33 382	33 825	35 957			
p93791	2	607 540	617 998	683 463			
	3	480 299	490 321	534 289			
	4	469 472	476 516	507 801	193	265	559
	5	465 946	466 831	483 185			
	6	458 480	459 098	473 297			

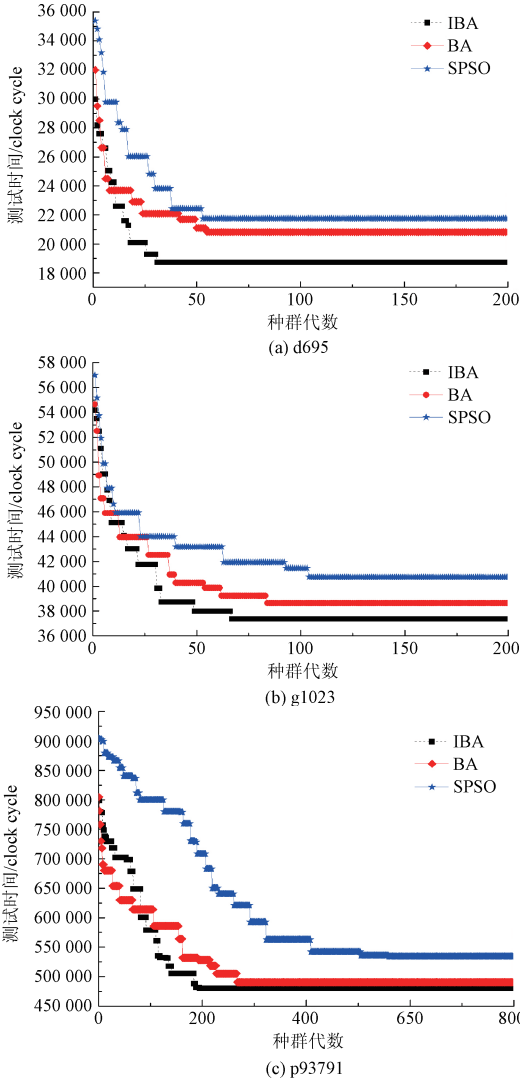


图3 3种电路中算法的测试时间变化曲线

Fig.3 Test time variation curve of algorithm in three circuits

参考文献

[ 1 ] FEERO B S, PANDE P P. Networks-on-chip in a three-dimensional environment: A performance evaluation [J]. IEEE Transactions on Computers, 2009, 58(1): 32-45.

[ 2 ] GUPTA B S, INGELSSON U, LARSSON E. Test planning for core-based 3D stacked ICs with through silicon vias [C]. International Conference on VLSI Design (VLSID), 2012: 422-447.

[ 3 ] 王伟, 林卓伟, 陈田, 等. 功耗约束下的3D多核芯片芯核级测试调度算法 [J]. 电子测量与仪器学报, 2012, 26(7): 591-596.

WANG W, LIN ZH W, CHEN T, et al. Test scheduling algorithm for core-based multi-core 3D stacked ICs under power constraints [J]. Journal of Electronic measurement and Instrument, 2012, 26(7): 591-596.

[ 4 ] ZHU A J, XU C P, LI Z, et al. Hybridizing grey wolf optimization with differential evolution for global optimization and test scheduling for 3D stacked SoC [J]. Journal of Systems Engineering and Electronics, 2015, 26(2): 317-328.

[ 5 ] KARMAKA R, AGARWAL A, CHATTOPADHYAY S. Testing of 3D-stacked ICs with hard- and soft-dies: A particle swarm optimization based approach [C]. 2015 IEEE 33rd VLSI Test Symposium, 2015: 1-6.

[ 6 ] 许川佩, 刘洋, 莫玮. 带分复用的三维片上网络测试规划研究 [J]. 仪器仪表学报, 2015, 36(9): 2120-2128.

XU CH P, LIU Y, MO W. Research on test scheduling of three dimensional network-on-chip with bandwidth division multiplexing [J]. Chinese Journal of Scientific Instrument, 2015, 36(9): 2120-2128.

[ 7 ] 张大坤, 黄翠, 宋治国. 三维片上网络研究综述 [J]. 软件学报, 2016, 27(1): 155-187.

- ZHANG D K, HUANG C, and SONG ZH G. Survey on three-dimensional network-on-chip [J]. Journal of Software, 2016, 27(1): 155-187.
- [8] 许川佩, 刘洋, 陈家栋. TSV 数量限制下的 3D NoC 测试优化方法 [J]. 电子测量与仪器学报, 2015, 29(1):139-145.
- XU CH P, LIU Y, CHEN J D. Optimum method for 3D NoC test under TSV number constraint [J]. Journal of Electronic measurement and Instrumentation, 2015, 29(1):139-145.
- [9] ALEXANDRE A, EDSON M, FERNANDO M. Determining the test sources/sinks for NoC TAMs [C]. 2013 IEEE Computer Society Annual Symposium on VLSI. Natal Brazil: Computer Society Press, 2013: 8-13.
- [10] HU C, LI Z, XU C P, et al. Test scheduling for network-on-chip using XY-direction connected subgraph partition and multiple test clocks [J]. Journal of Electronic Testing, 2016, 32(1):1-12.
- [11] 周强, 司丰炜, 修言彬. Petri 网结 Dijkstra 算法的并行测试任务调度方法研究 [J]. 电子测量与仪器学报, 2015(6):920-927.
- ZHOU Q, SI F W, XIU Y B. Research on the parallel test task scheduling method with Petri nets and Dijkstra algorithm [J]. Journal of Electronic measurement and Instrumentation, 2015(6):920-927.
- [12] 方欢, 陆阳, 方贤文, 等. 基于部分可观 Petri 网的机车故障诊断方法研究 [J]. 电子测量与仪器学报, 2015, 29(5):722-729.
- FANG H, LU Y, FANG X W, et al. Research on fault diagnosis method of locomotives dispatching based partially observed Petri nets [J]. Journal of Electronic measurement and Instrumentation, 2015, 29(5): 722-729.
- [13] 褚鹏宇, 刘澜. 基于变权模糊 petri 网的综合交通枢纽安全评价 [J]. 西华大学学报:自然科学版, 2016, 35(5):13-17.
- CHU P Y, LIU L. Safety assessment for integrated transportation hub based on variable weight fuzzy petri net [J]. Journal of Xihua University: Natural Science, 2016, 35(5):13-17.
- [14] 潘理, 丁志军, 郭观七. 混合语义时间 Petri 网模型 [J]. 软件学报, 2011, 22(6): 1199-1209.
- PAN L, DING ZH J, GUO G Q. Time Petri net model with mixed semantics [J]. Journal of Software, 2011, 22(6): 1199-1209.
- [15] YANG X S. A new metaheuristic bat-inspired algorithm [C]. Nature Inspired Cooperative Strategies for Optimization (NICO 2010), 2010, 284:65-74.
- [16] 陈绍炜, 柳光峰, 冶帅, 等. 基于蝙蝠算法优化 ELM 的模拟电路故障诊断研究 [J]. 电子测量技术, 2015, 38(2):138-141.
- CHEN SH W, LIU G F, YE SH, et al. Research for analog circuit fault diagnosis based on ELM optimized by bat algorithm [J]. Journal of Electronic measurement and Instrument, 2015, 38(2):138-141.
- [17] QIAN B, WANG L, HU R, et al. A hybrid differential evolution method for permutation flow-shop scheduling [J]. The International Journal of Advanced Manufacturing Technology, 2008, 38(7):757-777.
- [18] 李枝勇, 马良, 张惠珍. 蝙蝠算法收敛性分析 [J]. 数学的实践与认识, 2013, 43(12):182-190.
- LI ZH Y, MA L, ZHANG H ZH. Convergence Analysis of Bat Algorithm [J]. Mathematics in Practice and Theory, 2013, 43(12):182-190.

## 作者简介



胡聪, 1981 年出生, 分别在 2003 年、2006 年于桂林电子科技大学获得学士学位和硕士学位。现为桂林电子科技大学副教授, 主要研究方向为集成电路测试、自动测试系统。

E-mail: hucong@guet.edu.cn

**Hu Cong** was born in 1981. He received B. Sc. and M. Sc. from Guilin University of Electronic Science and Technology in 2003 and 2006, respectively. Now, he is an associate professor in Guilin University of Electronic Science and Technology. His main research interests include integrated circuit test and automatic test system.



贾梦怡, 1992 年出生, 2014 年于南京邮电大学通达学院获得学士学位, 现为桂林电子科技大学硕士研究生, 主要研究方向为集成电路测试。

E-mail: moyra928@qq.com

**Jia Mengyi** was born in 1992. She received B. Sc. from Tongda College of Nanjing University of Posts and Telecommunications in 2014. She is currently a M. Sc. candidate in Guilin University of Electronic Science and Technology. Her main research interest includes integrated circuit test.



许川佩(通讯作者), 1968 年出生, 分别在 1990 年、2001 年于桂林电子工业学院获得学士学位和硕士学位, 2006 年于西安电子科技大学获得博士学位, 现为桂林电子科技大学教授, 主要研究方向为集成电路测试、自动测试系统。

E-mail: xcp@guet.edu.cn

**Xu Chuanpei** (Corresponding author) was born in 1968. She received B. Sc. and M. Sc. from Guilin University of Electronic Science and Technology in 1990 and 2001, and Ph. D. from Xidian University in 2006, respectively. Now, she is a professor in Guilin University of Electronic Science and Technology. Her main research interests include integrated circuit test and automatic test system.