

DOI: 10.13382/j.jemi.2017.01.019

采用 1.75 Gbps 串行发送器的低功耗 14 位 125 MSPS ADC^{*}

陈珍海^{1,3} 于宗光^{1,2} 魏敬和¹ 苏小波^{1,2} 万书芹¹

(1. 中国电子科技集团第五十八研究所 无锡 214035; 2. 西安电子科技大学微电子学院 西安 710071;
3. 黄山学院信息工程学院 黄山 245041)

摘要:提供了一种适宜于多通道集成的低功耗、小面积 14 位 125 MSPS 流水线模数转换器(ADC)。该 ADC 基于开关电容流水线 ADC 结构,采用无前端采样保持放大器、4.5 位第一级子级电路、电容逐级缩减和电流模串行输出技术设计并实现。各级流水线子级电路中所用运算放大器使用改进的“米勒”补偿技术,在不增加电流的条件下实现了更大带宽,进一步降低了静态功耗;采用 1.75 Gbps 串行数据发送器,数据输出接口减少到 2 个。该 ADC 电路采用 0.18 μm 1P5M 1.8 V CMOS 工艺实现,测试结果表明,该 ADC 电路在全速采样条件下对于 10.1 MHz 的输入信号得到的 SNR 为 72.5 dBFS, SFDR 为 83.1 dB,功耗为 241 mW,面积为 1.3 mm \times 4 mm。

关键词: 流水线模数转换器;运算放大器;电流模发送器;低功耗

中图分类号: TN432.1 **文献标识码:** A **国家标准学科分类代码:** 510.3040

Low power 14-bit 125 MSPS ADC with 1.75 Gbps serial transmitter

Chen Zhenhai^{1,3} Yu Zongguang^{1,2} Wei Jinghe¹ Su Xiaobo^{1,2} Wan Shuqin¹

(1. No. 58 Research Institute, China Electronic Technology Group Corporation, Wuxi 214035, China;
2. School of Microelectronics, Xidian University, Xi'an 710071, China;
3. School of Information Engineering, Huangshan University, Huangshan 245041, China)

Abstract: A low power, small die size 14-bit 125 MSPS pipelined ADC is presented. Switched capacitor pipelined ADC architecture is chosen for the 14-bit ADC. In order to achieve low power and compact die size, the sample and hold amplifier is removed, the 4.5-bit sub-stage circuit is used in the first pipelined stage. The capacitor down scaling technique is introduced, and the current mode serial transmitter is used. A modified miller compensation technique is used in the operation amplifiers in the pipelined sub-stage circuits, which offers a large bandwidth without additional current consumption. A 1.75 Gbps transmitter is introduced to drive the digital output code, which only needs 2 output pins. The ADC is fabricated in 0.18 μm 1.8 V 1P5M CMOS technology. The test results show that the 14-bit 125 MSPS ADC achieves the SNR of 72.5 dBFS and SFDR of 83.1 dB, with 10.1 MHz input at full sampling speed, while consumes the power consumption of 241 mW and occupies an area of 1.3 mm \times 4 mm.

Keywords: pipelined analog-to-digital converter; operation amplifier; current mode transmitter; low power

1 引言

精度 14 位、采样速率大于 100 MSPS 的流水线模数转换器(ADC),一直是各类中频采样系统的主要选择,

因而被大规模运用于多载波宽带无线通信和雷达接收等电子应用系统中^[1-4]。为降低成本和提高可靠性,各类电子系统对于低功耗和小型化的需求日益突出,其所使用 ADC 电路的功耗和面积要求日益严格^[5-6]。为提高流水线 ADC 的集成度,通常采用单芯片集成多通道 ADC

电路的方式来降低板级系统设计时所占用的空间。为实现流水线 ADC 电路的多通道集成,其所使用的单通道流水线 ADC 内核电路必须具备一些特别要求。首先,该 ADC 内核必须具备低功耗和小面积特性,否则,多通道集成带来的功耗和可靠性问题将极大限制板级系统应用。其次,该 ADC 内核必须使用尽可能少的输出端口数,否则,集成后带来的封装问题和板级系统的高速信号线的布线问题均会带来极大限制。

对于低功耗和小面积流水线 ADC 内核的实现,现有比较成熟的实现方式是基于开关电容技术的流水线结构。采用该技术所实现的流水线 ADC 的功耗主要组成部分为其所使用的高增益带宽积跨导运算放大器 (OTA)。为实现具备低功耗和小面积特性的开关电容流水线 ADC,采用消除前端采样保持电路、多位量化的第一级子级电路和电容逐级缩减等技术是有效的实现方式^[3-6]。然而消除前端采样保持电路后,第一级子级电路对于输入阻抗匹配和 OTA 建立时间等要求均需同步提高。

对于高速 ADC 的数据输出接口,当采样率超过 100 MSPS 以上时通常采用低压差分信号 (LVDS) 驱动接口,对于 14 位 ADC 来说,采用一对 LVDS 接口驱动 1 位数据的单倍速率并行数据输出格式,则需要 28 个数据输出引脚,需要的静态电流为 42 mA。采用 N 倍速率的 LVDS 输出格式,对应的每对 LVDS 接口传输速率提高 N 倍,则数据输出引脚数目可以减少到 $1/N$ 。然而,当 ADC 采样速率超过 100 MSPS 以上时, LVDS 技术的驱动上限限制了所能选取的 N 的倍数,从而输出数据端口数目不能最小化到 2 个。采用可传输更高数据率的电流模 (CM) 输出,则完全可以突破 LVDS 技术的上限,可以使 ADC 输出数据端口数目最小化到 2 个^[7-8]。

本文采用无前端采样保持电路、4.5 位第 1 级子级电路、电容逐级缩减和 CM 串行输出技术设计并实现了一种低功耗、小面积的 14 位 125 MSPS 流水线 ADC。为克服消除前端采样保持电路后所引起的各类影响,本文余量增益放大器所使用 OTA 采用改进的“米勒”(Miller) 补偿技术,在不增加电流的条件下实现了更大带宽;采用 1.75 Gbps 传输率的发送器将数据输出接口减小到 2 个。该 ADC 电路采用 1.8 V 1P5M 0.18 μm CMOS 工艺进行设计并流片验证,测试结果显示了非常好的综合性能。

2 ADC 系统结构

本文所设计 14 位 125 MSPS 流水线 ADC 电路的系统结构如图 1 所示。各级流水线子级电路采用开关电容技术实现。为降低 14 位 ADC 的整体功耗,未使用前端

采样保持电路,这样可以减少近 30% 的功耗;前端第一级子级电路采用了 4.5 位结构,这样可以极大降低后级流水线子级电路的噪声要求;各流水线子级电路采用电容逐级缩减技术,这样后续各级电路的功耗和面积均可以进一步减小。ADC 一共采用了 6 级子级电路,第 1 级 4.5 位,第 2~5 级是 2.5 位,最后一级采用最常见的 3 位 Flash 结构。虽然中间各级电路采用 1.5 位结构更容易实现高速转换,本文为减少运放的使用数量,中间 4 级电路还是采用了 2.5 位结构。6 级子级电路先后产生的 47 位温度计码经数字校准模块进行延时同步和求和迭加得到最后的 14 位量化输出。本文为降低整体功耗,数字校准模块未采用额外的前台或者后台数字校准逻辑^[9]。另外,为最大限度上减少输出数据端口数目,14 位并行输出的转换数据通过一个 1.75 Gbps 的串行数据发送器输出。

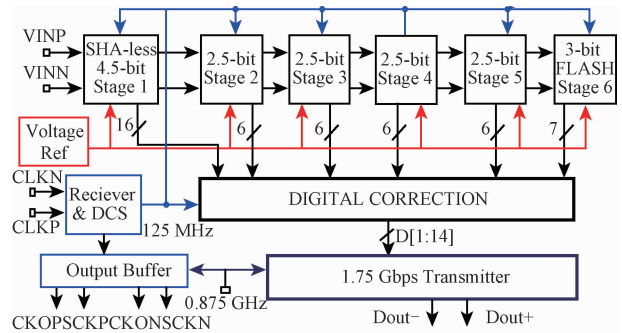


图 1 14 位 125 MSPS ADC 功能

Fig. 1 Block diagram of 14-bit 125 MSPS ADC

由于 ADC 采样时钟超过 100 MHz,并且精度要求是 14 位,为降低时钟抖动对于 ADC 动态性能的影响,外部输入差分时钟经接收整形后进入一个占空比稳定 (DCS) 电路得到标准 50% 占空比的时钟,然后采用分布式的多相位时钟产生及驱动技术提供各功能模块所需时钟。由于各级流水线子级电路在两相时钟控制下周期性的进行比较量化工作,因此参考电压产生电路的负载会发生周期性变化,为最小化该类负载变化对于参考电压的影响,本 ADC 使用了一种低功耗快速响应的参考电压产生电路。

3 无采样保持 4.5 位前端电路

在传统的高速流水线 ADC 中,都包含由采样网络和采样保持放大器组成的模拟前端。采样保持放大器用来获得一个被采样保持的信号供第一级流水线子级电路进行处理。采样保持放大器往往消耗大量的功耗,采样保持放大器还会对整个 ADC 产生失真和噪声,因此消除该放大器可以减少大量的功耗。

3.1 4.5 位子级电路结构

图 2 所示为无采样保持放大器的模拟前端的具体实现。可以看出,输入信号经过模拟采样开关直接接到 4.5 位的第 1 级流水线子级电路,其通过流水线子级电路中的 Flash ADC 和 MDAC 共同来完成采样保持的功能。然而消除采样保持电路以后,第 1 级前端电路的将面临 Flash ADC 和 MDAC 两个输入网络的阻抗匹配和 OTA 建立时间减小的问题。对于阻抗匹配问题,该失配误差只要不超过第一级数字误差校正范围都可以通过数字校正得到校正,本文还通过严格的版图布局考虑将其最小化;对于 OTA 建立时间减小的问题,本设计通过增加 OTA 带宽的方式进行补偿。

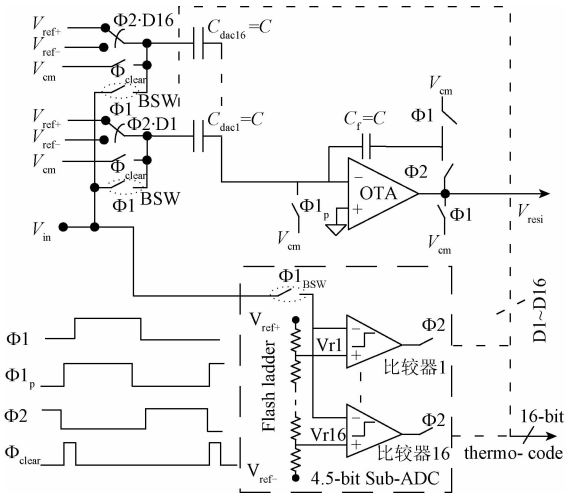


图 2 4.5 位子级电路结构

Fig. 2 Circuit structure of 4.5-bit sub-stage

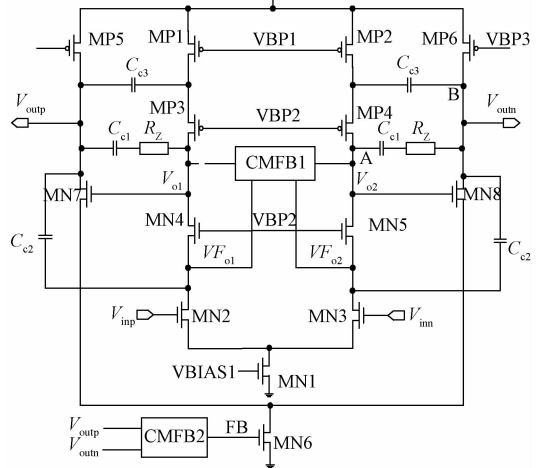
4.5 位子级电路在基本 $\Phi 1$ 和 $\Phi 2$ 两相不交叠控制时钟的基础上增加了一个 Φ_{clear} 时钟,另外, $\Phi 1_p$ 为下降沿较 $\Phi 1$ 略微提前的时钟。 Φ_{clear} 和 $\Phi 1_p$ 两个辅助时钟用于降低电荷充放电非理想因素的影响。MDAC 的采样电容,按照温度计码形式划分为 16 个小电容,每个小电容在 MDAC 余量电压求和时分别由一个比较器的输出结果直接控制。对于信号开关的实现,和模拟输入直接连接的信号通路均采用了栅压自举开关(如图 2 所示,图中 BSW 表示栅压自举开关),其余开关采用 CMOS 开关实现。

3.2 OTA 电路

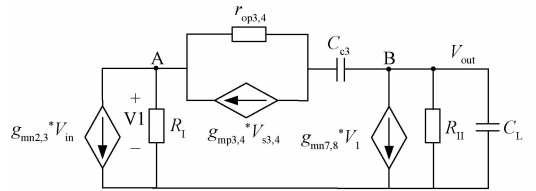
对于 14 位精度、采样速度 100 MSPS 以上的开关电容流水线 ADC 来说,其所采用的运算放大器通常采用全差分两级跨导放大器结构。但是两级运放的次极点距主极点比较近,为了使运放有足够的相位裕度,一般采用 Miller 补偿将主次极点分离,并且第二级运放必须要有足够大的电流将次极点落到运算放大器的单位增

益带宽之外,为提高其单位增益带宽,必须大幅提高第 2 级运放电路的静态电流,导致电路功耗以几何级数增大^[10-11]。本文在传统 Miller 补偿技术的基础上,对两级运算放大器的频率补偿进行了改进,在不增大第 2 级运放电流的条件下,进一步外推次极点,以达到更大的带宽。

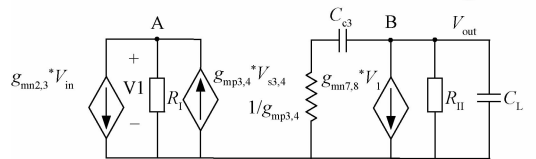
采用改进型 Miller 补偿技术的两级运算放大器的电路结构如图 3 所示。第 1 级采用套筒式运算放大器结构, MN_2 和 MN_3 作为差分输入管, MP_1 、 MP_2 、 MP_3 和 MP_4 作为第 1 级的负载, $CMFB1$ 为第 1 级的共模反馈;第 2 级采用 Class A 输出级, MN_7 和 MN_8 为第 2 级的输入, MP_5 和 MP_6 为第 2 级的负载, $CMFB2$ 为第 2 级的共模反馈。传统两级运算放大器在第 1 和第 2 级之间采用 Miller 补偿,使主次极点分离,并且使次极点 (g_{m2}/C_L) 大于或等于单位增益带宽 (g_{m1}/C_c),第 2 级需要非常大的电流。本设计在传统 Miller 补偿的基础上,通过补偿电容 C_{c2} 和 C_{c3} 实现电路的频率补偿。



(a) 两级运放电路结构
(a) Circuit structure of the two stage OTA



(b) 只考虑电容 C_{c3} 时运放小信号模型
(b) Small signal model of the OTA considering C_{c3}



(c) 简化小信号模型
(c) Simplified small signal model

图 3 运算放大器的结构及小信号模型

Fig. 3 Structure and small signal model of the OTA

图 3 中 A 点的节点方程如下:

$$g_{mn2,3} \cdot V_{in} + \frac{V_1}{R_1} - g_{mn3,4} \cdot \frac{1}{\frac{1}{g_{mn3,4}} + \frac{1}{s \cdot C_{c3}}} \cdot V_{out} = 0 \quad (1)$$

B 点的节点方程为:

$$g_{mn7,8} \cdot V_1 + \left(\frac{1}{\frac{1}{g_{mn3,4}} + \frac{1}{s \cdot C_{c3}}} + \frac{1}{R_{II}} + s \cdot C_L \right) V_{out} = 0 \quad (2)$$

传递函数为:

$$\frac{V_{out}}{V_{in}} = \frac{g_{mn2,3} g_{mn7,8} R_1 R_{II} \left(1 + \frac{C_{c3}}{g_{mp3,4}} \cdot s \right)}{R_{II} C_L C_{c3} \cdot s^2 + \left(\frac{C_{c3}}{g_{mp3,4}} + R_{II} C_L + R_{II} C_{c3} + g_{mn7,8} R_1 R_{II} C_{c3} \right) \cdot s + 1} \quad (3)$$

系统存在两个极点 p_1 和 p_2 :

$$p_1 = - \frac{1}{\frac{C_{c3}}{g_{mp3,4}} + R_{II} C_L + R_{II} C_{c3} + g_{mn7,8} R_1 R_{II} C_{c3}} \approx - \frac{1}{g_{mn7,8} R_1 R_{II} C_{c3}} \quad (4)$$

$$p_2 \approx - \frac{g_{mn7,8} R_1 R_{II} C_{c3}}{R_{II} C_L C_{c3}} \approx - \frac{g_{mp3,4} g_{mn7,8} R_1}{C_L} = - g_{mp3,4} R_1 \cdot |p_2'| \quad (5)$$

通过式(4)和(5)可以发现,加入补偿电容 C_{c3} 后,使主极点进一步“内推”;而次级点相对补偿前,增大了 $g_{mp3,4} R_1$ 倍,具有“外推”的效果,因此第 2 级运放就可以在比较小的 $g_{mp7,8}$ 时即可实现比较大的次级点,使两级运放具有足够的相位裕度,这样可以大大减小第 2 级运放的电流,从而降低整体两级运放的功耗。

4 1.75 Gbps 发送器

本文为降低 14 位 ADC 的输出数据端口数量,采用了 14 倍速率的串行输出数据格式,即单个 8 ns 的时钟周期内,以 14 个串行数据格式输出 ADC 数字校准逻辑输出的 14 位并行数据,因此单个串行数据的数据传输率达到 1.75 Gbps。为达到 1.75 Gbps 的数据传输率,采用 Serders 技术进行数据发送虽可以很容易地实现该传输率,但是 Serders 发送器的功耗开销太大^[7-8]。为在最低的功耗条件下实现 1.75 Gbps 的传输率,本文将 Serders 技术的编码方式进行了简化,简化之后的发送器及数据的时序关系如图 4 所示。

发送器的结构如图 4(a) 所示,ADC 数字校准逻辑输出的 14 位 125 Mbps 并行数据直接进入并串转换模块,由经过 7 倍频的 0.875 GHz 采样时钟通过双沿采样对并行数据进行并转串处理,得到 1.75 Gbps 的串行数据 Din,最后经 CM 驱动器转换成差分电流为 ± 4 mA 的电流输出信号 Dout+ 和 Dout-。数据发送器的输出数据时序示意图如图 4(b) 所示,模拟输入波形上的 N 代表第 N 个数据,串行输出数据的 $N-4$ 表示,流水线延迟冗余时间为 4 个时钟周期,对于采样时钟 CLKP 和 CLKN 的一个时钟周期,串行输出数据采样时钟 SCKP 和 SCKN 为 7 个周期, SCKP/SCKN 每个时钟周期采样 Dout+ /Dout- 的 2 个数据,每个数据的时间为 t_{SER} , 另外 SCKP/SCKN 每个时钟的上升/下降沿相对 Dout+ /Dout- 的数据进行了 $t_{SER}/2$ 的延迟,这样每次数据采样时刻都发生在数据中间位置,保证数据采样不会出错。

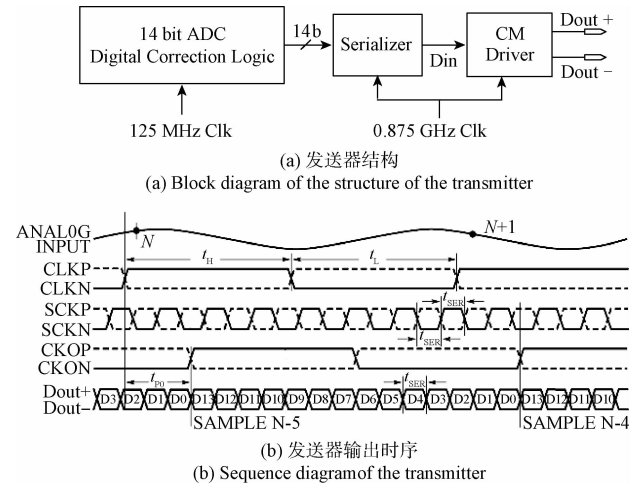


图 4 数据发送器的结构框图及输出时序

Fig. 4 Block diagram and timing sequence of the transmitter

4.1 并/串转换器

并/串转换器的作用是将 14 位 125 Mbps 并行数据转换为 1.75 Gbps 的串行数据,然后用于驱动电流模驱动器。该电路的系统如图 5 所示,14 位并行输入数据首先由 125 MHz 的时钟进行双沿 2:1 的采样,得到 2 组 7 位并行数据,每组 7 位数据分别进入一个 7 位的移位寄存器,该移位寄存器在互补的 875 MHz 串行采样时钟 SCKP/SCKN 的控制下得到 2 组 875 Mbps 的串行数据,最后合并得到 14 位 1.75 Gbps 的串行数据 Din, Din 输出到 CM 驱动器得到差分数据输出。

4.2 CM 驱动器

差分输出驱动器是整个高速串行数据发送器的核心模块,并且是整体数据发送器的速度带宽限制瓶颈所在,同时通常消耗最大的功耗。本文采用电流模输出驱动器是为了达到尽量大的摆幅,具体电路实现如图 6 所示。

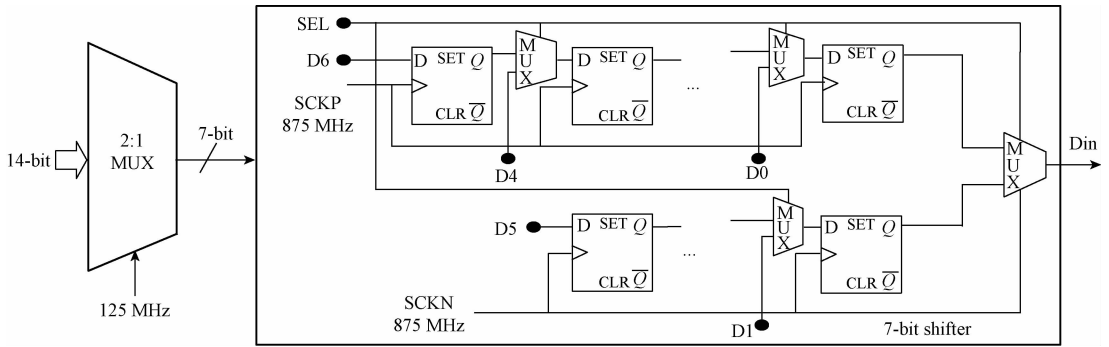


图 5 并/串转换模块结构

Fig.5 Block diagram of the serializer

由单端转差分电路和 CM 差分输出级电路构成。前者主要由数字电路构成,具体为级联的反相器链,为平衡差分互补数字信号的延时,加入了一个 CMOS 传输门;模拟输出驱动级,由全桥结构的预驱动级和输出级构成,对应输出级的输出电流为 4 mA,输出级的两个小电阻主要是为了限制输出摆幅,从而实现高速传输。

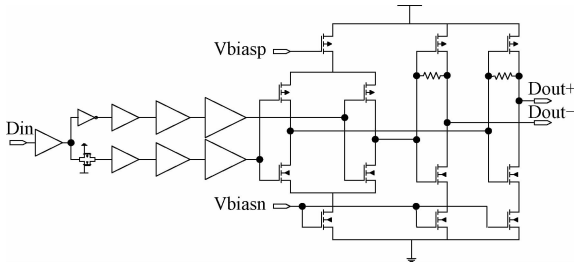


图 6 CM 驱动器电路实现

Fig.6 Circuit implementation of the CM driver

5 测试结果

本文所设计 14 位 125MSPS 流水线 ADC 芯片电路的实物放大照片如图 7 所示,电路采用 0.18 μm 1P5M 1.8 V CMOS 工艺,具体关键模块的布局如图中所示。由于该 ADC 被设计运用于一款 4 通道 14 位 125 MSPS ADC 电路产品中,为方便多通道集成,ADC 版图布局采用了狭长的线性布局方式,带隙基准电压(Bandgap)产生电路模块被放置在 ADC 的最左侧,原因在于该模块对噪声非常敏感并且为 4 个 ADC 内核的公用模块;时钟 DCS 模块也是 4 个 ADC 公用模块,并且会产生比较大的噪声干扰,因此被放置在最右下端;数据编码和 1.75 Gbps 数据发送器模块由于每个 ADC 均要使用,同时也会产生较大的噪声,因此被布局在 ADC 右侧,这样 4 个通道 ADC 的数字模块比较集中,方便隔离处理;基准电压缓冲驱动电路和 6 级流水线子级电路被布局在中间部分。整个 ADC 面积(包括接口 PAD)为 1.3mm × 4mm,

ADC 内核芯片有源面积为 1.3 mm × 2.5 mm。

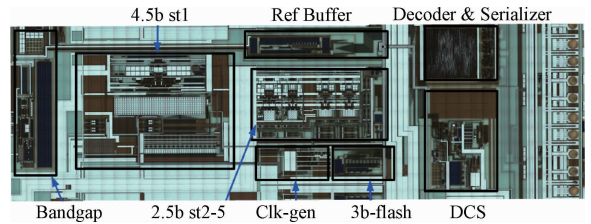
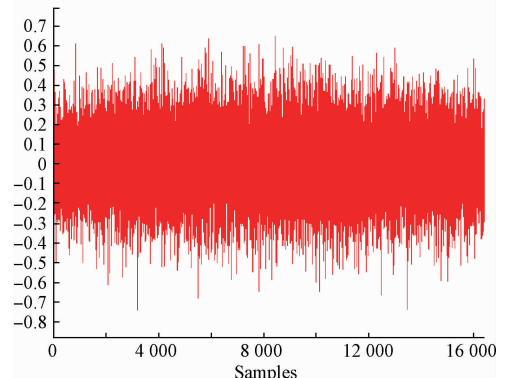
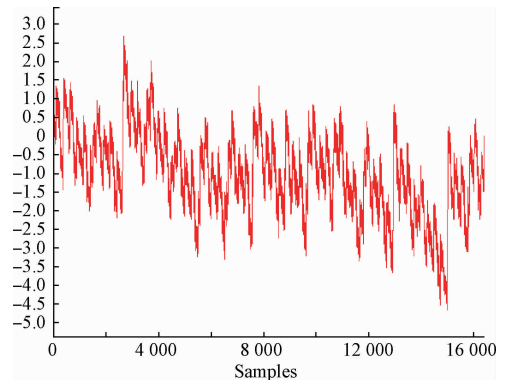


图 7 ADC 样片电路芯片概貌

Fig.7 Die photograph of the prototype ADC

本文设计的 14 位 125 MSPS 流水线 ADC 的典型测试曲线如图 8 所示。图 8 (a) 为 ADC 线性度曲线, DNL



(a) 积分与微分非线性 (a) INL & DNL

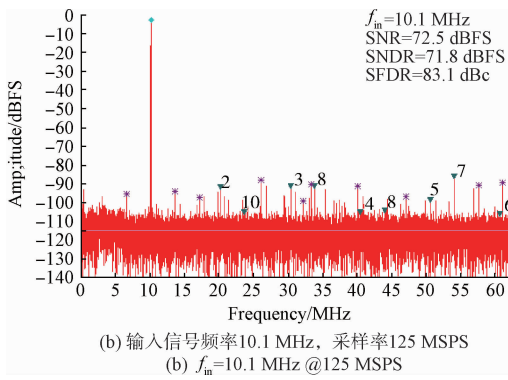


图8 ADC 样片性能测试曲线

Fig. 8 Measured results of the prototype ADC

为 $-0.72 \sim +0.65$ LSB, INL 为 $-4.6 \sim +2.7$ LSB, 由于 ADC 未采用数字校准技术 INL 峰值全部出现在 ADC 第一级子级电路的 16 个比较器的阈值电压位置;图 8(b) 为 ADC 工作在 125MSPS 采样率下,输入为 10.1 MHz 正弦信号的快速傅里叶变换 (FFT) 测试结果,可以看出 SNR 为 72.5 dBFS, SFDR 为 83.1 dBc。

本文所设计 1.75 Gbps 串行输出接口的眼图及时钟抖动统计图如图 9 所示。图 9(a) 给出了 1.75 Gbps 数据传输端口的眼图,可以看出差分信号摆幅为 800 mV,“眼眶”清晰,电路的上升时间约 300 ps,下降时间约为 250 ps,完全满足 875 MHz 时钟频率的速度要求;图 9(b) 给出了输出抖动统计情况,可以看出抖动峰峰值为 100 ps。本文所设计 ADC 样片在 125 MSPS 采样率时总体功耗为 241 mW,其中 1.75 Gbps 串行数据发送器的功耗为 17 mW,基准电压产生电路和 DCS 电路功耗为 22 mW。

近年来文献报道和国外公司推出的 14 位高速流水线 ADC 与本文设计的流水线 ADC 性能的对比如表 1 所示。可以看出与表格中的单通道 ADC 相比,本文设计的流水线 ADC 在未采用前台或者后台数字校准技术条件下,在消耗适中功耗的同时达到了较佳的动态性能。与文献[12-15]的 14 位 ADC 相比,本文 ADC 的 SNR 指标相当,SFDR 指标存在一些差距,主要原因在于未使用数字校准技术。

表 1 已报道 14 位高速 ADC 性能对比

Table 1 Performance comparison with previous 14-bit ADC

	速率/ MHz	SNR/ dB	SFDR/ dB	工艺/ nm	功耗/ (mW/通道)
文献[11]	100	70.3	83.7	180	342
文献[12]	100	70	85	90	130
文献[13]	125	73	90	90	250
文献[14]	150	69.7	87.3	130	85
文献[15]	100	69.1	83.7	180	121
本文	125	72.5	83.1	180	241

6 结 论

本文采用无前端采样保持电路、4.5 位第 1 级子级电路、电容逐级缩减和 CM 串行输出技术设计并实现了一种功耗为 261 mW、面积为 $1.3 \text{ mm} \times 4 \text{ mm}$ 的 14 位 125 MSPS 流水线 ADC。各级余量增益放大器所使用 OTA 采用改进的 Miller 补偿技术,在不增加电流的条件下实现了更大带宽;采用 1.75 Gbps 传输率的发送器将数据输出接口减小到 2 个。该 ADC 采用 1.8 V 1P5M 0.18 μm CMOS 工艺流片,测试结果显示,该 ADC 样片电路在全速采样条件下对于 10.1 MHz 的输入信号得到的 SNR 为 72.5 dBFS、SFDR 为 83.1 dB,所设计低功耗、小面积 14 位 ADC 非常适合于用来进行多通道集成。

参考文献

[1] ALI A M A, DINC H, BHORASKAR P, et al. A 14-b 1 GS/s RF sampling pipelined ADC with background calibration [C]. Solid State Circuits Conference, IEEE, 2014: 482-483.

[2] EL-CHAMMAS M, LI X P, KIMURA S, et al. A 90 dB SFDR 14-b 500 MS/s BiCMOS switched-current pipelined ADC [C]. Solid State Circuits Conference, IEEE, 2015: 286-287.

[3] ALI A M A, DILLON C, SNEED R, et al. A 14-bit 125 MS/s IF/RF Sampling Pipelined ADC With 100 dB

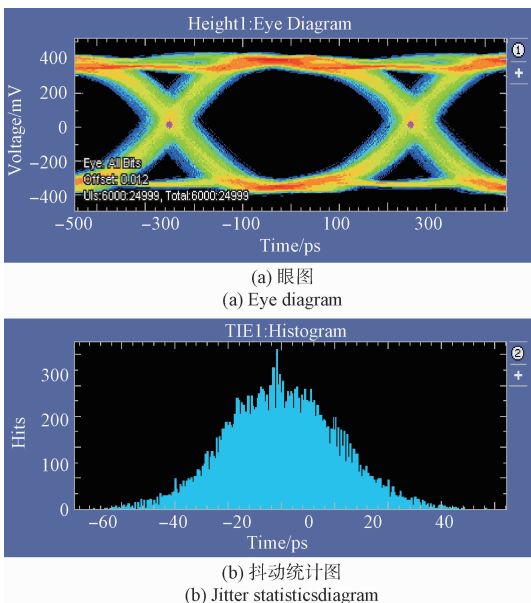


图9 1.75 Gbps 发送器测试曲线

Fig. 9 Measured results of the 1.75 Gbps transmitter

- SFDR and 50 fs Jitter. [J]. IEEE Journal of Solid State Circuits, 2006, 41(8): 1846-1855.
- [4] ALI A M A, MORGAN A, DILLON C, et al. A 16 b 250 MS/s IF-sampling pipelined A/D converter with background calibration [C]. Solid State Circuits Conference, IEEE, 2010: 292-293.
- [5] PETER B, FRANZ K, CLAUS K, et al. A 14b 100 MS/s Digitally Self-Calibrated Pipelined ADC in 0.13 μ m CMOS [C]. Solid State Circuits Conference, IEEE, 2006: 224-225.
- [6] DEVARAJAN S, SINGER L, KELLY D, et al. A 16-bit, 125MS/s, 385mW, 78.7dB SNR CMOS Pipeline ADC. [J]. IEEE Journal of Solid-State Circuits, 2009, 44(12): 3305-3313.
- [7] FUKUDA K, YAMASHITA H, ONO G, et al. A 12.3 mW 12.5-Gbps complete transceiver in 65 nm CMOS process [J]. IEEE Journal of Solid State Circuits, 2010, 45(12): 2838.
- [8] KOSSEL M, MENOLFI C. A T-coil enhanced 8.5 Gbps high-swing SSB transmitter in 65 nm bulk CMOS with < -16 dB rectum loss over 10 GHz bandwidth [J]. IEEE J Solid-State Circuits, 2008, 43(12): 2905.
- [9] 陈红梅, 黄超, 邓红辉, 等. 带参考通道的时间交叉 ADC 数字后台校准方法 [J]. 电子测量与仪器学报, 2015, 29(12): 1739-1745.
- CHEN H M, HUANG C, DENG H H. Background digital calibration method for time-interleaved ADC using a reference ADC [J]. Journal of Electronic Measurement and Instrument, 2015, 29(12): 1739-1745.
- [10] 杨俊峰, 李哲英, 修丽梅. 高速流水线 ADC 中跨导放大器设计及误差分析 [J]. 电子测量与仪器学报, 2014, 28(5): 538-544.
- YANG J F, LI Z Y, XIU L M. Design and error analysis of OTA for high speed pipeline ADC [J]. Journal of Electronic Measurement and Instrument, 2014, 28(5): 538-544.
- [11] ZHAO N, WEI Q, YANG H Z, et al. A 14 bit 100 MS/s 85.2-dB SFDR pipelined ADC without calibration [J].

- Journal of Semiconductors, 2014, 35(7): 035006-1-8.
- [12] KUN A, YAJUAN H, LIANG L, et al. A 14-bit 100MS/s pipelined A/D converter with 2 b interstage redundancy [C]. 14th International Symposium on Integrated Circuits, 2014: 83-86
- [13] VEL HV, BUTTER BA, PIEOG H, et al. A 1.2V 250 mW 14-b 100-MS/s digitally calibrated pipeline ADC in 90 nm CMOS [J]. IEEE Journal of Solid State Circuits, 2009, 44(4): 1048-1056.
- [14] LI WT, LI FL, YANG CY, et al. An 85 mW 14-bit 150 MS/s pipelined ADC with a merged first and second MDAC [J]. China Communications, 2015, 12(5): 14-22.
- [15] CHEN Y Z, CHEN C X, FENG Z M, et al. A 14-bit 100 MS/s 121 mW pipelined ADC [J]. Journal of Semiconductors, 2015, 36(6): 065008-1-6.

作者简介



陈珍海, 1982 年出生, 2008 年于江南大学获得硕士学位, 2014 年于西安电子科技大学获得博士学位, 现为中国电子科技集团公司第五十八研究所博士后(高级工程师), 主要研究方向为数模混合集成电路设计。

E-mail: diaoyuds@126.com

Chen Zhenhai was born in 1982, received M. Sc. from Jiangnan University in 2008 and Ph. D. from Xidian University in 2014, respectively. He is now the Postdoctoral in CETC58. His research area is mixed signal IC design.



魏敬和, 1970 年出生, 1997 年于东南大学获得硕士学位, 2004 年于安徽大学获得博士学位, 现为中国电子科技集团公司第五十八研究所研究员, 主要研究方向为 SoC 系统设计。

E-mail: pume1975@sina.com

Wei Jinghe was born in 1970, received M. Sc. from Southeast University in 1997 and Ph. D. from Anhui University in 2004, respectively. He is the research professor in CETC58 now. His research area is SOC mixed signal design.