

DOI: 10.13382/j.jemi.B2306269

应用于 ATE 的时间测量单元设计*

刘士兴 李江晖 夏进 易茂祥 梁华国

(合肥工业大学微电子学院 合肥 230009)

摘要:集成电路飞速发展对集成电路自动测试设备(ATE)中时间测量单元(TMU)的精度提出了更高的要求。针对这一问题,本文使用电子学引脚测试芯片 MAX9979 对数字 IC 施加激励和捕获响应,结合 Xilinx Artix-7 FPGA 内部固化的时间数字转换器(TDC)设计了一种高精度的时间测量单元。时间数字转换器采用粗、细计数结合的内插方法,粗计数由参考时钟为 200 MHz 的 32 位直接计数器实现;细计数由超前快速进位链(CARRY4)级联的延迟链构成,通过对 CARRY4 进行专用配置来减小其超前进位功能引起的测量误差,使用码密度校准法对延迟链进行校准。实验结果表明, TMU 量程为 21.475 s, 平均分辨率为 34.7 ps, DNL 优于 2.5 LSB, INL 优于 4.5 LSB, 精度为 39.7 ps。

关键词: 时间测量单元; 时间数字转换器; 数字 IC 交流参数测量; 集成电路自动测试设备

中图分类号: TN791; TN98 **文献标识码:** A **国家标准学科分类代码:** 510.3040

Design and implementation of time measuring unit applied to ATE

Liu Shixing Li Jianghui Xia Jin Yi Maoxiang Liang Huaguo

(School of Microelectronics, Hefei University of Technology, Hefei 230009, China)

Abstract: The accuracy of time measurement units (TMU) in integrated circuit automatic test equipment (ATE) is facing higher demands due to the rapid development of integrated circuits. To cope with the increased accuracy of digital IC time parameter measurements, a high precision time measuring unit was designed in this paper, which used the electronic pin test chip MAX9979 to apply excitation and capture response, and combined with Xilinx Artix-7 FPGA internal curing time digital converter (TDC). Time-to-digital converter implemented by interpolation using a combination of coarse and fine counting, the coarse counter is implemented by a 32-bit direct counter with a reference clock of 200 MHz, while the fine counter consists of a delay chain cascaded by a CARRY4 cascade, with a dedicated configuration for CARRY4 to reduce the measurement error caused by its overrun function, and the delay chain was calibrated using the code density calibration method. The experimental results show that the TMU range is 21.475 s, the average resolution is 34.7 ps, the DNL is less than 2.5 LSB, the INL is better than 4.5 LSB, and the accuracy is 39.7 ps.

Keywords: time measurement unit; time to digital converter; AC parameter measurement for digital IC; automatic test equipment for IC

0 引言

时间测量单元(time measurement unit, TMU), 又称时间间隔测量单元。精确的时间间隔测量在激光雷达^[1]、飞行时间(time to flight, TOF)^[2]、导航系统、医学器械、数字示波器等领域发挥着重要的作用, 在集成电路(integrated circuit, IC) 芯片测试领域同样占据至关重要

的地位。IC 产品制造封装之后需要在 Final Test 中进行测试, 检测器件是否满足相应的电气、功能、可靠性等特殊需求。这些测试内容主要包括功能测试(functional test)、直流参数测试(DC test)和交流参数测试(AC test)。交流参数测试在数字 IC 测试中就是针对芯片的时间参数进行测试^[3], 该测试内容由集成电路自动测试设备中的高精度时间测量单元实现, 本文所述时间参数测试即为交流参数测试内容。早期的时间数字转换器

收稿日期: 2023-02-18 Received Date: 2023-02-18

* 基金项目: 国家自然科学基金重大科研仪器研制项目(62027815)资助

(time to digital convert, TDC) 主要采用基于时间拓展法和时间幅度转换法的模拟定制方式实现。随着微电子技术的快速发展, 新型 TDC 主要采用专用集成电路 (application specific integrated circuit, ASIC)^[4] 或现场可编程门阵列 (field programmable gate array, FPGA)^[5-12] 两种方式实现。基于 FPGA 的 TDC 具有成本低、开发周期短、无限制的可重构信号处理等优点被广泛研究, 其实现方法主要有直接计数法、游标卡尺法^[6]、多相位时钟法^[7-8]、抽头延迟链法^[9-11]。

基于 FPGA 实现的 TDC 最流行的架构是使用抽头延迟线 (tapped delay line) 实现一个时钟周期内的时间插值, 此类 TDC 通过多次插值可以实现较高的精度。文献[5]将波联合发射器应用在单条延迟链结构进行多次测量, 有效的细分超宽码, 获得了 10~20 ps 的分辨率。文献[9]通过温度补偿和校准技术在 Xilinx Virtex 4 中实现了 25 ps 的 TDC。文献[10]在 Xilinx Virtex-II 系列 FPGA 中基于进位链采用多延时链冗余结构实现了系统测量精度为 62.9 ps 的 TDC。文献[11]基于延迟线内插原理, 设计了一种基于 Virtex-IV FPGA 的多路时间间隔并行测量方法设计了 59~70 ps RMS 精度的 TDC。文献[12]基于滤波算法和对编码电路的特殊配置, 实现的 TDC 的测量分辨率可达 63.3 ps。

上述类型 TDC 的实现方法通常使用的延迟链较多、复杂的编码器电路和在线辅助校准电路消耗了大量的逻辑资源, 在 FPGA 功耗、性能、成本、芯片的资源占用方面有待提高。研究基于主流的 FPGA 实现 TDC 既可以提升精度, 又可以减小逻辑资源开销, 对 ATE 的开发有很好的工程应用前景。本文针对低功耗 Xilinx Artix-7 FPGA 设计了一种专用于数字 IC 测试设备的 TDC, 结合电子学引脚测试芯片 MAX9979, 实现了具有开发周期短、集成度高、分辨率高、成本低等优点的时间测量单元。

1 TMU 设计方案

1.1 TMU 电路结构设计

TMU 是采用更小的已知时间单元对待测时间间隔进行计数测量的电路单元, 例如采用已知频率的时钟计数器来量化时间间隔。在集成电路自动测试设备中, 为验证器件晶体管时序状态是否在正确的时间发生转换, 时间测量单元是以时间为单位测量器件相关参数的电路, 包括数字 IC 的周期/频率、脉宽、占空比、上升/下降时间、传输延迟等参数。

如图 1 所示, 时间测量单元电路由计算机 (PC)、FPGA 逻辑测试电路、电子学引脚测试芯片 MAX9979 以及待测器件 (DUT) 组成。其中, PC 负责下发测试向量指令, FPGA 将测试向量转化为各类格式化波形, MAX9979

的电子引脚驱动器产生激励加载到 DUT 的输入引脚, 定时电路依据 DUT 的相关参数设定 DUT 的工作时间。DUT 响应后, MAX9979 捕获响应, 并利用高速比较器分别产生 start 和 stop 待测信号, TDC 对比较器输出的时间间隔进行测量, 并将测量结果回传到 PC 以便验证待测 IC 相关时间参数是否合格。

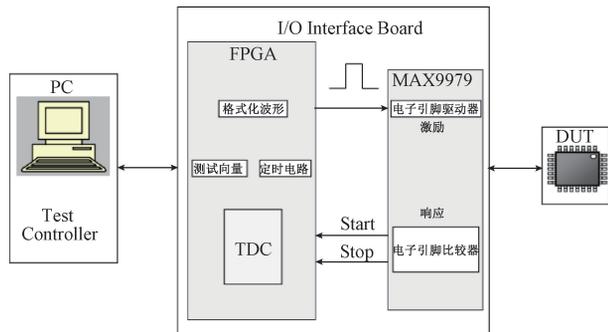


图 1 应用于 ATE 时间测量单元电路

Fig. 1 Application to ATE time measurement unit circuits

1.2 数字 IC 上升时间测量原理

数字 IC 时间参数测量方法主要有二分搜索法和线性搜索法, 都是通过运行设定功能的向量 (pattern) 来改变芯片的工作条件。在特定的 pattern 周期内产生上升沿激励信号, 由其运行结果来计算上升时间。上升时间是指待测管脚电压信号上升沿瞬时值到达规定上限和下限的两瞬时值之间的时间间隔, 用 T_{rise} 表示。测试时输出信号出现在某个 pattern 周期内, 待测管脚的 VOL 和 VOH 分别设定为 10% V_{pp} 和 90% V_{pp} 。如图 2 所示, 测试点时刻对应的待测管脚的输出电压, 如果位于 VOL~VOH 之间, 则认为 pattern 是 fail; 若在 VOL~VOH 电压之外, 则认为 pattern 是 pass。

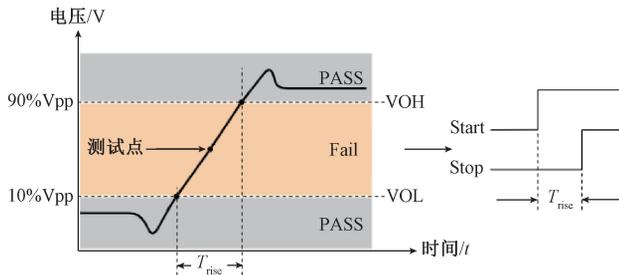


图 2 上升时间测量原理

Fig. 2 Principle of rise time measurement

进行测量时, 测试仪会多次运行 pattern, 每次运行会改变待测管脚采样沿的时间位置, 并获取每次运行的 pas/fail 结果。VOL 信号通过 MAX9979 内置的低阈值比较器产生 start 信号, VOH 信号通过 MAX9979 内置高阈值比较器产生 stop 信号, 最后由 TDC 依据比较器产生的

start 和 stop 信号量化出精细的时间间隔 $T_{rise}^{[13]}$ 。

2 TDC 的设计与实现

2.1 基于 FPGA 的 TDC 测量原理

本文采用粗、细计数相结合的测量方法,粗计数用直接计数法来实现,测量原理如图 3 所示^[14]。

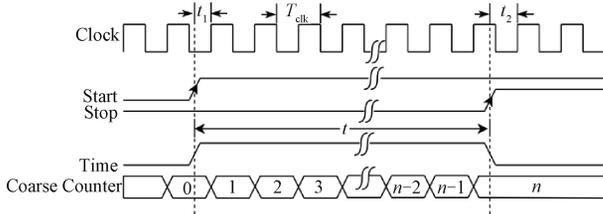


图 3 直接计数法测量原理

Fig. 3 Principle of direct counting measurement

在 start 信号的上升沿与 stop 信号上升沿之间的时间间隔 t 为需要测量转换的时间,计数器在参考时钟 clk 触发下同步计数。

对于时间间隔 t ,计数器累计为 n ,参考时钟周期为 T_{clk} ,则粗计数测量的时间间隔为:

$$t = n \times T_{clk} \quad (1)$$

粗计数测量误差 ε 为:

$$\varepsilon = t_1 - t_2 \quad (2)$$

于是,实际时间间隔 t' 为:

$$t' = n \times T_{clk} + t_1 - t_2 \quad (3)$$

由式(3)可知,要提高 TDC 分辨率,最简单的方法是构造高频计数器,根据参考时钟对输入时间间隔进行计数^[15]。然而,更高的工作频率通常会导致功耗的进一步增加,受限于当前技术手段也难以实现。相比之下,应用时间内插法可以在更低的系统频率下实现更高的分辨率,因此采用细计数内插法来测量 t_1 与 t_2 的时间间隔。抽头延迟链可与直接计数法配合实现大量程和高分辨率的设计要求,故选用抽头延迟链实现细计数。

抽头延迟链测量原理如图 4 所示^[16],Trigger 信号在延时为 τ 的延迟单元级联构成的延迟链中传播,当参考时钟 clk 触发时,D 触发器锁存 Trigger 信号在延迟链中传播,结果形成(00011...111)形式的温度计码,其中“1”的个数即为信号通过抽头延迟单元的数量^[17]。统计温度计码中“1”的个数 n 来精确量化粗计数非整数周期测量误差,即 Start、Stop 信号与时钟上升沿之间的时间差 t_1 与 t_2 , Δt 来表示细测量时间,则有:

$$\Delta t = n \times \tau \quad (4)$$

2.2 TDC 电路结构

TDC 整体结构如图 5 所示,包含一个粗计数器和两

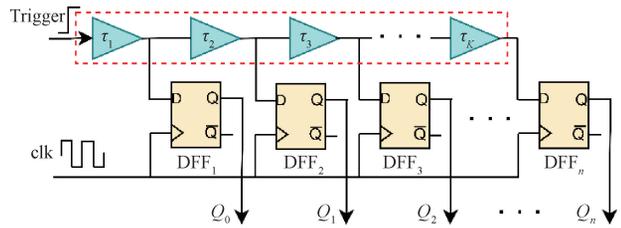


图 4 抽头延迟链测量原理

Fig. 4 Principle of tapped delay chain measurement

个细计数通道。两个细计数通道内部结构相同,用来测量输入信号的精细时间间隔。细计数通道之间利用直接计数器计算完整时钟周期数。

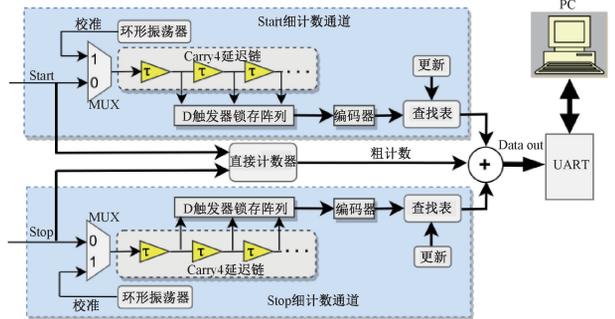


图 5 TDC 整体结构

Fig. 5 Overall structure of the TDC

粗计数器由一个 200 MHz 参考时钟的 32 位直接计数器构成,量程可达到 21.475 s。两个细计数通道由触发信号数据选择器、CARRY4 延迟链、编码器、查找表以及环形振荡器构成。触发信号数据选择器用于测量与校准通道选择。CARRY4 构成的延时链用来记录细计数时间间隔,测量结果由双 D 触发器锁存后输出温度计码,温度计码经二分法转化为二进制码,通过查找表记录延时信息,经 UART 通信将数据上传 PC。

2.3 延迟链结构

在通用 FPGA 系列中有许多专用延迟线资源,由式(4)可知,延迟链分辨率主要取决于延迟单元的延时,尽可能使用低延时的延时单元提高测量分辨率。本文采用 Xilinx Artix-7 系列 FPGA 内部的快速超前进位逻辑单元 CARRY4 作为延时单元构造延迟线,这种延迟单元延时小、且具有执行快速算数运算的能力,其逻辑结构如图 6 所示。每个 CARRY4 内部有 1 个多路复用器(MUX)和 4 个进位多路复用器(MUXCY),第 1 级的输入为 CYINT,输出为 COUT,并与下一级的 CIN 级联形成线性延迟链,该配置模式可以最小化 CARRY4 块之间的传播延迟。传统 CARRY4 延迟链将 CARRY4 的 CO0~CO3 都引出作为抽头,由于 CARRY4 超前进位特性,将所有抽头引出会使得信号传递时并不是单调的,即触发器锁存

得到的温度计码会存在严重“冒泡”现象^[18]。所以本文只引出了 CARRY4 中的 CO0 与 CO3 两个抽头,如图 6 所示配置成两部分,可有效消除冒泡问题从而提高测量精度。其中 CO0 记录的延时时间 LSB1 为 MUX 与 MUXCY 以及 CARRY4 之间级联走线延迟,CO3 记录的延时时间 LSB2 为 3 个 MUXCY 的延迟^[19]。由静态时序报告分析可知 CIN 到 COUT 的最大理论延时为 98 ps(PVT 最差的情况),实际结果优于 98 ps。

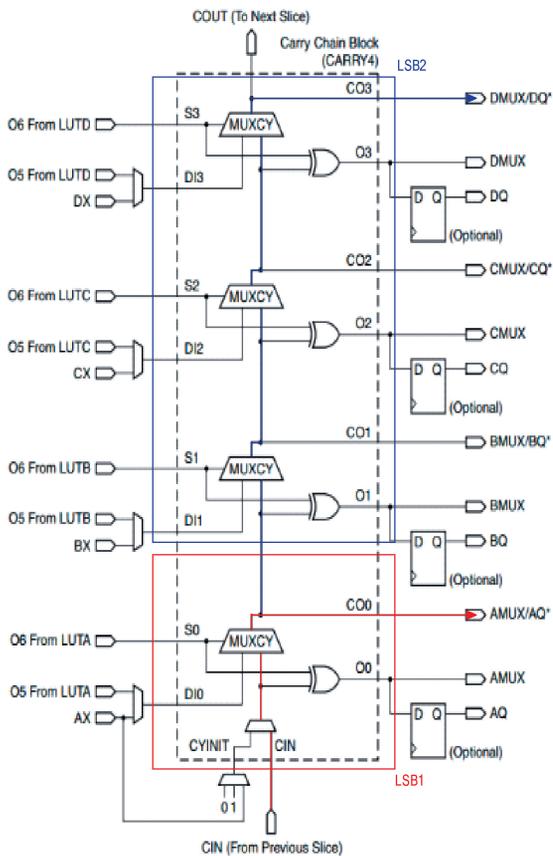


图 6 CARRY4 配置逻辑结构

Fig. 6 CARRY4 configuration logical structure

在相同的 bin 计数延迟链中,传播延迟越短,TDC 的精度越高,通常 ASIC 的传输延迟比 FPGA 短;应在在满足测量量程的前提下,尽可能使用最短的延迟链实现更高的 TDC 精度。本文使用原语例化 CARRY4 构造延迟链,每条延迟链配置 96 个 CARRY4,共 192 个基本延迟单元进行细时间测量,可以实现较高的测量要求并且节省了 FPGA 逻辑资源。同时对延迟链的第一个 CARRY4 进行位置约束,使得延迟链尽可能靠近触发信号 Hit,消除 Hit 到 CIN 的走线延迟,每个 CARRY4 之间固定路由,走线长度基本一致,这样可以有效降低走线延迟带来的分辨率不一致。

2.4 码密度校准设计

延迟链中各延时单元的延迟时间通常会受工艺、电压以及温度(PVT)的改变影响测量结果,因此 TDC 在测量前需要校准,校准方法主要有平均校准法和码密度校准法^[20]。平均校准法适用于延迟链走线均匀的专用集成电路实现的 TDC,而基于 FPGA 实现的 TDC 由于内部走线不一致导致各抽头分辨率差别较大,通常使用码密度校准法。

码密度校准法是让大量时间间隔随机的信号通过延迟链,然后统计停留在每个延迟单元的次数^[21]。校准的核心问题是随机信号的产生和校准次数的确定。本文采用 FPGA 内部构造的环形振荡器来产生随机脉冲信号,环形振荡器由 FPGA 内部 LUT 资源例化成首尾相连的反相器实现。为了提高校准的准确性与有效性,校准信号需要独立于 TDC 系统时钟。式(5)为校准误差与校准次数、一个时钟周期插入的延迟单元个数的关系^[22]:

$$\sigma_i = \frac{T_{\text{clk}}}{N} \sqrt{\sum_{i=1}^K \sigma_i^2 + \frac{\sigma_i^2}{2}} < \frac{T_{\text{clk}}}{\sqrt{N}} \sqrt{1 - \frac{1}{K}} \quad (5)$$

式中: N 为延迟链需要校准的次数, σ_i 为设定的校准误差值, T_{clk} 为时钟周期; K 为一个时钟周期内插入的 CARRY4 抽头个数即图 4 中基本延迟单元的数量。在系统时钟与内插延迟单元一定的情况下,可以通过增加校准次数 N 获得更小的校准误差。例如在系统时钟为 200 MHz 时,内插 144 个延迟单元时要获得小于 5 ps 的校准误差,由式(5)求得校准次数 $N > 1 \times 10^6$ 。假设随机信号落在第 i 个延时单元的次数为 M ,则该基本延时单元的延迟为:

$$\tau_i = \frac{M}{N} \times T_{\text{clk}} \quad (6)$$

3 实验结果与分析

3.1 TDC 性能测试分析

首先对 FPGA 内部固化的 TDC 进行了性能测试,根据实验数据建立 TDC 延迟时间关于各延时单元的直方图,如图 7 所示绝大多数延迟单元的延迟时间在 30~40 ps 之间。其中约 90 ps 延迟的超宽码,是由于 FPAG 内部相同时钟区域的 CARRY4 进位链数量有限,需要跨时钟域级联进位链。

此时,信号经过延迟链的总时间 T_i 由式(7)表示:

$$T_i = \sum_{k=0}^i \tau_k \quad (7)$$

由式(7)建立总延迟时间关于延时单元的校准直方图如图 8 所示,可以看到校准之后的延迟单元线性度较好,拟合系数优于 0.999 8。最后将直方图更新到片内

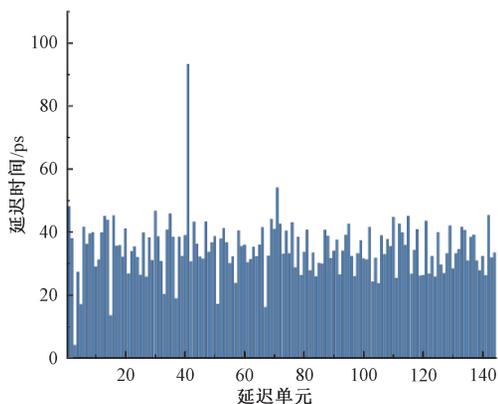


图 7 延时单元直方图
Fig. 7 Delay unit histogram

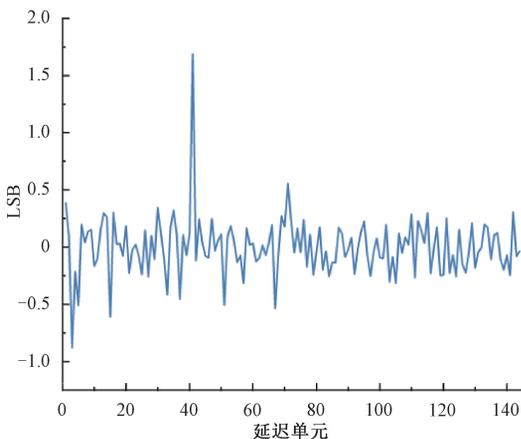


图 9 各延时单元 DNL 曲线
Fig. 9 DNL graph for each delay unit

RAM 作为细计数的查找表,完成校准。

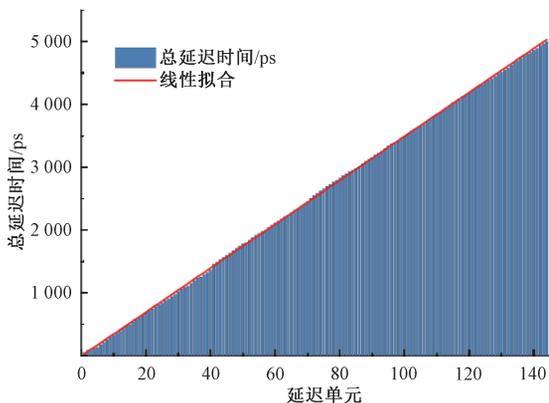


图 8 延迟时间校准直方图
Fig. 8 Delay time calibration histogram

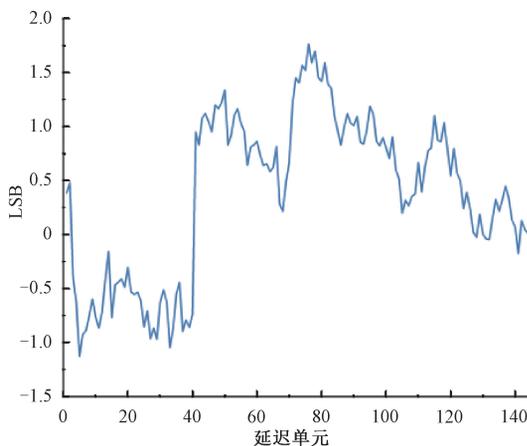


图 10 各延时单元 INL 曲线
Fig. 10 INL graph for each delay unit

本文 TDC 延迟链总延迟时间为 6.62 ns,前 144 个延迟单元全跳变为高电平需要 5 ns,即平均分辨率 LSB 为 34.7 ps。经码密度校准后的延迟链可依据直方图 7 获得 DNL 和 INL。如图 9 所示,各延时单元的 DNL 总体保持在 $-0.88 \sim 1.62$ LSB 之间,突出位置与图 7 中的超宽码对应,DNL 范围表明 TDC 延迟链的延时时间较为均匀,一致性较好。如图 10 所示,延时单元的 INL 均保持在 $-1.13 \sim 1.76$ LSB 之间,表明该延迟链能较好的依据直方图 8 进行时间数字转换。

3.2 TMU 测试结果分析

使用 Siglent SDG5162 信号发生器产生 start 和 stop 两路脉冲信号,对 stop 通道的信号相移 45° 产生上升时间为 100 ns 的脉冲信号,使用 FPGA 中构造的 TDC 测量 start 和 stop 信号之间的时间间隔。TMU 对上升时间测量统计结果如图 11 所示,测量的平均值为 100.051 ns,最大误差为 164 ps,精度为 39.7 ps。

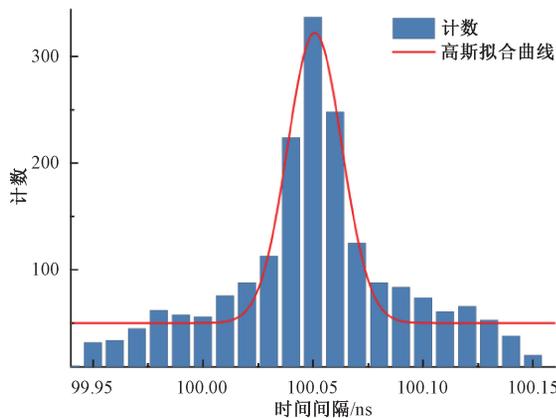


图 11 TMU 测试结果
Fig. 11 TMU test results

4 结 论

本文介绍应用于 ATE 的时间测量单元电路结构,研究数字 IC 的核心参数上升时间的测量方法和基于 FPGA 实现的 TDC 测量原理。基于 Xilinx Artix-7 FPGA 中通过对延迟链的合理配置实现了较高分辨率的 TDC 单元电路;为减小了其测量误差,采用码密度法对延迟单元进行校准。最后,输入 100 ns 的时间间隔信号进行实验测试,获得了较理想的测试结果,为 ATE 中 TMU 的设计提供了一种可靠的参考方案。后续工作进一步采用 XADC 进行温度补偿、手动补偿 TDC 通道间路径延迟或者使用高精度、低抖动晶振来提升线性度,实现更高精度和稳定性的时间测量单元。

参考文献

- [1] NISSINEN J, NISSINEN I, KOSTAMOVAARA J. An integrated CMOS receiver-TDC chip for mm-accurate pulsed time-of-flight laser radar measurements[C]. 2012 IEEE International Instrumentation and Measurement Technology Conference Proceedings, 2012:421-424.
- [2] JIANG W, HUANG X, CAO P, et al. Readout electronics for CBM-TOF supermodule quality evaluation[J]. Nuclear Science, IEEE Transactions on, 2019, DOI: 10.1109/TNS.2019.2900657.
- [3] 孙莉莉,李楠.基于 ATE 的集成电路交流参数测试方法[J].电子与封装,2017,17(3):10-12,18.
SUN L L, LI N. ATE-based test method for AC parameters of integrated circuits [J]. Electronics & Packaging, 2017, 17(3):10-12,18.
- [4] 郭围围,尹勇生,龚号,等.基于时间放大技术的时间数字转换器的设计[J].电子测量与仪器学报,2022,36(4):98-105.
GUO W W, YING Y SH, GONG H, et al. Design of a time-to-digital converter based on time-amplification techniques [J]. Journal of Electronic Measurement and Unstrumentation, 2022, 36(4): 98-105.
- [5] LIU C, WANG Y. A 128-channel, 710 M samples/second, and less than 10 ps RMS resolution time-to-digital converter implemented in a kintex-7 FPGA[J]. IEEE Transactions on Nuclear Science, 2015, 62(3): 773-783.
- [6] Mattada M P, Guhilot H. Area efficient vernier time to digital converter (TDC) with improved resolution using identical ring oscillators on FPGA [C]. 2013 IEEE International Conference on Smart Structures and Systems (ICSSS) IEEE, 2013.
- [7] WANG Y, CHONG L, ZHU W. Two novel designs of multi-phase clocked ultra- high speed time counter on FPGA for TDC implementation [C]. Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2013 IEEE. IEEE, 2013.
- [8] WANG Y, PENG K, CHONG L. A 256-channel multi-phase clock sampling-based time-to-digital converter implemented in a Kintex-7 FPGA[C]. Instrumentation & Measurement Technology Conference, IEEE, 2016.
- [9] WANG J, LIU S, SHEN Q, et al. A fully fledged TDC implemented in field-programmable gate arrays [J]. IEEE Transactions on Nuclear Science, 2010, 57(2): 446-450.
- [10] 吴军,王海伟,郭颖,等.资源有限 FPGA 的多通道时间-数字转换系统[J].红外与激光工程,2015,44(4): 1208-1217.
WU J, WANG H W, GUO Y, et al. A multi-channel time-to-digital conversion system for resource-limited FPGAs [J]. Infrared and Laser Engineering, 2015, 44(4):1208-1217.
- [11] 吴嗣,郭颖,李铭,等.高精度多波束激光雷达时间间隔并行测量技术研究[J].红外,2016,37(7):23-28.
WU S, GUO Y, LI M, et al. Research on high accuracy multi-beam LIDAR time interval parallel measurement technology[J]. Infrared, 2016,37(7):23-28.
- [12] CHEN Z, SHI W, XIONG G, et al. A 63.3ps TDC measurement system based on FPGA for pulsed laser ranging[C]. 2019 IEEE 13th International Conference on ASIC (ASICON). IEEE, 2019.
- [13] 殷乐.基于 Ultraflex 的芯片上升时间测量的研究[J].工业控制计算机,2020,33(5):35-36,121.
YIN L. Study of ultraflex-based chip rise time measurement[J]. Industrial Control Computer, 2020, 33(5):35-36,121.
- [14] 刘音华,刘正阳,刘琼瑶,等.FPGA 进位链实现 TDC 的若干关键技术问题[J].电子测量技术,2018,41(14):122-127.
LIU Y H, LIU ZH Y, LIU Q Y et al. Some key technical issues in FPGA feeding chain implementation of TDC[J]. Electronic Measurement Technology, 2018, 41(14): 122-127.
- [15] MACHADO R, CABRAL J, ALVES F S. Recent developments and challenges in FPGA-based time-to-digital converters [J]. IEEE Transactions on Instrumentation and Measurement, 2019, 68(11): 4205-4221.
- [16] WU J Y. Several key issues on implementing delay line based TDCs using FPGAs [J]. IEEE Transactions on Nuclear Science, 2010, 57(3):1543-1548.

- [17] CHEN P, WIJAYA J A, KAJIHARA S, et al. A 1-ps bin size 4.87-ps resolution FPGA time-to-digital converter based on phase wrapping sorting and selection[J]. IEEE Access, 2022, 10: 126429-126439.
- [18] WANG J, FENG C, DONG W, et al. A high precision time-to-digital converter based on multi-chain interpolation with a low cost artix-7 FPGA[C]. 2021 7th International Conference on Event-Based Control, Communication, and Signal Processing (EBCCSP). IEEE, 2021: 1-5.
- [19] ZHAO L, HU X, LIU S, et al. The design of a 16-channel 15 ps TDC implemented in a 65 nm FPGA[J]. IEEE Transactions on Nuclear Science, 2013, 60(5): 3532-3536.
- [20] XU Y, XIE J, XING Z, et al. A bin-by-bin calibration with neural network for FPGA-based tapped-delay-line time-to-digital converter [C]. 2022 IEEE International Conference on Real-time Computing and Robotics (RCAR). IEEE, 2022: 681-686.
- [21] MAO X Y, YANG F, WEI F, et al. A low temperature coefficient time-to-digital converter with 1.3 ps resolution implemented in a 28 nm FPGA [J]. Sensors, 2022, 22(6): 2306.
- [22] 王巍,周浩,熊拼搏,等. 一种基于 FPGA 进位链的时间数字转换器 [J]. 微电子学, 2016, 46(6): 777-780,787.
- WANG W, ZHOU H, XIONG P B, et al. A time-to-digital converter based on FPGA feed chains [J]. Microelectronics, 2016,46(6):777-780,787.

作者简介



刘士兴(通信作者),2004 年于中国科学技术大学获得博士学位,现为合肥工业大学(副教授),主要研究方向为集成电路测试技术、机器视觉与智能制造、电子测量及核电子学、可编程器件与集成系统设计等。

E-mail: liusx@hfut.edu.com

Liu Shixing (Corresponding author) received his Ph. D. degree from the University of Science and Technology of China in 2004. Now he is an associate professor at Hefei University of Technology. His main research interests include integrated circuit test technology, machine vision and intelligent manufacturing, electronic measurement and nuclear electronics, programmable devices, and integrated system design, etc.



李江晖,现为合肥工业大学硕士研究生,主要研究方向为集成电路测试和可编程器件与集成系统设计。

E-mail: ljh_6660519@163.com

Li Jianghui is a M. Sc. candidate at Hefei University of Technology. His main research interests include integrated circuit test technology and programmable devices and integrated system design.



夏进,现为合肥工业大学硕士研究生,主要研究方向为集成电路测试和可编程器件与集成系统设计。

E-mail: jinboy1997@163.com

Xia Jin is a M. Sc. candidate at Hefei University of Technology. His main research interests include integrated circuit test technology and programmable devices and integrated system design.