

DOI: 10.13382/j.jemi.B2104759

基于时间放大技术的时间数字转换器的设计^{*}

郭国围¹ 尹勇生^{1,2} 龚 号¹ 孟 煦^{1,2} 陈珍海³ 邓红辉^{1,2}

(1. 合肥工业大学微电子设计研究所 合肥 230601; 2. 教育部 IC 设计网上合作研究中心 合肥 230601;
3. 黄山学院信息工程学院 黄山 245041)

摘 要:本文基于时间放大技术设计了一种两步式的时间数字转换器(TDC),可应用于高精度的飞行测量领域。本设计采用SMIC 55 nm CMOS 工艺,采用环形延时 TDC 作为粗量化电路,采用游标式 TDC 作为细量化电路。游标式 TDC 的精度受到延时失配限制,导致在设计时难以突破更高精度的要求。时间放大器通过放大粗量化产生的时间余量,并继续进行第二次细量化,降低了细量化电路的设计难度。针对传统时间放大器输入范围有限以及放大精确度不足的弊端,提出一种新的时间放大器结构,具有精确放大宽范围输入时间间隔的能力。仿真结果表明,采用该种时间放大器的 TDC 可实现的分辨率为 3.7 ps,测量范围为 80 ns,微分非线性(DNL)为 0.73 LSB,积分非线性(INL)为 0.95 LSB,该设计能够在高线性度下更好地兼顾 TDC 的分辨率与测量范围。

关键词: 时间数字转换器;分辨率;测量范围;时间放大器;时间余量

中图分类号: TN432.1 **文献标识码:** A **国家标准学科分类代码:** 510.3040

Design of time-to-digital converter based on time amplifier

Guo Weiwei¹ Yin Yongsheng^{1,2} Gong Hao¹ Meng Xu^{1,2} Chen Zhenhai³ Deng Honghui^{1,2}

(1. Institute of VLSI Design, Hefei University of Technology, Hefei 230601, China; 2. IC Design Web-Cooperation Research Center of MOE, Hefei 230601, China; 3. School of Information Engineering, Huangshan University, Huangshan 245041, China)

Abstract: A two-step time-to-digital converter (TDC) is designed based on time amplification technology, which can be applied to the field of high-precision flight measurement. This design adopts SMIC 55 nm CMOS process, uses the ring delay TDC as the coarse quantization circuit and uses the Vernier TDC as the fine quantization circuit. The accuracy of the Vernier TDC is limited by the mismatch of delay cells, which makes it difficult to break through the higher accuracy requirements in the design. The time amplifier amplifies the time margin generated by the coarse quantization and continues with the second fine quantization, which reduces the design difficulty of the fine quantization circuit. Aiming at the disadvantages of the limited input range of traditional time amplifiers and insufficient amplification accuracy, a new time amplifier structure is proposed, which has the ability to accurately amplify a wide range of input time intervals. The simulation results show that the achievable resolution of the TDC using this kind of time amplifier is 3.7 ps, the measurement range is 80 ns, the differential nonlinearity (DNL) is 0.73 LSB, and the integral nonlinearity (INL) is 0.95 LSB. This design can better balance the resolution and measurement range of TDC under high linearity.

Keywords: time-to-digital converter; accuracy; measurement range; time amplifier; time margin

0 引言

无人驾驶^[1-2]、医学成像^[3-4]、卫星测控^[5-8]等一些高新技术领域的快速发展,离不开时间间隔测量技术的支持。时间数字转换器(time-to-digital converter, TDC)作为一种时间间隔的量化电路,将时间间隔信号转换成二进制的数字信号。分辨率和测量范围是在 TDC 设计中重要的性能指标,传统单级 TDC 往往无法同时做到高分辨率和大测量范围。对于量化位数固定的 TDC,其测量范围与分辨率呈反函数关系。因而,如延时链(delay line) TDC^[1,9]是牺牲分辨率满足大测量范围,如游标式(vernier) TDC^[10]是牺牲测量范围满足高分辨率。

为实现高分辨率和大测量范围的有机结合,将两个或多个单级 TDC 级联组成两步式或多步式 TDC 是近些年来国内外关于 TDC 研究的热门方向。两步式时间数字转换器由粗量化 TDC (coarse-TDC, CTDC) 和细量化 TDC (fine-TDC, FTDC) 两部分组成^[11]。为提高 TDC 的分辨率,往往在两级 TDC 之间加入时间放大器(time-amplifier, TA)。文献[12]在两步式 TDC 引入了脉冲式时间放大器技术,提升了 TDC 的分辨率。文献[13]提出了环形游标 TDC,有效地扩大了可测量的范围,但单次量化的周期较长。

本文提出了一种基于时间放大技术的两步式 TDC 结构,粗量化 TDC 由环形延时和计数器组成,实现大测量范围的量化,细量化 TDC 由时间放大器和游标式 TDC 组成,实现高分辨率的量化;提出了一种全新的时间放大器结构,可对更宽的时间间隔范围内实现精准地放大,在实现大测量范围量化的同时提升了 TDC 的分辨率;提出了为消除在低时间间隔输入范围内 TA 存在放大倍数失真的情况,利用相位检测器复位延迟的固定特性,将输入时间间隔向高范围推移后进行放大,以满足在第 1 级 TDC 时间余量范围内的精准放大。

1 TDC 结构

1.1 传统两步式 TDC

传统两步式 TDC 的结构如图 1 所示,延时链 TDC 分别作为两步式 TDC 的粗量化和细量化;MUX 作为粗量化输出的选通模块,提取粗量化产生的时间余量;时间放大器 TA 对时间余量放大,送至细量化结构中。

ST 信号在第 1 级 TDC 中传输,SP 上升沿对延时链采样,得到一组温度计码。逻辑块对温度计码逻辑运算,控制选通器打开相对应的通道。TA 放大时间余量得到输出信号 ST₁ 和 SP₁。ST₁ 在第 2 级延时链继续传输,SP₁ 上升沿对第 2 级延时链输出采样,同样得到一组温

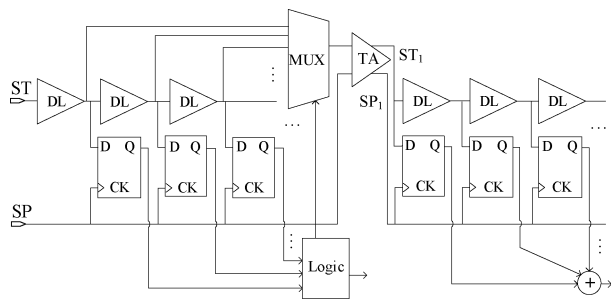


图 1 传统两步式 TDC

Fig. 1 Traditional two-step TDC

度计码。

第 1 级 TDC 延时单元的延时时间为 τ , 延时单元个数为 N 则 TDC 的测量范围 FS 为:

$$FS = N \cdot \tau \quad (1)$$

第 2 级 TDC 延时单元的延时时间为 t , TA 的放大倍数为 A , 则两步式 TDC 的分辨率 SN 为:

$$SN = \frac{t}{A} \quad (2)$$

量化结果 I 为:

$$I = N_1 \cdot \tau + N_2 \cdot SN \quad (3)$$

式中: N_1 为第 1 级 TDC 的量化输出, N_2 为第 2 级 TDC 的量化输出。

从式(1)中可以看出,传统两步式 TDC 的测量范围与第 1 级 TDC 中延时单元的个数和延时时间有关,在固定的分辨率下,TDC 的测量范围提升只能增加延时链长度,增加了电路面积和功耗,且延时单元总失配误差会急剧增大导致精度降低,也会更易受 PVT 影响带来延时上的整体性失调^[14]。因而,传统两步式 TDC 的测量范围受到限制。时间放大器一般采用受控放电型结构,其放大范围低、放大精度差会限制 TDC 的量化性能。此外,第 2 级采用链式结构,限制 TDC 的精度^[15]。

1.2 本文两步式高精度 TDC

针对传统两步式 TDC 存在的局限性,本文提出了一种基于时间放大技术的两步式 TDC 结构,如图 2 所示。环形 TDC 作为第 1 级 TDC,用于粗量化 ST 和 SP 信号的时间间隔,以实现大测量范围。余量提取模块用于提取环形 TDC 量化产生的时间余量。TA 用于放大余量提取模块求得的时间余量。偏置电路为时间放大器提供电流偏置。游标式 TDC 作为第 2 级 TDC,用于细量化经时间放大器放大后的时间余量,以实现高分辨率。

针对传统 TDC 中无法实现大测量范围的限制,本文设计了环形 TDC 作为两步式 TDC 的第 1 级,实现对输入时间间隔粗量化。环形 TDC 中计数器记录信号经历差分延时环时循环的次数,有效地扩大 TDC 的测量范围。环形 TDC 中延时单元采用差分结构,可提高延时线性

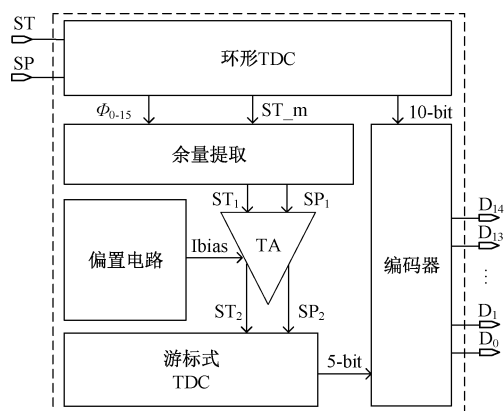


图2 本文两步式TDC结构框图

Fig. 2 Block diagram of new two-step TDC structure

度。环形TDC量化分辨率受门级延时影响,粗量化后产生时间余量,余量提取模块提取时间余量。TA作为连接环形TDC和Vernier TDC的“桥梁”,用于放大环形TDC量化产生的时间余量,有效地降低了细量化器的设计难度,可提升TDC的分辨率。TA利用不同电容下充放电速率不同的原理,比较两支路电容充电时间,从而对输入时间脉冲实现整倍数放大,具有放大倍数精准度高、放大输入脉冲范围宽的特点。针对TA在低输入脉冲宽度范围内存在放大倍数不精准的问题,在TA前端引入鉴相器模块,利用相位检测电路固定的复位延迟特性扩大脉冲宽度,能够精准地放大低脉冲宽度范围。Vernier TDC作为两步式TDC的第2级,实现对输入时间间隔细量化。Vernier TDC中两组延时单元的延时时间差与TA的放大倍数之比作为TDC的分辨率。环形TDC和Vernier TDC量化的结果拼接,作为两步式TDC最终量化结果。

2 第1级环形TDC电路

2.1 环形TDC

为了改善传统第1级TDC测量范围小,且避免延时单元个数增加对延时时间失配的影响,本文设计了一种环形TDC结构,如图3所示。

环形TDC中计数器用于记录差分延时环循环次数,本文中计数器的位宽设计为6-bit,以此扩大TDC测量范围。环形TDC中有8个差分延时单元,输入ST与SS信号是一对差分信号,在环形差分延时单元中循环,产生16组输出 $\phi_0-\phi_{15}$ 。SP信号上升沿到来时控制触发器阵列,对环形差分延时输出采样,得到采样输出信号 L_0-L_{15} ,经编码输出生成4-bit二进制信号,和6位计数器的计数结果相拼接,第1级TDC实现对输入时间间隔的10-bit粗量化。

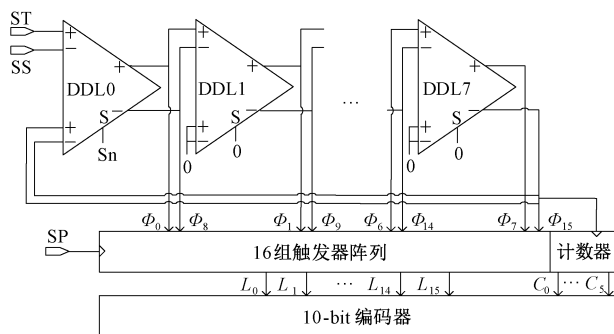


图3 第1级环形TDC电路

Fig. 3 Cyclic TDC structure in first stage

2.2 环形TDC结构分析

延时单元采用差分对结构,输出端利用反相器交错连接,产生一组相位差为 180° 的差分输出信号。环形TDC等效模型如图4所示,16个输出相位 $\phi_0-\phi_{15}$ 环形串联, ϕ_0 与下一个 ϕ_0 输出相位差为 360° ,每两相邻输出的相位差为 45° 。如图5所示,在时域上表现为, $\phi_0\sim\phi_{15}$ 中每相邻输出的时间间隔为循环周期 T 的 $1/16$,时间间隔 τ 作为第1级TDC的分辨率。

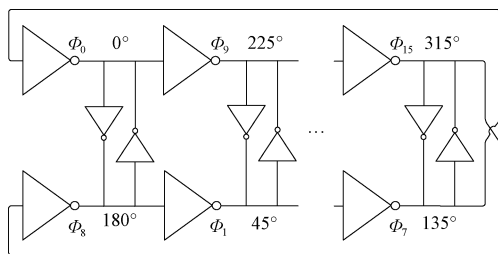


图4 环形TDC等效模型

Fig. 4 Equivalent model of cyclic TDC

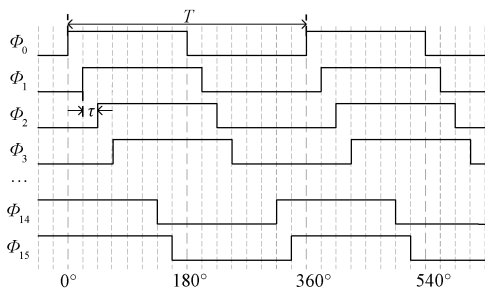


图5 第1级TDC输出端时序图

Fig. 5 Timing diagram of the first stage TDC output

3 时间放大器电路

3.1 时间放大器

传统的基于受控放电型的时间放大器通过寄生电容存储电荷,放电过程仅能持续几十个皮秒,对高输入范围

的时间间隔存在着放大精度低的问题,并且其采用控制双节点放电方式只能实现两倍的放大功能^[16]。本文中新的时间放大器电路结构如图6所示,由相位检测电路、预处理电路、轨对轨电压比较器和偏置电路组成。利用负载电容充放电原理,控制负载电容和充放电电流,扩展充电时间实现宽范围的放大,控制双支路电容比例实现不同倍数的放大功能。

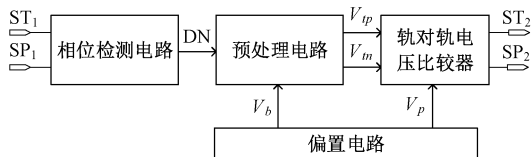


图6 时间放大器结构框图

Fig. 6 Block diagram of time amplifier

ST₁ 信号和 SP₁ 信号是由余量提取模块提取后输出的一对阶跃信号,其时间间隔 $T_{ST_1-SP_1}$ 作为时间余量的大小。相位检测电路用于整形第1级 TDC 量化后产生的时间余量,经相位检测电路输出一路脉冲信号 DN, DN 信号的脉冲宽度 T_{DN} 是时间余量的宽度与相位检测电路的复位延时 T_{rd} ^[17]之和。预处理电路利用 DN 信号生成3组控制信号,控制电流源对电容充放电,得到充放电电压 V_p 和 V_m 。轨对轨电压比较器用于比较 V_p 和 V_m 的电压值并得到脉冲信号,将脉冲信号的时间宽度减去复位延时的放大量即是对时间余量的放大结果,用 ST₂ 信号与 SP₂ 信号的时间间隔 $T_{ST_2-SP_2}$ 表示,TA 放大倍数即为 A_T ,如式(4)所示。

$$T_{ST_2-SP_2} = T_{ST_1-SP_1} \cdot A_T \quad (4)$$

3.2 相位检测电路

相位检测电路如图7所示,相位检测电路的双端输入反相器由 PMOS 管 MP₁-MP₂ 和 NMOS 管 MN₁-MN₂ 组成,确定 ST₁ 和 SP₁ 上升沿到达时间,反相器 INV₁ 和 INV₂ 用于控制相位检测电路的复位延迟,如式(5)所示。

$$T_{DN} = T_{ST_1-SP_1} + T_{rd} \quad (5)$$

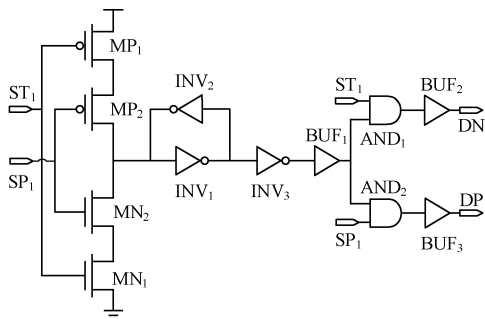


图7 相位检测电路

Fig. 7 Phase detection circuit

3.3 预处理电路

预处理电路结构如图8所示, DN 信号经 D 触发器和与非门 NAND₁-NAND₃ 生成3组信号, Tin 信号与 DN 信号高低电平反相宽度为 ΔT , Tip 和 CLK 信号相同且下降沿跳变与 Tin 上升沿跳变的时间一致,低电平脉宽宽度 L 为固定值,如式(6)所示。

$$L = 4 \cdot \Delta T_{MAX} \quad (6)$$

PMOS 管 MP₁-MP₂ 为恒流源,且宽长比相等。Tin 控制 MP₄ 对电容 C_1 充电,充电时间为 DN 信号的脉宽宽度 ΔT ; Tip 控制 MP₃ 对电容 C_2 充电,充电时间为固定时间 L 。

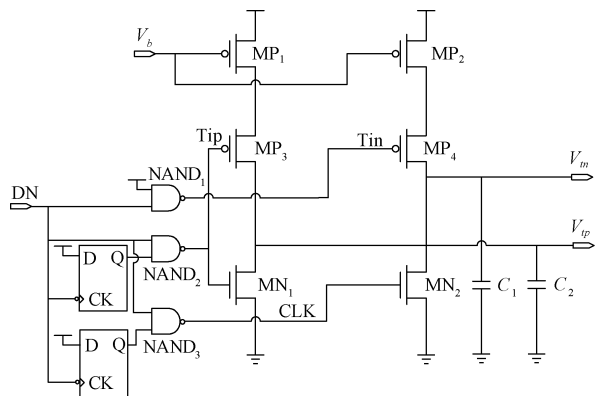


图8 预处理电路

Fig. 8 Preprocessing circuit

预处理电路的时序如图9所示,当 DN 为低电平时, Tin、Tip 和 CLK 均为高电平, PMOS 管 MP₃-MP₄ 关断, NMOS 管 MN₁-MN₂ 导通,电容上级板接地, V_p 和 V_m 电压值为0。

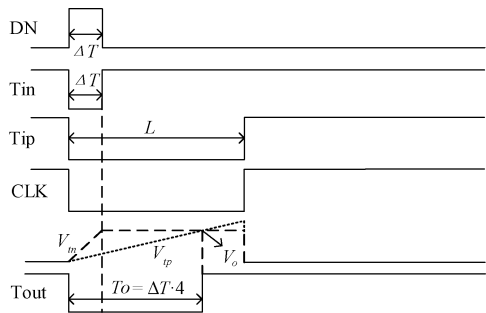


图9 预处理电路时序图

Fig. 9 Timing diagram of preprocessing circuit

当 DN 跳变到高电平时, Tin、Tip 和 CLK 均跳变到低电平, MP₃ 管和 MP₄ 管导通, MN₁ 管和 MN₂ 管关断,恒流源 MP₁ 管和 MP₂ 管分别对电容 C_1 和 C_2 充电,设定电容值 $C_2 = 4C_1$, 恒流源对电容 C_1 的充电速率大于电容 C_2 , 因此 $V_m > V_p$, 比较器输出跳变到低电平。

ΔT 后, DN 由高电平跳变到低电平, Tin 由低电平变

到高电平, MP_4 管断开, 电容 C_1 无导通回路, 电压值 V_{in} 保持不变, 记为 V_o 。恒流源继续对电容 C_1 充电, 随后 $V_{in} < V_{tp}$, 比较器输出跳变到高电平。

L 后, Tip 和 CLK 跳变到高电平, MP_3 管断开, MN_1 管和 MN_2 管导通, 电容 C_1 和 C_2 上极板接地, V_{in} 和 V_{tp} 放电至 0。时间放大器的放大倍数 B 为:

$$B = \frac{T_o}{\Delta T} = \frac{V_o C_2 / I}{V_o C_1 / I} = \frac{C_2}{C_1} = 4 \quad (7)$$

3.4 轨对轨电压比较器

如图 10 所示, 传统的电压比较器采用 PMOS 管或 NMOS 管作输入对管, 由于 MOS 管阈值电压 V_{th} 的影响, 对于电压比较时存在比较盲区^[18], 本设计中时间放大器的电压比较器需适用于全电压范围比较。本文设计了轨

对轨电压比较器, 如图 11 所示。

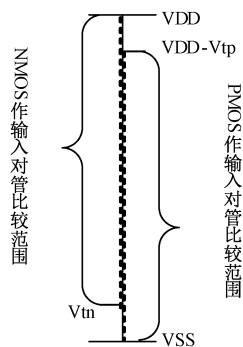


图 10 电压比较器比较范围

Fig. 10 Voltage comparator comparison range

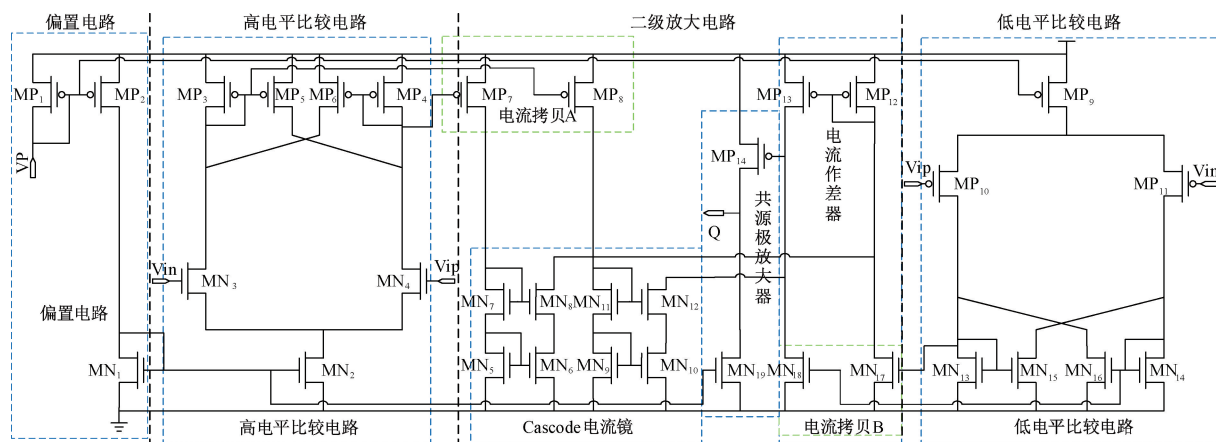


图 11 轨对轨电压比较器

Fig. 11 Rail-to-rail voltage comparator

该电压比较器采用高/低电平比较电路组合结构, 利用二级放大电路将两个比较电路比较值线性组合, 并放大得到精准的电压比较结果。

偏置电路分别为高/低电平比较电路和二级放大电路提供恒定的电流。高/低电平比较电路中 N/P MOS 管作为输入对管, 尾电流 P/N MOS 管负载管组成正反馈电路, 加快电压比较过程。

电流拷贝 A/B 模块和电流镜模块提取高/低电平比较产生的电流变化, 共源极放大器对比较结果放大, 以满足电压比较器高速的性能。

4 第 2 级 Vernier TDC

为获得更高的量化分辨率, 本设计第 2 级采用 Vernier TDC, 构造两路具有微小时间差的延时链, 对时间放大器放大后的时间间隔量化, 量化后的得到温度码, 经编码器输出二进制码^[19]。

Vernier TDC 电路如图 12 所示, 由两条延时链组成,

一条传输 ST_2 信号, 一条传输 SP_2 信号, 两条链中延时单元的延时时间分别为 t_A 和 t_B , Vernier TDC 分辨率是 $t_A \sim t_B$ 。

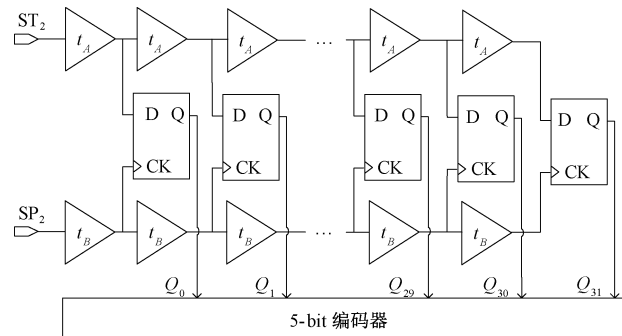


图 12 游标式 TDC 电路

Fig. 12 Vernier TDC circuit

由于延时单元的延时时间会存在非线性, Vernier TDC 的分辨率难以做到最低, 本设计中 t_A 和 t_B 之差为 14.8 ps, 时间放大器的放大倍数为 4, 则两步式 TDC 的分

分辨率为 3.7 ps。

5 仿真结果与分析

本文设计基于时间放大技术的两步式 TDC 在 SMIC 55 nm CMOS 工艺下进行和仿真,工作电压为 1.2 V。如图 13 所示,相位检测电路的复位延迟使原始输入时间间隔扩大了 0.35 ns,用于改善该结构的 TA 在低输入时间间隔存在增益失调问题(图 13 中输入曲线与输入曲线有着较大的延时时间,仅为方便观察参考所置,下图 14 亦同)。

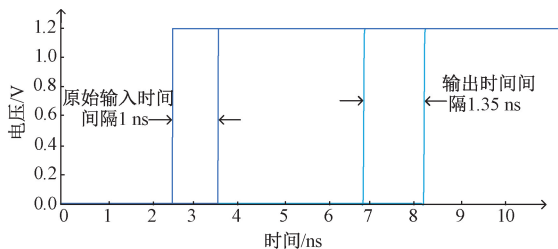


图 13 相位检测电路瞬态响应曲线

Fig. 13 Transient response curve of phase detection circuit

如图 14 所示,当输入时间间隔设定为 2 ns 时,TA 输出为 8.01 ns,放大倍数为 4.005。后对输入时间间隔从 0 ns 到 4 ns 瞬态扫描,扫描结构如图 15 所示,时间间隔放大增益范围为[3.991,4.012],增益误差维持在 $\pm 0.3\%$ 以内。所设计新型时间放大器对宽输入时间间隔有着较好的放大能力。

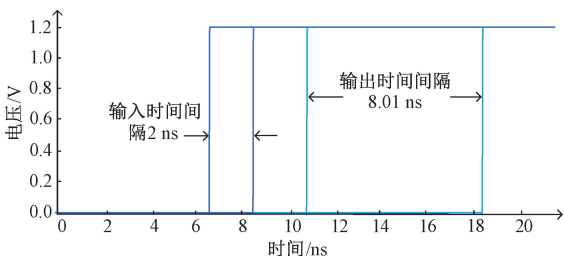


图 14 时间放大器瞬态响应曲线

Fig. 14 Time amplifier transient response curve

图 16 中传统的基于受控放电型原理的 TA 只在输入[0 ps,30 ps]区间维持放大倍数为 2.15,且误差为 $\pm 3\%$,但输入范围超过 30 ps 增益开始下降并逐渐趋近于 1。本文中 TA 设定电容比例使增益同为 2,在输入时间[0 ns,4 ns]内增益误差仅为 0.4%。仿真表明新型的 TA 能够在宽输入时间范围内保持高精度的放大倍数。

阶跃信号 ST 与 SP 上升沿时间间隔从 0 ns 到 4.75 ns,以步长 1 ps 进行瞬态扫描。选取跳变点,对数

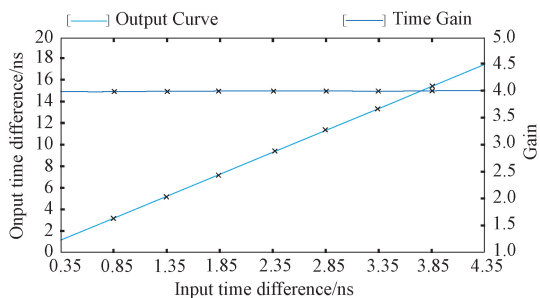


图 15 时间放大器输入-输出关系

Fig. 15 Time amplifier input-output relationship

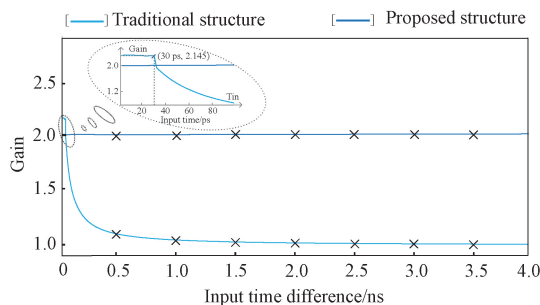


图 16 提出的与传统的 TA 增益对比

Fig. 16 Comparison of proposed and traditional TA gains

据处理分析后得到 DNL 和 INL 曲线图,如图 17 所示。仿真结果表明,TDC 的 DNL 最大为 0.73 LSB,INL 最大为 0.95 LSB。

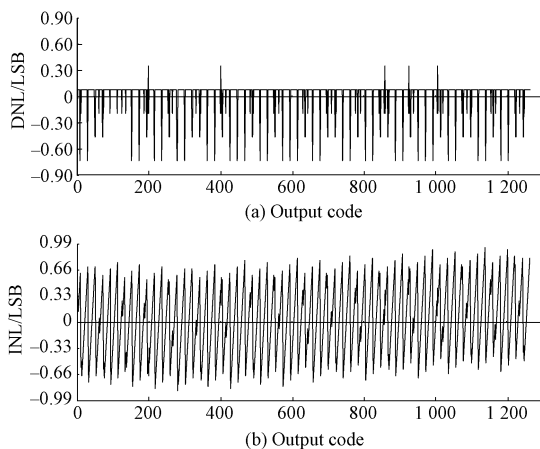


图 17 DNL 和 INL

Fig. 17 DNL and INL

表 1 中是本文与其他文献中 TDC 的主要参数对比,相比于其他类型的 TDC,本文提出基于时间放大技术的两步式 TDC 结构能在实现高分辨率的同时保持着大的测量范围。此外,通过扩展第 1 级计数器位数,以适用于更大测量范围的应用场景中。

表 1 本文与其他代表 TDC 的对比

Table 1 Comparison with the state-of-the-art techniques

参数	[15]	[16]	[19]	[20]	本文
结构	延时链	流水线	游标式	两步式	两步式
工艺/nm	180	40	180	65	55
电压/V	1.0	2.5	1.8	1.2	1.2
位数	21	11	6	7	15
分辨率/ps	98	2.4	10	3.75	3.85
测量范围/s	130 μ	4.9 n	640 p	480 p	80 n
DNL/LSB	0.88	0.7	—	0.9	0.73
INL/LSB	1.9	2	—	2.3	0.95

6 结 论

本文针对传统 TDC 分辨率与测量范围相互制约的问题,提出了一种基于时间放大技术的两步式 TDC 结构,包括一种差分延时环结构的环形 TDC、一种新型的时间放大器、一种游标式 TDC 以及电流偏置电路。提出新的时间放大器能够在宽输入范围内满足高精度放大的能力。并基于 SMIC 55 nm CMOS 工艺在工作电压 1.2 V 下,完成了 TDC 核心电路的设计与仿真。仿真结果表明,该 TDC 的分辨率为 3.7 ps,测量范围达到 80ns,DNL 小于 0.73 LSB,INL 小于 0.95 LSB。该结构能够更好地兼顾 TDC 的分辨率与测量范围。

参考文献

[1] 庞高远, 孟煦, 郭围围, 等. 新型两步式高精度 TDC 的设计[J]. 电子测量与仪器学报, 2021, 35(7): 115-122.
PANG G Y, MENG X, GUO W W, et al. Design of a new two-step high precision TDC [J]. Journal of Electronic Measurement and Instrumentation, 2021, 35(7): 115-122.

[2] SHI W, PAN A. Mixed design of SPAD array based TOF for depth camera and unmanned vehicle applications[C]. 2018 15th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD), Prague, Czech Republic, 2018: 277-280.

[3] SHENG D, CHUNG C, HUANG C, et al. A high-resolution and one-cycle conversion time-to-digital converter architecture for PET image applications[C]. 2013 35th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), Osaka, Japan, 2013:2461-2464.

[4] 罗敏, 宫月红, 喻明艳. 时间-数字转换器研究综述[J]. 微电子学, 2014, 44(3): 372-376.
LUO M, GONG Y H, YU M Y. Overview of time-to-digital converter research[J]. Microelectronics, 2014,

44(3): 372-376.

[5] QI B, LIU S, SHEN Q, et al. A compact PCI-based measurement and control system for satellite-ground quantum communication [C]. 2014 19th IEEE-NPSS Real Time Conference, Nara, Japan, 2014, DOI: 10.1109/RTC. 2014.7097446.

[6] VYHLIDAL D, CECH M. Time-to-digital converter with 2.1-ps RMS single-shot precision and subpicosecond long-term and temperature stability [J]. IEEE Transactions on Instrumentation and Measurement, 2016, DOI: 10.1109/TIM. 2015. 2490418.

[7] SCHUG D, NADIG V, WEISSLER B, et al. Initial measurements with the PETsys TOPPET2 ASIC evaluation kit and a characterization of the ASIC TDC [J]. IEEE Transactions on Radiation and Plasma Medical Sciences, 2019, DOI: 10.1109/TRPMS. 2018. 2884564.

[8] 卜朝晖, 黄佩诚, 陈文星, 等. 基于编码信号时间内插的高精度时间间隔测量方法[J]. 电子测量与仪器学报, 2015, 29(2):213-220.
BU ZH H, HUANG P CH, CHEN W X, et al. High-precision time interval measurement method based on time interpolation of coded signals [J]. Journal of Electronic Measurement and Instrumentation, 2015, 29(2):213-220.

[9] WON J Y, LEE J S. Time-to-digital converter using a tuned-delay line evaluated in 28-, 40-, and 45-nm FPGAs[J]. IEEE Transactions on Instrumentation and Measurement, 2016, DOI: 10.1109/TIM. 2016. 2534670.

[10] YAO C, HSIA W, TSAI P, et al. The vernier-based TDC employing soft-injection-locked ring oscillators[C]. 2012 IEEE International Instrumentation and Measurement Technology Conference Proceedings, 2012: 2291-2294.

[11] KIM M, SON K, KIM N, et al. A two-step time-to-digital converter using ring oscillator time amplifier[C]. 2018 International SoC Design Conference (ISOCC), 2018, DOI: 10.1109/ISOCC. 20 18. 8649906.

[12] LEE S, SEO Y, SUH Y, et al. A 1 GHz ADPLL with a 1.25 ps minimum-resolution sub-exponent TDC in 0.18 μ m CMOS[C]. 2010 IEEE International Solid-State Circuits Conference - (ISSCC), 2010, DOI: 10.1109/ISSCC. 2010. 5433837.

[13] ANNAGREBAH A, BECHETOILLE E, LAKTINEH I B, et al. A multi-phase time-to-digital converter differential vernier ring oscillato[J]. 2019 IEEE Computer Society Annual Symposium on VLSI (ISVLSI), 2019, DOI: 10.1109/ISVLSI. 2019.00069.

- [14] LIN C, WENG C, WEI T, et al. A TDC-based two-step quantizer with swapper technique for a multibit continuous-time delta-sigma modulator [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, DOI: 10.1109/TCSII.2013.2291138.
- [15] MISHRA B, KUMAR B. A reconfigurable time-to-digital converter based on pulse stretcher and gated delay line[J]. 2019 9th International Symposium on Embedded Computing and System Design (ISED), 2019, DOI: 10.1109/ISED48680.2019.9096218.
- [16] 孙迪. 40 nm CMOS 工艺下 11bit 高分辨率流水线型时间数字转换器设计[D]. 西安: 西安电子科技大学, 2017.
SUN D. Design of high resolution, 11b Pipeline TDC in 40 nm CMOS[D]. Xi'an: Xidian University, 2017.
- [17] 许志鹏, 余剑. 锁相环中鉴相器的设计与仿真[J]. 电子测量技术, 2011, 034(11):32-35.
XU ZH P, YU J. Design and simulation of phase detector in phase-locked loop [J]. Electronic Measurement Technology, 2011, 034(11): 32-35.
- [18] AIELLO O, CROVETTI P, ALIOTO M. Fully synthesizable, rail-to-rail dynamic voltage comparator for operation down to 0.3 V[J]. 2018 IEEE International Symposium on Circuits and Systems (ISCAS), 2018, DOI: 10.1109/ISCAS.2018.8351106.
- [19] LI Q F, HU Q S. A 10ps 500MS/s two-channel vernier TDC in 0.18 μ m CMOS technology [J]. 2014 IEEE Workshop on Advanced Research and Technology in

Industry Applications (WARTIA), 2014, DOI: 10.1109/WARTIA.2014.6976513.

- [20] KIM K, KIM Y, YU W, et al. A 7 bit, 3.75 ps resolution two-step time-to-digital converter in 65 nm CMOS using pulse-train time amplifier[J]. IEEE Journal of Solid-State Circuits, 2013, DOI: 10.1109/JSSC.2013.2237996.

作者简介



郭围围, 2020 年于合肥工业大学获得学士学位, 现为合肥工业大学硕士研究生, 主要研究方向为混合信号集成电路设计与验证。

E-mail: 1789011471@qq.com

Guo Weiwei received his B. Sc. degree in 2020 from Hefei University of Technology. Now he is a M. Sc. candidate at Hefei University of Technology. His main research interests include mixed signal integrated circuit design and verification.



邓红辉(通信作者), 2002 年于合肥工业大学获得硕士学位, 现为合肥工业大学副教授, 主要研究方向为混合信号电路设计、电源管理/驱动类芯片等。

E-mail: denghonghui@hfut.edu.cn

Deng Honghui (Corresponding author) received her M. Sc. degree in 2002 from Hefei University of Technology. Now she is an associate professor at Hefei University of Technology. Her main research interests include mixed signal circuit design, power management/driver chips and so on.