

DOI: 10.13382/j.jemi.B2104677

# 500 MS/s 12 位流水线 ADC 的设计研究\*

丁博文 苗 澎 黎 飞 王 欢 谷伟齐

(东南大学信息科学与工程学院 南京 210096)

**摘要:**在超高速高精度模数转换器(ADC)设计中,低压运算放大器及其数字辅助校准算法至关重要。基于40 nm CMOS工艺、工作电压1.1 V,设计了一款500 MS/s、12位流水线ADC。系统采用前端无采样结构及低压级间运算放大器以降低系统功耗。本文提出了一种基于数字检测的算法校准级间增益和电容失配误差,使用较小的面积和功耗有效提高了ADC的整体性能。本数字校准方案将ADC的差分非线性(DNL)和积分非线性(INL)从2.4 LSB和5.9 LSB降低为1.7 LSB和0.8 LSB。对于74.83 MHz的正弦信号,校准技术分别实现了63.14 dB的信号-失真噪声比(SNDR)和75.14 dB的无杂散动态范围(SFDR),功耗为123 mW,满足设计指标,证明了带有数字校正的低压流水线ADC设计的有效性。

**关键词:** 低压运算放大器;流水线ADC;级间增益误差;电容失配

**中图分类号:** TN432; TN453 **文献标识码:** A **国家标准学科分类代码:** 510.3040

## Design research of 500 MS/s 12 bit pipeline ADC

Ding Bowen Miao Peng Li Fei Wang Huan Gu Weiqi

(School of Information Science and Engineering, Southeast University, Nanjing 210096, China)

**Abstract:** Low voltage operational amplifiers and their digitally assisted calibration algorithms are critical in the design of ultra-high speed, high resolution analog-to-digital converters (ADCs). A 500 MS/s, 12-bit pipeline ADC based on a 40 nm CMOS process and operating voltage of 1.1 V has been proposed. This ADC adopts a sample-and-hold (SHA) less front-end structure and low-voltage inter-stage operational amplifiers (opamp) to reduce power consumption. A foreground calibration algorithm using digital detection is designed for gain error and capacitance mismatch calibration, effectively improving the overall performance of the ADC using smaller area and power consumption. This digital calibration scheme improves the differential nonlinearity (DNL) and integral nonlinearity (INL) of the ADC from 2.4 LSB and 5.9 LSB to 1.7 LSB and 0.8 LSB. for a 74.83 MHz sinusoidal signal, the calibration technique achieves a signal-to-distortion noise ratio (SNDR) of 63.14 dB and a spurious-free dynamic range (SFDR) of 75.14 dB, respectively, with a power consumption of 123 mW, which meets the design targets and demonstrates the effectiveness of a low-voltage pipeline ADC design with digital correction.

**Keywords:** low voltage opamp; pipeline ADC; inter-stage gain error; capacitor mismatch

## 0 引言

模数转换器(ADC)是跨接在模拟世界和数字世界之间的桥梁,广泛应用于精密仪器仪表、数字通信、医疗电子等领域<sup>[1-3]</sup>。伴随着半导体技术的蓬勃发展,数字集成电路的功耗和系统电压在逐渐降低,同时对于模拟域

与数字域的数据交互速度提出了更高的要求。但是由于工艺制程的提高,电源电压的降低,使得运放增益和带宽设计难度加大,为了解决这种困难,数字辅助校准技术应运而生。研究高速高精度流水线ADC是学术界和工业界的热点之一。

近年来流水线ADC的设计主要分为基于高压高性能运放和基于低压低功耗运放两大类。2014年,美国

ADI 公司的 Ali 等<sup>[4]</sup>基于 65 nm 工艺设计了一款 14 位 1 GS/s 流水线 ADC,在 2.5 V 电压下设计了一款采用带有增益自举的两级共源共栅级运放作为级间运算放大器,实现了 86 dB 的 SFDR,功耗高达 1.2 W。在该团队 2020 年发表了 12 位 18 GS/s 时间交织流水线 ADC<sup>[5]</sup>,将该精度下的采样速率推到了近年来的最高点,其中单通道 ADC 的级间运算放大器采用低压开环结构实现,辅以复杂的校准算法进行误差校正,最终 8 路交织的总功耗为 1.3 W。国内复旦大学任俊彦团队<sup>[6]</sup>在 2018 年的 ISCAS 会议上发表了一款基于低压环形运放的 12 位 800 MS/s 的流水线 ADC。随着采样速度的不断提高,越来越多的流水线 ADC 中采用低压运放设计<sup>[7-9]</sup>。

流水线 ADC 在功耗、面积、精度等方面均有较好的性能,普遍适用于高速中高分辨率领域,与逐次逼近(SAR)ADC 不同,流水线架构不需要一个高频时钟来实现高分辨率。流水线架构由于引入了级间放大器和冗余校准的原因,大大降低了对于比较器精度和比较器失调的要求,与此同时对于运放闭环增益、建立时间、运放的级间增益误差提出了更高的要求。Razavit 等<sup>[10]</sup>提出了一种盲校准方案,通过前校正补偿 ADC 的电容失配、级间增益误差以及运放的非线性。加州大学尔湾分校 Galton 教授团队提出了采用动态元件匹配和 CDMA 调制技术的电容失配校准方案<sup>[11]</sup>,该团队于 2009 年提出了

一款同时校准运放线性误差和非线性误差的流水线 ADC<sup>[12]</sup>。斯坦福大学 Boris Murman 教授提出了一种基于统计的增益误差数字后台校正算法<sup>[13-14]</sup>。因此,近年来采用数字辅助校准的 ADC 成为主流的设计思路<sup>[15-17]</sup>。

综上所述,考虑到功耗、面积及数字辅助电路的复杂程度,本文设计了一款应用于高速高精度仪器仪表中的 500 MHz、12 位无采保结构流水线 ADC。采用首级 2 bit 级结构、低压两级运算放大器以及数字校准技术,在优化了流水线 ADC 的性能的同时降低了整体的功耗,实现了信号的高速模数转换,检验了电容失配和级间增益误差校准算法的有效性。该流水线 ADC 由于采样电容小、功耗低、版图狭长易于时钟和信号布线等优势,可以作为单通道子 ADC 应用于时间交织 ADC 中,扩展使用到更高速的仪器仪表中。

## 1 Pipeline ADC 的系统架构及误差分析

### 1.1 ADC 整体架构

本文设计的 500 MHz、12 位流水线 ADC 电路的系统架构如图 1 所示。该 ADC 采用 6 级的流水线架构,由 1 个 2 bit 级、4 个 2.5 bit 级和末级 3 bit 闪烁型 ADC 组成。首级余差信号的增益为 2 倍,第 2~5 级对余差信号进行 4 倍放大。

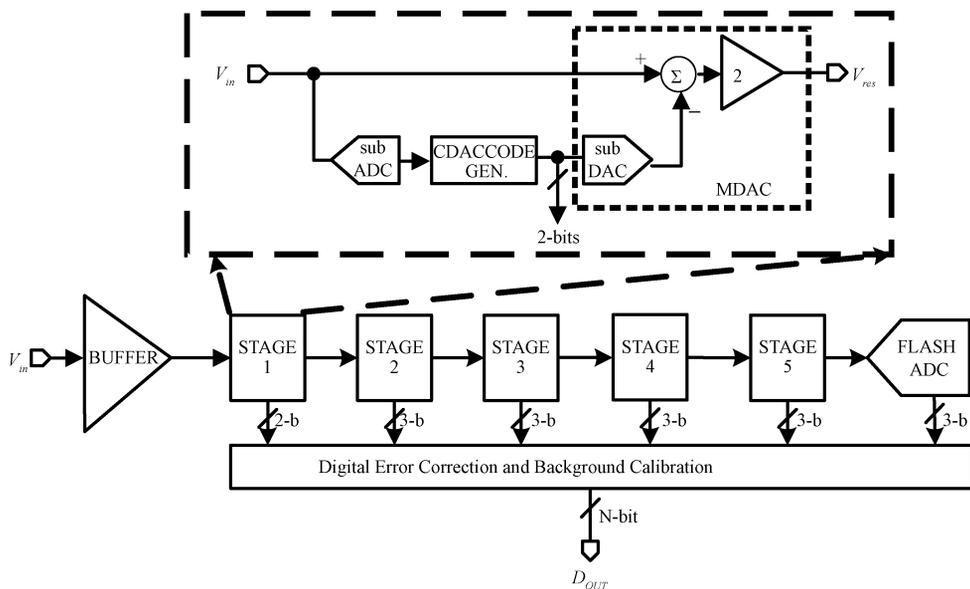


图 1 ADC 顶层架构

Fig. 1 ADC architecture

对于流水线 ADC 首级来说,MDAC 中电容热噪声是影响采样性能的主要因素,因此 MDAC 的电容值可以根据热噪声公式  $kT/C$  来确定<sup>[18]</sup>。由于流水线 ADC 对于

精度的要求逐级降低,每级 MDAC 采用同样的容值会导致功耗和面积过大,因此在后级流水级引入逐级缩减技术,最终每级流水级的采样电容如表 1 所示。

表 1 流水线 ADC 各流水级等效采样电容

Table 1 The equivalent sampling capacitance in each stage of the pipeline ADC

流水级	第 1 级	第 2~6 级
采样电容/ $fF$	500	250

首级无采保结构可以在有效节省芯片的面积和功耗的同时,避免了前级采保电路噪声的影响,然而,由于缺乏前级采样保持电路,MDAC 和子 ADC 同时对动态输入信号进行采样的过程中存在带宽失配和寄生参数的影响,会导致两个模块的实际采样点发生偏移,引入额外的误差,如图 2 所示。

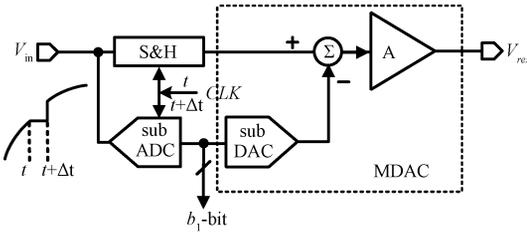


图 2 首级无采保前端的采样误差

Fig. 2 Sampling mismatch with SHA-less frontend in stage 1

其中误差  $\Delta t$  应满足以下要求:

$$2^M < \frac{1}{2\pi f_0 \Delta t} \quad (1)$$

此误差引入的采样失配可以视为子模数转换器的阈值电压失调,一般可以通过冗余校正补偿,但需要占用一定的冗余位校正空间,因此需要额外优化两条采样通路的匹配性。

### 1.2 ADC 首级非理想因素分析

影响流水线 ADC 的主要因素包括噪声、失调和运放的增益误差等。其中噪声包括  $kT/C$  噪声、运放噪声以及  $1/f$  噪声等,可以在设计中通过合理提高负载电容容值、增大  $g_m$  来降低噪声的影响。而失调和增益误差则需要进行分析。

#### 1) 电容失配

MDAC 中电容阵列电容数目由其分辨率决定,与后级 2.5 bit 级不同,首级分辨率选用 2 bit 级,将余差输出均控制在  $-V_{ref}/2 \sim V_{ref}/2$  范围内,配合上合理控制比较器失调范围的情况下,可以降低运放输出摆幅,从而减轻低压运放的设计难度。

在理想情况下,余差输出的表达式如式(2)所示。

$$V_{res} = \frac{C_{total}}{C_F} \cdot V_{in} - \frac{\sum_{i=1}^4 b_i C_i}{C_F} \cdot V_{ref} \quad (2)$$

其中,  $C_i$  代表采样电容阵列中单个电容容值,  $C_{total}$

是电容阵列的总容值,  $C_F$  为闭环运算放大器的反馈电容,  $b_i$  是子 ADC 输出的温度码, 等号右侧的第 1 项中  $C_{total}/C_F$  即此 MDAC 的增益。

由于生产工艺偏差、布局不匹配、寄生参数等因素的影响,电容阵列中的实际容值彼此存在一定误差,假设是  $\delta_i$  每个电容与设计值  $C_i$  之间的失配,代入式(2)可以得到:

$$V_{res} = \frac{\sum_{i=1}^4 (1 + \delta_i) C_i}{C_F} \cdot V_{in} - \frac{\sum_{i=1}^4 b_i (1 + \delta_i) C_i}{C_F} \cdot V_{ref} \quad (3)$$

通过式(3)可以看出,电容失配会在余差输出处引入一个斜率偏移,另外在传输特性曲线的转换每个区间  $i$  会引入额外的整体码字偏移,此偏移会在 ADC 的最终输出造成失码。

#### 2) 有限增益误差

为了降低 ADC 的整体功耗,本设计中运放的电源采用 1.1 V 电压域,但是 TSMC 40 nm 工艺下 MOS 管的阈值电压  $>350$  mV,低电源电压会导致无法使用传统堆叠晶体管的技术得到较高的增益。设计中必须在功耗和性能上做取舍,当前的技术趋势是采用低电压、低开环增益、高带宽运放,其增益不足而引入的闭环增益误差约为 10% 左右。用  $A$  表示运算放大器的开环增益,用  $\beta$  表示其反馈系数,因此存在有限增益误差的余差输出如式(4)所示。

$$V_{res} = \frac{1}{1 + \frac{1}{A\beta}} (2 \cdot V_{in} - DV_{ref}) \quad (4)$$

其中,

$$\beta = \frac{C_s}{C_s + C_F + C_p} \quad (5)$$

式(4)可以看出运放有限增益误差会在传输特性曲线中产生斜率偏移。上述增益误差只考虑了一阶的影响,而运放增益高阶非线性主要考虑三阶的影响,即余差输出的三阶非线性小于后端 ADC 的一个 LSB,满足以下公式:

$$\left( \frac{V_{ref}}{a_0 f^n} \right)^3 \leq \frac{V_{ref}}{2^N} \quad (6)$$

式(2)~(5)表明,必须对几个误差进行校准:1) 电容阵列失配引起的区间偏移误差;2) 由于运算放大器有限增益和电容失配两种因素共同引入的增益误差。因此,输出余差曲线的非理想模型如式(7)所示。

$$V_{res} = \frac{1}{1 + \frac{1}{A\beta}} \left( V_{in} \frac{\sum_{i=1}^4 (1 + \delta_i) C_i}{C_F} - \frac{\sum_{i=1}^4 b_i (1 + \delta_i) C_i}{C_F} V_{ref} \right) \quad (7)$$

## 2 数字校准技术的研究

从上文的非理想因素分析不难看出,ADC 转换误差来源主要有一下两个方面:电容失配和有限增益误差,造成的误差可以等效为区间偏移误差和增益误差两种。结合式(7)和图3可以得到如下几个结论,并在这些结论的基础上进行非理想因素的检测和补偿:

- 1) 虽然余差输出曲线分为 4 个区间,但是每个区间的增益均相同,且非理想因素会使得该值不等于 2;
- 2) 在理想情况下图 3(b) 中的区域  $i$  中的 A 点和区域  $i+1$  中的 B 点对应的 ADC 输出为同一码字;
- 3) 非理想因素会导致不同区域的误差互不相同,将这种误差记为  $\Delta = V_{ref}/8 - \Delta V$ , 如图 3(b)、(c) 所示。

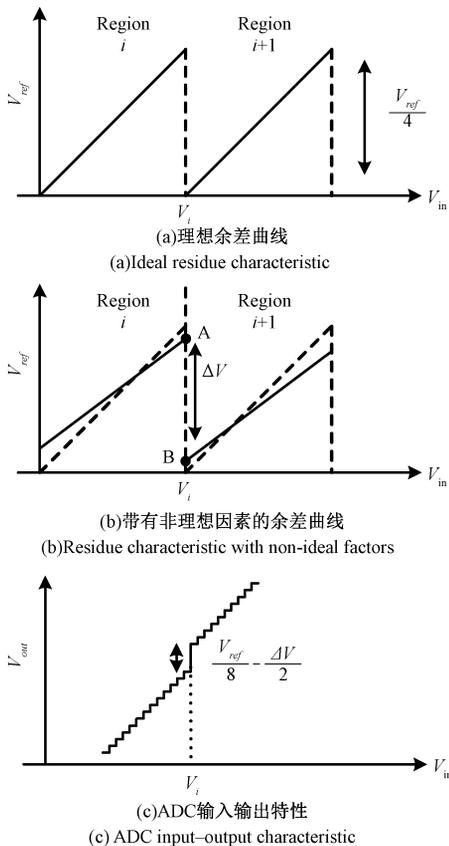


图3 非理想因素对于 ADC 输入输出特性的影响

Fig.3 ADC input-output characteristic with non-ideal factors

### 2.1 增益误差校准技术

由于运放较低的开环增益,会造成 5% 左右的增益误差,假设增益为 40 dB,按照  $C_f/C_s = 1/2$  的设计的理想运放闭环增益仅有 1.94,使得 ADC 的性能大幅下降,因此在设计中保持采样电容容值为 2 pF,通过缩小反馈电容尺寸使得运放前仿真增益为 2。考虑到 PVT 效应、电容失配以及工艺偏差等因素会使得运放的增益产生偏差,

因此增益误差校正必不可少。

校正的检测过程如图 4 所示,与将后级看作理想 ADC,待校正级的输入固定电平信号,校正过程分为 3 步。

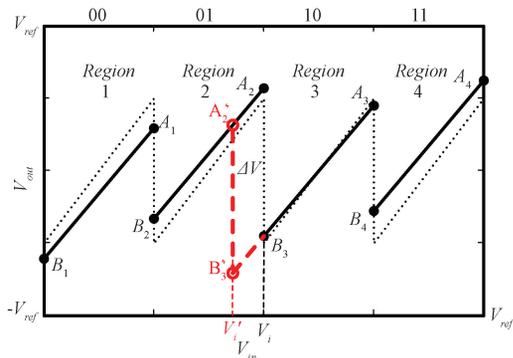


图4 增益误差的检测

Fig.4 Detection of gain error

第 1 步:强制将子 ADC 的输出为“01”,将 MDAC 的输入为  $V_{ref}/2$ ,由于后级 ADC 的精度为 11 bit,得到的  $A_2$  点对应的数字输出如下:

$$D_{stage2\_1} = \frac{V_{res}}{2 \cdot V_{ref}} \cdot 2^{11} = G_1 \cdot \frac{V_{in}}{2 \cdot V_{ref}} \cdot 2^{11} \quad (8)$$

整体的 ADC 的输出为:

$$D_{out\_1} = 2^{10} \cdot D_{stage1} + D_{stage2\_1} \quad (9)$$

第 2 步:设置 MDAC 的输入为  $-V_{ref}/2$ ,对应  $B_2$  点的数字输出如下:

$$D_{stage2\_2} = \frac{V_{res}}{2 \cdot V_{ref}} \cdot 2^{11} = G_1 \cdot \frac{V_{in} - \frac{1}{2}V_{ref}}{2 \cdot V_{ref}} \cdot 2^{11} \quad (10)$$

因此,整体的数字输出为:

$$D_{out\_2} = 2^{10} \cdot D_{stage1} + D_{stage2\_2} \quad (11)$$

化简得:

$$D_{out\_2} - D_{out\_1} = 2^9 \cdot G_1 \quad (12)$$

第 3 步:强制将子 ADC 的输出为“10”,计算此时的增益  $G_2$ ,多级重复计算  $G_1$  和  $G_2$ ,将其统计平均值定义为增益误差  $G_{err}$ 。

校正过程采用增益可编程 MDAC 对增益误差进行补偿,如图 5 所示,在  $C_f$  上并联 7 bit 的二进制电容阵列,通过调整反馈电容的值来微调 MDAC 的增益,可编程电容阵列的总值为 64 F,初始值为“1 000 000”。校正中使用最小均方(LMS)算法加快收敛速度,当  $G_{err} > 2$  时,增大控制字;当  $G_{err} < 2$  时,减小控制字;当  $G_{err}$  的变化值小于等于 1 LSB 时,认为校正完成。

### 2.2 区间偏移误差校准技术

当增益误差被校准后,在只受到区间偏移误差影响的 ADC 转移特性曲线如图 3(c) 所示。正如上文所述,

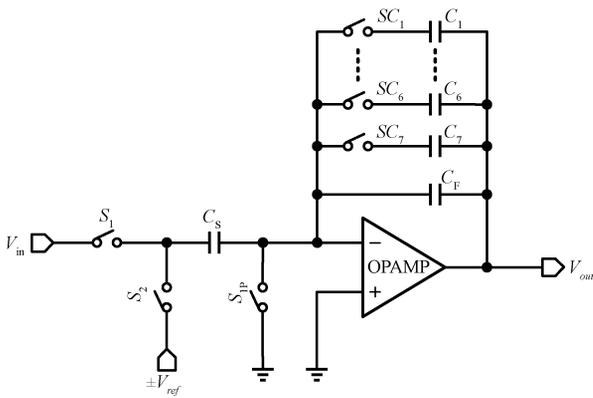


图 5 MDAC 中可编程反馈电容阵列

Fig. 5 Programmable feedback capacitors in MDACs

区间跳变点即于 ADC 中比较器的翻转点处会存在跳变  $\Delta$ , 使得 ADC 的转换过程中存在失码而造成精度下降。然而, 上述问题中没有考虑到于 ADC 的比较器失调会对计算电容失配的影响。图 4 中粗虚线表示的是实际电路中考虑到于 ADC 比较器失调后的余差曲线, 理想跳变电压  $V_i$  由于比较器失调跳变到  $V_i'$  点, 点  $A_2$  和  $B_3$  之差  $\Delta V$  与  $A_2'$  和  $B_3'$  之差相同, 因此即使存在比较器失调, 依旧可以通过跳变点的数字码来获取区间偏移误差。

因此, 采用以下方法检测区间偏移误差: 强制 ADC 的输入为  $V_i$ , 调节控制字  $CDACCODE$  为相邻两个区间的码字, 例如“00”和“01”, 这样可以由后级 ADC 获得跳变点 A 和 B 的数字码, 以此类推可以得到  $D_{Ai}$  和  $D_{Bi}$  ( $i=0, 1, 2, 3$ )。其中  $B_i$  点的数字码  $D_{Bi}$  与理想的数字输出码  $D_{int}$  的差值是第  $i$  区间由电容失配产生的偏移称之为  $\delta_i$ , 考虑到首级的余差输出区间为  $[-V_{ref}/2, V_{ref}/2]$ , 留有一半摆幅的裕量, 即使在差值为负时也不会产生失码的情况。电容失配导致的区间偏移  $\delta_i$  反应的是电容容值的失配大小, 如果通过硬件补偿的方式, 会大大增加电路复杂度。因此常用的方法是在 ADC 的输出端对数字码进行误差补偿, 将检测到的偏移误差  $\delta_1 \sim \delta_3$  按照不同的区域减去相应的偏移量, 方法如下:

$$D_{out\_cal} = \begin{cases} D_{out} D_{sub} = 00 \\ D_{out} - \delta_1 D_{sub} = 01 \\ D_{out} - \delta_1 - \delta_2 D_{sub} = 10 \\ D_{out} - \delta_1 - \delta_2 - \delta_3 D_{sub} = 11 \end{cases} \quad (13)$$

### 2.3 ADC 整体校正流程

ADC 的数字校准流程如图 6 所示, 第 1 级既校正增益误差也校正电容失配误差, 第 2~5 级只进行增益误差校正, 校正过程采用从后向前的方式。首先, 打开“CALON”控制信号, ADC 会通过电阻分压的方式自己提供一个固定输入信号, 先按照以下顺序校正第 5 级到第 1 级的增益误差, 最后进行第 1 级的电容失配误差校正, 将

检测结果送至 ADC 后级的数字码补偿模块, 整个前校正方案拥有功耗低、面积小的优势。

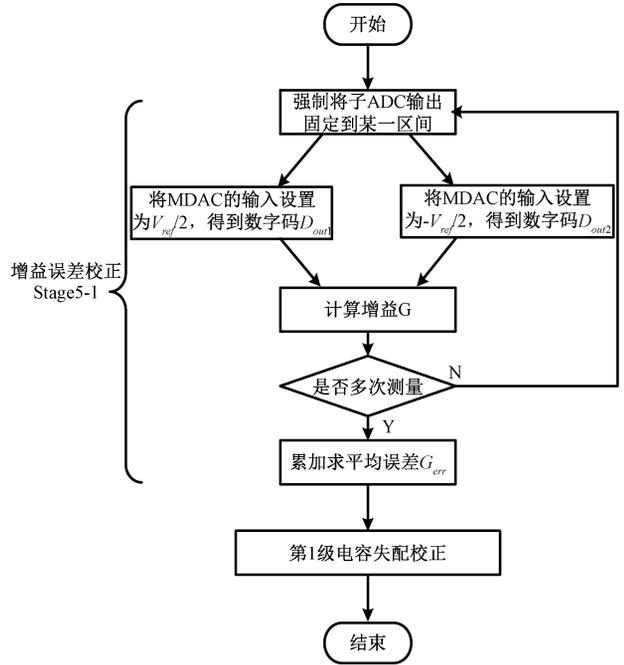


图 6 ADC 校正流程

Fig. 6 Flow chart of ADC calibration process

## 3 级间运算放大器设计

### 3.1 关键技术指标约束

#### 1) 运放的开环增益

运算放大器采用数字辅助校准的低压设计的方案, 其中由有限增益误差造成的一阶闭环增益误差可以通过第 2 部分的数字校正补偿, 而高阶增益误差特别是三阶增益误差造成的影响应该小于 1 个 LSB。考虑到除去首级的后端 ADC 分辨率为 11 bits, 采样时钟为  $f_s$  为 500 MHz, 差分参考电压  $V_{ref}$  为 1.4 V, 反馈系数  $f$  为 1/3, 因此, 代入式 (14) 可得开环增益必须高于 36 dB。

$$\left( \frac{V_{ref}}{a_{of} f} \right) \leq \frac{V_{ref}}{2^N} \quad (14)$$

#### 2) 运放的增益带宽积 (GBW)

MDAC 保持阶段输出信号的建立时间取决于运算放大器的有限带宽。如果带宽偏小, 会导致信号在完全建立起来之前就被下一级采样, 从而造成 ADC 的转换误差。因此, 首级运算放大器的增益带宽积应满足以下条件:

$$f_u > \frac{(N - M + 1) \cdot \ln 2}{2\pi \cdot \beta \cdot t_s} \quad (15)$$

其中,  $t_s$  是建立时间, 当采样频率为 500 MHz 时, 考虑到时钟的非交叠, 因此运放的建立时间小于 1 ns, 因此

首级运放的增益带宽积要求应该大于 4 GHz。

### 3.2 带有密勒补偿的两级 OTA 设计

按照 3.1 节给出的运放开环增益及增益带宽积的要求,本文选用了带有密勒补偿的两级运算放大器结构,如图 7 所示。其中  $C_c$  是密勒补偿电容,  $R_z$  为调零电阻,  $R_b$  为共模反馈电阻。

将运算放大器两级的等效跨导记作  $g_{m(II)}$ 。  $R_{I(II)}$  和  $C_{I(II)}$  分别是运算放大器每级输出点的总电阻和对地总电容。则运算放大器的直流增益可以写成式 (16) 的形式。

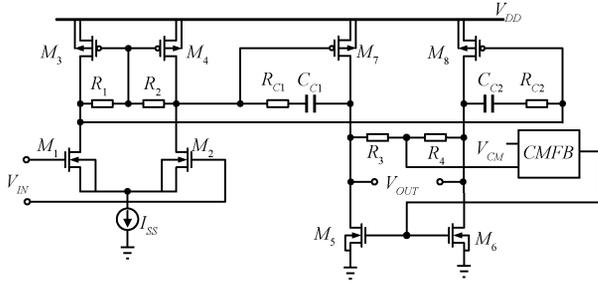


图 7 运算放大器  
Fig. 7 Opamp circuit

$$A_0 = g_{mI} R_I g_{mII} R_{II} = g_{mI} (r_{o1} \parallel r_{o4} \parallel R_b) \cdot g_{m6} (r_{o6} \parallel r_{o8}) \quad (16)$$

运算放大器的传递函数如下:

$$H(s) = A_0 \quad (17)$$

其中,

$$a = (C_{II} + C_c) R_{II} +$$

$$(C_I + C_c) R_I + g_{mI} R_I R_{II} C_c + R_z C_c \quad (18)$$

$b =$

$$R_I R_{II} (C_I C_{II} + C_c C_I + C_c C_{II}) + R_z C_c (R_I C_I + R_{II} C_{II}) \quad (19)$$

$$c = R_I R_{II} R_z C_I C_{II} C_c \quad (20)$$

假设运放的次主极点与主极点距离较远,且  $R_{I(II)}$  远大于  $R_z$ , 可以将式 (17) 化简得到运放的 3 个极点和 1 个零点:

$$p_1 \cong -\frac{1}{(1 + g_{mII} R_{II} R_I C_c)} \cong -\frac{1}{g_{mII} R_{II} R_I C_c} \quad (21)$$

$$p_2 \cong -\frac{g_{mII} C_c}{C_I C_{II} + C_c C_I + C_c C_{II}} \cong -\frac{g_{mII}}{C_{II}} \quad (22)$$

$$p_3 = -\frac{1}{R_z C_I} \quad (23)$$

$$z_1 = \frac{1}{C_c (1/g_{mII} - R_z)} \quad (24)$$

可以看出  $p_3$  是由调零电阻引入的极点,频率较高对运放带宽的影响可以忽略不计。在设计时,调整电阻  $R_z$  的值以抵消次主极点  $p_2$  的影响,使得运放可以等效为一个单极点系统。另外,考虑到噪声的贡献主要来自于运

放的第一级,因此通过适当提高尾电流源电流  $I_{SS}$  的方式提高  $g_{mI}$  来降低运放噪声。

## 4 后仿真结果及分析

### 4.1 运算放大器

运算放大器进行的 AC 仿真结果如图 8 所示,仿真工艺角为 tt/27 °C。可以看出,其开环增益为 46.24 dB,增益带宽积为 9.59 GHz,6 dB 时的相位裕度为 58.4°。

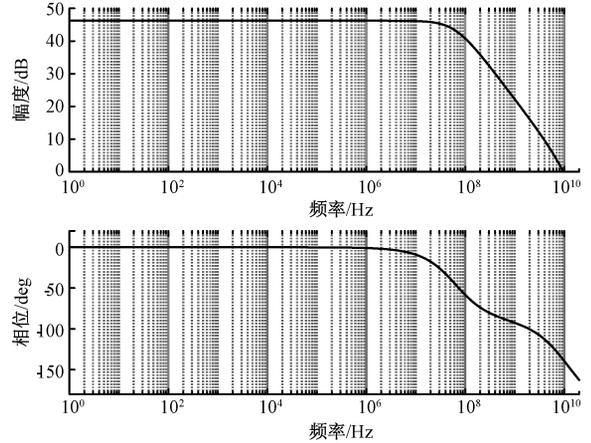


图 8 运算放大器

Fig. 8 AC simulation results of opamp

表 2 汇总了不同工艺角下的开环增益 (Gain)、增益带宽积和相位裕度 (PM) 仿真结果。在 tt/85 °C 下的开环增益最低,在 ss/-40 °C 下相位裕度较差。

表 2 不同工艺角下 AC 仿真

Table 2 AC simulation results under different corners

工艺角/温度/°C	ss/-40	ss/85	tt/27	tt/-40	tt/85
增益/dB	51.90	47.83	46.24	45.68	41.79
增益带宽积/GHz	7.75	7.08	9.59	9.70	7.41
相位裕度/(°)	43.6	50.7	58.4	58.0	60.8

### 4.2 流水线 ADC 顶层

本文设计的 500 MS/s、12 bit 流水线 ADC 采用的是 TSMC 40 nm CMOS 工艺。芯片采用 1.1 V 电源电压设计,版图布局布线如图 9 所示,其中核心面积为 855 × 270 μm<sup>2</sup>。在 500 MHz 采样率下,ADC 的整体功耗为 123 mW,其中包括模拟域功耗 109 mW 和数字域功耗 14 mW。

图 10 和 11 分别展示了采样速率为 500 MHz 时校准前后 ADC 的 DNL 和 INL 变化。ADC 未校准时,DNL 峰值为 2.4 LSB,可以看出存在许多误码,而且 INL 在 -5.9~5.9 LSB 之间。经过校准后,DNL 峰值减少到 1.7 LSB,INL 提高到 -0.8 LSB/+0.72 LSB。

图 12(a) 是在输入信号为 74.83 MHz、采样时钟频率

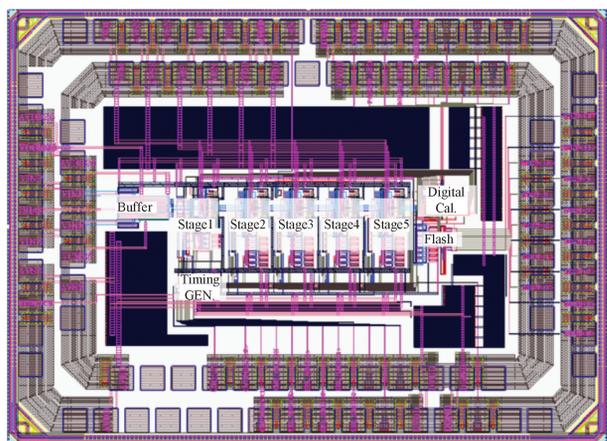


图 9 流水线 ADC 的版图

Fig. 9 Layout of the pipeline ADC

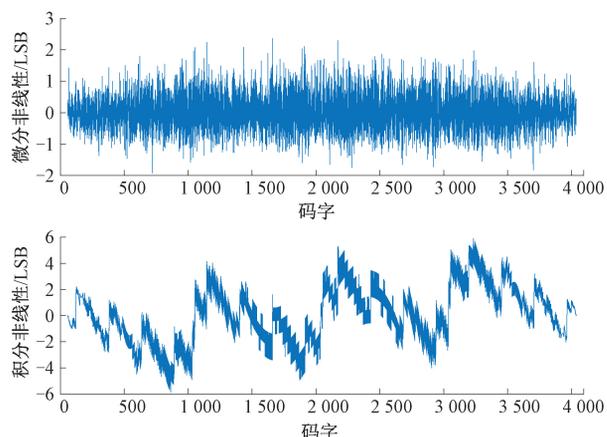


图 10 未校准时的微分非线性性和积分非线性

Fig. 10 DNL and INL; Without calibration

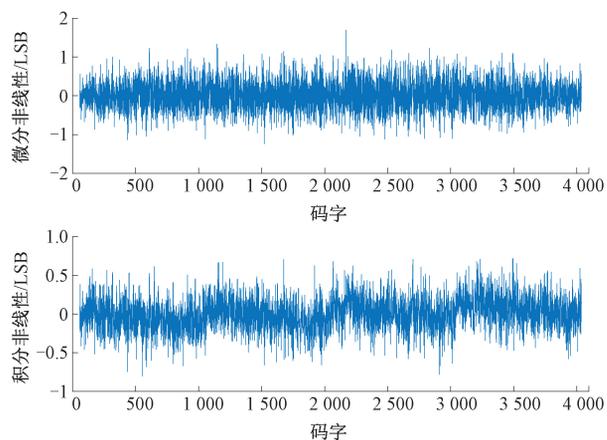


图 11 校准后的微分非线性性和积分非线性

Fig. 11 DNL and INL; With calibration

为 500 MHz 条件下,待校准 ADC 的输出频谱,经计算得出 SNDR 等于 56.79 dB、SFDR 为 65.36 dB,可以明显看到高次谐波失真。图 12(b) 显示了相同频率下校准后 ADC 的输出频谱。在这种情况下,SNDR 等于 63.14 dB, SFDR 为 75.14 dB, ENOB 为 10.07 bit。比较这两张图,

不难发现,经过区间偏移校正和增益误差校正后,ADC 的谐波失真明显降低,线性度提高显著,验证了文中所提算法的有效性。

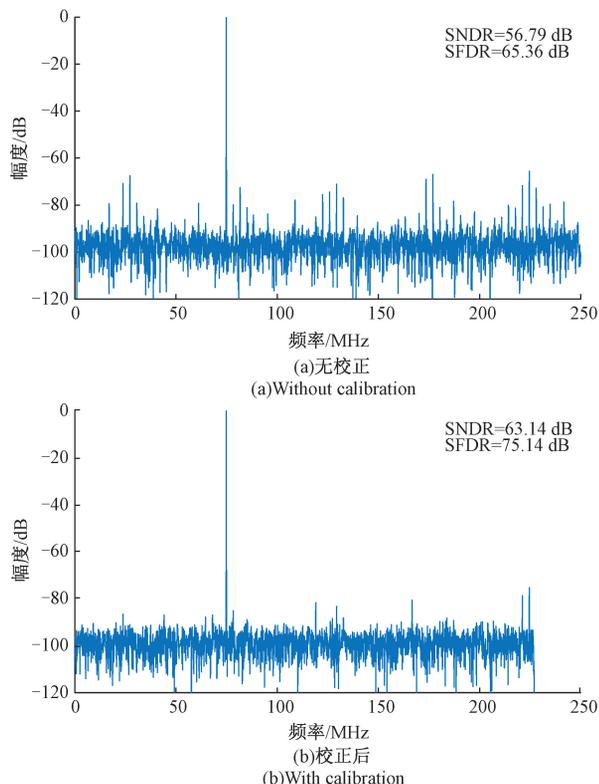


图 12 流水线 ADC 的输出频谱  $f_s = 500$  MHz,

$$V_{in} = 1.1 \text{ V}, f_{in} = 74.83 \text{ MHz}$$

Fig. 12 Digitized spectrum of the pipeline ADC output spectrum for  $f_s = 500$  MHz,  $V_{in} = 1.1$  V and  $f_{in} = 74.83$  MHz

单通道 ADC 采样频率为 500 MHz 时,ADC 的动态性能随输入频率的变化如图 13 所示。可以发现,随着输入信号频率的增加,SNDR 和 SFDR 会有所下降,SNDR 均大于 62 dB, SFDR 均大于 73 dB。

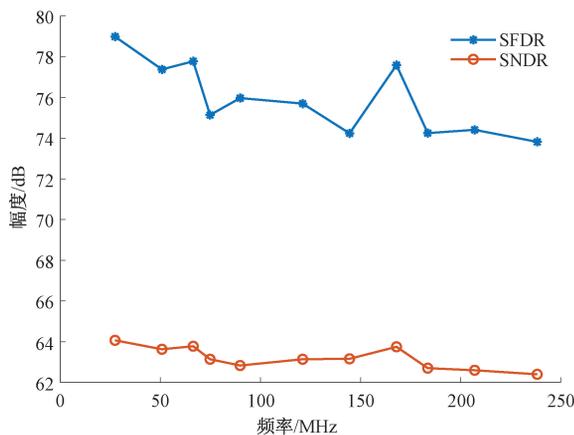


图 13 采样频率 500 MHz 下输入信号与 SNDR、SFDR 的关系

Fig. 13 SNDR and SFDR versus input frequency at  $f_s = 500$  MHz

表3是本设计与近年来指标相近其他文献的性能对比。文中所设计的ADC具有核心面积较小,功耗低的优势,满足高速高精度的设计指标。

表3 本文设计的ADC和其他文献的性能对比

Table 3 The performance comparison between ADC proposed and others' work

指标	本文	文献[19]	文献[20]	文献[21]
工艺	40 nm	65 nm	65 nm	0.18 $\mu\text{m}$
ENOB@ Nyquist/bit	10.07	9.84	11.83	8.81
速率/(MS $\cdot$ s <sup>-1</sup> )	500	800	100	200
电压/V	1.1	2.5	1.2	1.8
输入信号摆幅/V	1.2	1.2	1	2.4
功耗/mW	123	720	180	115
面积/mm <sup>2</sup>	0.23	3.8	1.1	1.44
FoM <sub>w</sub> /(pJ $\cdot$ step <sup>-1</sup> )	0.229	0.98	0.49	1.28

## 5 结论

本文设计了一款带有数字校准算法的12位流水线ADC。流水线ADC中功耗占比最大的部分是级间运算放大器,本设计中选用的两级运算放大器工作在1.1V电压域,可以有效降低了其功耗和面积,而其引入的有限增益误差通过数字辅助校正技术进行补偿。芯片的核心尺寸为855 $\times$ 270  $\mu\text{m}^2$ ,功耗为123 mW。该ADC在全速率下其SFDR为75.14 dB,SNDR为63.14 dB。流水线ADC采用前校准技术,针对第1~5级流水级的运放有限增益误差和首级电容失配误差进行校正,其中有限增益误差采用数字检测模拟补偿,而电容失配采用数字检测数字补偿的方法。后仿真可以看出,通过校准后的流水线ADC谐波失真得到了有效的抑制,ENOB和线性度较校准前显著提高。证明了该低压流水线ADC架构和其数字辅助校正算法的实用性和有效性。

致谢:本项目受国家重点研发计划支持,项目号为2018YFB2003302。

## 参考文献

[1] 莫依婷,宋爱国,秦欢欢,等. 可穿戴双通道指端力触觉反馈方法与系统[J]. 仪器仪表学报, 2018, 39(11): 188-194.  
MO Y T, SONG AI G, QIN H H, et al. Wearable two-channel fingertip force tactile feedback method and system [J]. Journal of Electronic Measurement and Instrumentation, 2018, 39(11): 188-194.

[2] 邢玉广,张彦军. 基于RFID的智能IC管理机的设计与研究[J]. 电子测量技术, 2018, 41(24): 40-45.  
XING Y G, ZHANG Y J. Design and research of intelligent IC management machine based on RFID [J]. Electronic Measurement Technology, 2018, 41(24):

40-45.

[3] 杜以涛,樊晓腾,张云祥,等. 一种宽频带频谱分析仪高效快速检测装置[J]. 国外电子测量技术, 2018, 37(12): 110-114.  
DU Y T, FAN X T, ZHANG Y X, et al. A high-efficiency and fast detection device for a wideband spectrum analyzer [J]. Foreign Electronic Measurement Technology, 2018, 37(12): 110-114.

[4] ALI A M A, DINC H, BHORASKAR P, et al. A 14 bit 1 GS/s RF sampling pipelined ADC with background calibration [J]. IEEE Journal of Solid-State Circuits, 2014, 49(12): 2857-2867.

[5] ALI A, DINC H, BHORASKAR P, et al. A 12b 18 GS/s RF sampling ADC with an integrated wideband track-and-hold amplifier and background calibration [J]. IEEE Journal of Solid-State Circuits, 2020, 55(12): 3210-3224.

[6] CHEN Y, NI Z, CAO Y, et al. A 800 MS/s, 12 bit, ringamp-based sar assisted pipeline adc with gain error cancellation [C]. 2018 IEEE International Symposium on Circuits and Systems (ISCAS). IEEE, 2018: 1-4.

[7] DEVARAJAN S, SINGER L, KELLY D, et al. A 16 bit, 125 MS/s, 385 mW, 78.7 dB SNR CMOS pipeline ADC [J]. IEEE Journal of Solid-State Circuits, 2009, 44(12): 3305-3313.

[8] DEVARAJAN S, SINGER L, KELLY D, et al. A 12b 10 GS/s interleaved pipeline ADC in 28-nm CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2017, 52(12): 3204-3218.

[9] TSENG C J, CHEN H W, SHEN W T, et al. A 10 b 320 MS/s stage-gain-error self-calibration pipeline ADC [J]. IEEE Journal of Solid-State Circuits, 2012, 47(6): 1334-1343.

[10] RAZAVI B, SAHOO B D. A 12 bit 200 MHz CMOS ADC [J]. IEEE Journal of Solid-State Circuits, 2009, 44(9): 2366-2380.

[11] GALTON I. Digital cancellation of D/A converter noise in pipelined A/D converters [J]. IEEE Transactions on Circuits & Systems II Analog & Digital Signal Processing, 2001, 47(3): 185-196.

[12] PANIGADA A, GALTON I. A 130 mW 100 MS/s pipelined ADC with 69 dB SNDR enabled by digital harmonic distortion correction [J]. IEEE Journal of Solid-State Circuits, 2009, 44(12): 3314-3328.

[13] MURMANN B, BOSER B E. A 12 bit 75 MS/s pipelined ADC using open-loop residue amplification [J]. IEEE Journal of Solid-State Circuits, 2003, 38(12): 2040-2050.

- [14] IROAGA E, MURMANN B. A 12 bit 75 MS/s pipelined ADC using incomplete settling [J]. IEEE Journal of Solid-State Circuits, 2007, 42(4): 748-756.
- [15] MING J, LEWIS S H. An 8 bit 80 Msample/s pipelined analog-to-digital converter with background calibration[J]. IEEE Journal of Solid-State Circuits, 2001, 36(10): 1489-1497.
- [16] VERMA A, RAZAVI B. A 10 bit 500 MS/s 55 mW CMOS ADC [J]. IEEE Journal of Solid-State Circuits, 2009, 44(11): 3039-3050.
- [17] YUN C, TSANG C W, NIKOLIC B, et al. Least mean square adaptive digital background calibration of pipelined analog-to-digital converters [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004, 51(1): 38-46.
- [18] 曹宇, 苗澎, 黎飞, 等. 625 MS/s、12 bit 双通道时间交织 ADC 的设计研究[J]. 电子测量与仪器学报, 2021, 35(3): 105-114.  
CAO Y, MIAO P, LI F, et al. The design of 625 MS/s 12 bit two-channel time interleaved ADC [J]. Journal of Electronic Measurement and Instrumentation, 2021, 35(3): 105-114.
- [19] NI M, LI F, ZHOU J, et al. A 12 bit 800 MS/s time-interleaving pipeline ADC in 65 nm CMOS [C]. 2016 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC). IEEE, 2016: 391-394.
- [20] VAN D, BUTER B A J, VAN DER PLOEG H, et al. A 1.2 V 250 mW 14 bit 100 MS/s digitally calibrated

pipeline ADC in 90 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2009, 44(4): 1047-1056.

- [21] WANG L, MENG Q, ZHI H, et al. A 10 bit 200 MS/s pipeline ADC using loading-balanced architecture in 0.18  $\mu\text{m}$  CMOS [J]. Journal of Semiconductors, 2017, 38(7): 075003.

### 作者简介



丁博文(通信作者), 2014 年于东南大学获得学士学位, 2017 年于东南大学获得硕士学位, 现为东南大学博士研究生, 主要研究方向为混合信号设计。

E-mail: dingbowen2021@163.com

**Ding Bowen** (Corresponding author)

received his B. Sc. degree in 2014 from Southeast University, received his M. Sc. degree in 2017 from Southeast University, now he is a Ph. D. candidate in Southeast University. His main research interest includes mixed signal processing.

苗澎, 2004 年获得东南大学信息科学与工程学院电路与系统工程博士, 现为东南大学信息科学与工程学院副教授, 博士研究生导师, 主要研究方向为混合信号集成电路设计。



E-mail: miaopeng123@seu.edu.cn

**Miao Peng** received his Ph. D. degree in 2004 from Southeast University, now he is an associate professor and doctoral supervisor of School of Information Science and Engineering, Southeast University. His main research interest includes mixed signal integrated circuit design.