

DOI: 10.13382/j.jemi.B2104127

# 功率半导体器件栅氧化层状态监测方法综述与展望\*

何怡刚 孙豪 袁伟博 张学勤

(合肥工业大学电气与自动化工程学院 合肥 230000)

**摘要:**功率半导体器件栅氧化层退化对功率器件的正常运行产生严重影响,不同偏置应力导致栅氧化层退化形式不同,故栅氧化层的状态监测研究对确保功率器件的高可靠性具有重要意义。从栅氧化层退化的微观机理出发,建立相关特征参数与栅氧化层退化的精确函数关系,在栅氧化层退化的情况下对特征参数漂移量进行检测可以实现对功率器件栅氧化层的状态监测。围绕退化特征参数和退化模型方面的国内外研究,分类讨论基于阈值电压、米勒效应参数等状态监测方法的最新进展,并着重对栅氧化层状态监测方法的性能进行分析和对比。在此基础上,结合功率器件发展和应用趋势,展望了功率半导体器件栅氧化层状态监测的研究方向。

**关键词:**功率半导体器件;MOSFET;IGBT;栅氧化层;米勒效应;状态监测

**中图分类号:** TN386;TM23 **文献标识码:** A **国家标准学科分类代码:** 510.3030

## Review and prospect for condition monitoring method of power semiconductor devices gate oxide

He Yigang Sun Hao Yuan Weibo Zhang Xueqin

(School of Electrical Engineering and Automation, Hefei University of Technology, Hefei 230000, China)

**Abstract:** The degradation of the power semiconductor gate oxide layer has a serious impact on its normal operation. Different bias stress lead to different forms of gate oxide degradation. Therefore, the condition monitoring research of the gate oxide layer is of great significance to power semiconductor's high reliability. Starting from the microscopic mechanism of gate oxide degradation, establishing an accurate function relationship between related characteristic parameters and gate oxide degradation. When the gate oxide layer is degraded, the drift of the characteristic parameters can be detected to realize the condition monitoring of the power semiconductor gate oxide layer. Focusing on the domestic and foreign research on degradation characteristic parameters and degradation models, the latest progress on condition monitoring methods based on threshold voltage and Miller effect parameters are discussed in classification, and the performance of gate oxide condition monitoring methods are analyzed and compared. On this basis, combined with the development and application trends of power semiconductor, the research direction of gate oxide condition monitoring of power semiconductor devices is prospected.

**Keywords:** power semiconductor devices; MOSFET; IGBT; gate oxide; miller effect; condition monitoring

## 0 引言

功率半导体器件在国民经济中起到重要支撑作用<sup>[1]</sup>。长期以来,基于硅的功率半导体器件一直主导着功率半导体市场和功率系统的应用<sup>[2]</sup>。其可靠性受到广

泛的关注<sup>[3-5]</sup>。自功率半导体器件诞生以来,其特征一直是不断寻求新的技术工艺,以减小集成在单个硅芯片中器件的物理尺寸。栅极氧化物材料主要是二氧化硅(SiO<sub>2</sub>)。随着半导体工艺的发展,栅氧化层的厚度也在逐渐的降低。然而,工作电压不会按照相同的步伐降低,器件内部的电场会不断地增加,即使在正常工作期间,内

收稿日期:2021-04-06 Received Date: 2021-04-06

\* 基金项目:国家自然科学基金(51977153,51977161,51577046)、国家自然科学基金重点项目(51637004)、国家重点研发计划“重大科学仪器设备开发”项目(2016YFF0102200)、装备预先研究重点项目(41402040301)资助

部电场也会导致功率器件栅氧化层性能随时间下降。其次,偏置温度应力和电离辐射都会使栅氧化层发生退化,当功率半导体器件的栅氧化层退化后,将引起功率器件电参数的不稳定性,甚至引起栅氧化层的击穿而导致器件失效。栅氧化层可靠性势必成为一个突出的问题。

栅氧化层可靠性研究从栅氧化层完整性检测发展而来,早期的完整性检测通常使用斜坡电压对半导体的栅氧化层进行测试,按照是否有足够的置信度显示,被测半导体器件的缺陷密度是否小于目标值,对斜坡电压测试的结果进行评估。此种方法经济实用,多用于判断栅氧化层是否失效。但检测结果单一,不能完整准确的反映栅氧化层在不同退化阶段的实时状态,更不能用于栅氧化层退化状态的预估计。目前对栅氧化层退化机理的研究表明,无论是偏置电压应力还是偏置温度应力,栅氧化层退化的根本原因都是栅氧化物中的电荷俘获和栅氧化层与硅界面处的陷阱形成,这是由高能自由载流子引起的,该载流子的能量足够穿过  $\text{SiO}_2/\text{Si}$  势垒。状态监测是可靠性故障检测和寿命预测的重要工具,状态监测技术的核心是特征参数的选取<sup>[6-8]</sup>,实现状态监测技术的关键是对特定故障前兆的识别和跟踪。热应力和电应力会造成栅氧化层退化,进而会改变功率器件的导通和关断特性,增加开关损耗并持续到设备故障<sup>[9]</sup>。退化对功率半导体器件的外部电气特性有很大影响,这使得基于电参数的状态监测方法可行。实际上,大多数对栅氧化层退化的研究是基于对特征参数或关于特征参数退化模型的监测。

栅氧化层结构主要应用于功率半导体器件中的金属-氧化物半导体场效应晶体管(MOSFET)和绝缘栅双极性晶体管(IGBT),二者都是基于栅氧化层的绝缘特性工作的。近年来,在栅氧化层的状态监测方向已经有了初步研究,提出了多种用于监测栅氧化层状态的特征参数。本文主要针对目前功率半导体器件中的 MOSFET 和 IGBT,概述偏置电压应力、偏置温度应力和电离辐射下栅氧化层状态监测方法的研究成果,对现有状态监测特征参数进行系统的总结和归纳。对比分析各状态监测方法的性能优劣,并在此基础上展望栅氧化层状态监测技术的发展方向。

## 1 基于阈值电压的栅氧化层状态监测方法

电场作用下栅极氧化物的退化已成为近年来广泛研究的课题。研究表明,栅氧化层的退化会引入两个主要电荷,栅氧化层内的氧化物陷阱电荷  $Q_{ot}$  以及氧化物-硅界面处的界面陷阱电荷  $Q_{it}$ 。在栅极偏置电压的作用下,栅氧化层性能退化的主要表现是击穿,击穿分为两种类型的击穿,一种是瞬时击穿(TZDB),即在高压下即时发

生的击穿,另一种是与时间相关的电介质击穿(TDDB),即是在加上电压后需要经过一段时间之后才发生的击穿。与瞬时击穿相比,与时间相关的电介质击穿更为常见,与时间相关的电介质击穿是由于栅极偏置电压应力随时间而导致的栅极氧化物缺陷积累的结果,是威胁器件和系统寿命以及长期可靠性的主要故障机制。

对于功率 MOSFET,与栅极氧化层故障相关的机制主要是与时间相关的 TDDB。栅极氧化物电荷和界面陷阱是栅氧化层不稳定的主要原因。正氧化物电荷的电场将电子吸引到界面,并排斥空穴远离界面,因此,导致 NMOS 管的阈值电压降低而 PMOS 管的阈值电压升高。界面陷阱会俘获由栅极偏置形成的电子或空穴,需要更高的栅极电压来形成沟道,因此会增加 NMOS 或 PMOS 的阈值电压。根据阈值电压的不稳定性效应,施加于栅极的偏置应力会对阈值电压产生偏移作用,正栅极偏置导致 NMOS 管阈值电压正向偏移,负栅极偏置导致 PMOS 管阈值电压负向偏移<sup>[10]</sup>。

### 1.1 偏置电压应力下栅氧化层状态监测方法

以较为常用的 NMOS 管为例,氧化物电荷密度和界面陷阱电荷密度对阈值电压的影响如式(1)表示<sup>[11]</sup>。

$$V_{\text{TH}} = V_{\text{TH0}} - \frac{qN_{ot}}{C_{ox}} + \frac{qN_{it}}{C_{ox}} \quad (1)$$

式中:  $V_{\text{TH0}}$  是理想的阈值电压;  $N_{ot}$  是氧化层陷阱密度;  $N_{it}$  是界面陷阱电荷密度;  $C_{ox}$  是单位面积的栅极氧化物电容。

$$\frac{\partial V_{\text{TH}}}{\partial N_{ot}} = -\frac{q}{C_{ox}} < 0 \quad (2)$$

$$\frac{\partial V_{\text{TH}}}{\partial N_{it}} = \frac{q}{C_{ox}} > 0 \quad (3)$$

表明偏置应力下阈值电压随着栅极氧化物电荷密度增加而降低,随着界面陷阱电荷密度增加而升高,阈值电压随时间的退化趋势如图 1 所示。阈值电压的降低阶段是短暂的,若在退化降低阶段短暂的时间间隔内未对阈值电压进行检测,则难以观测到阈值电压的降低。因此,通常是在阈值电压上升阶段进行状态监测。

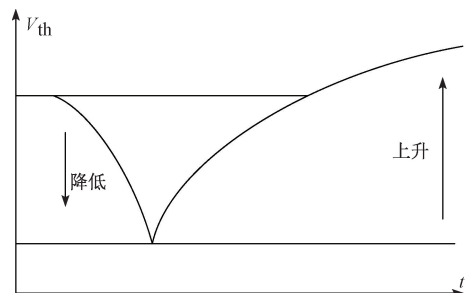


图 1 阈值电压关于时间变化的趋势

Fig. 1 The trend of the threshold voltage with respect to time

根据电荷转移到 MOS 器件的直接隧穿模型。如果以  $N$  来表示氧化物陷阱密度,在施加偏置应力一段时间以后,转移到这些陷阱中的总电荷遵循对数时间依赖性<sup>[12]</sup>,可以表示为:

$$Q \cong \frac{eN}{2\beta} \left[ \ln \frac{t}{t_0} + \gamma \right] \quad (4)$$

式中: $e$  是电子电荷; $t_0$  是初始隧穿转变时间; $\beta$  为与势垒高度相关的隧穿参数; $\gamma$  为欧拉常数。氧化物陷阱俘获的电荷是关于应力施加时间的对数增函数,进而导致器件的电参数是关于时间的类似对数函数。进而可以得到:

$$V_{TH} \cong V_{TH0} + \frac{eN}{2\beta C_{ox}} \left[ \ln \frac{t}{t_0} + \gamma \right] \quad (5)$$

式中: $V_{TH}$  是应力时间  $t$  的函数。则  $V_{TH}$  关于应力时间对数  $\ln t$  的偏导数表示为<sup>[13]</sup>:

$$\frac{\partial V_{TH}}{\partial \ln t} = \frac{eN}{2\beta C_{ox}} > 0 \quad (6)$$

综上,阈值电压近似是时间对数的增函数,同时也是时间的增函数,也大致印证了图 1 的变化趋势。在偏置电压的作用下,栅氧化物电荷在时间的积累下使得阈值电压降低一部分,但界面陷阱电荷在时间的积累下阈值电压后续大幅升高。在该阶段对阈值电压进行跟踪检测并与理想值进行对比可以有效预估栅氧化层的工作状态。

### 1.2 偏置温度应力下栅氧化层状态监测方法

偏置温度不稳定性(BTI)和高电场应力(HEFS)是公认的现代 MOSFET 技术可靠性中最重要的问题。栅极偏置温度应力作为栅氧化层退化的原因之一,是在偏置电压应力的基础上多了温度的条件。研究表明,负偏置温度应力(NBTS)主要影响的是 PMOS 管,而正偏置温度应力(PBTS)主要影响的是 NMOS 管。通常认为偏置温度应力(BTS)下栅氧化层的退化涉及一系列氢氧元素的电化学反应,同时产生氧化物陷阱电荷  $Q_{ox}$  与界面陷阱电荷  $Q_{it}$ ,进而使阈值电压产生漂移。栅氧化层退化状态的监测是采用评估功率器件各种电参数,相对于偏置电压应力,偏置温度应力是电压和温度综合作用于栅氧化层,对阈值电压的漂移影响更加复杂,因此,对偏置温度应力下栅氧化层状态监测的方法是采用建立更加精确的与阈值电压相关的退化模型的方法。

#### 1) NBTS 退化模型

负偏置温度不稳定性(NBTI)是功率半导体器件在负栅极偏压,特别是在高温下,在栅氧化物和氧化物-半导体界面产生氧化物陷阱电荷与界面陷阱电荷,进而造成阈值电压漂移的现象。NBTS 的作用条件及其 NBTI 对 PMOS 晶体管的影响如图 2 所示。

随着器件尺寸的缩小,栅极氧化层的厚度也在不断

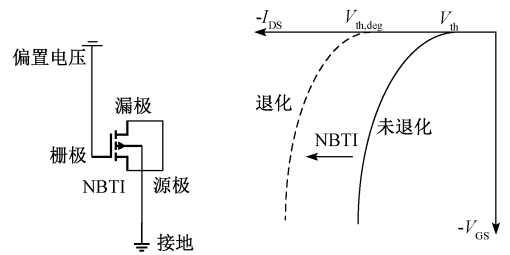


图 2 应力条件和 NBTI 对 PMOS 晶体管的影响

Fig. 2 Stress conditions and impact of NBTI to PMOS transistor

地降低,然而,栅氧化层厚度比工作电压更快速的降低已经导致栅氧化层中有效电场的逐渐增加和芯片温度的升高,从而增强了 NBTI,这突显了负偏置温度应力下对栅氧化层状态监测的必要性。目前对 NBTI 微观机制的研究还不足够,这使得通过 NBTI 影响最小化来延长栅氧化层寿命的技术优化是一个难题。因此,在开发 NBTI 的分析模型方面已经付出许多努力,通过分析大量实验数据结果,对 P 沟道功率器件的阈值电压漂移进行归纳性建模。

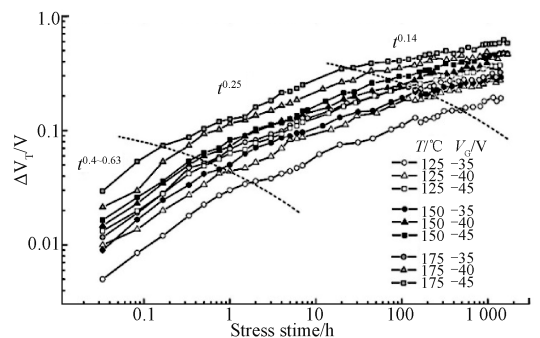


图 3 P 沟道 MOSFET 在 NBT 应力下阈值电压关于时间的依赖性

Fig. 3 Time dependencies of  $\Delta V_T$  NBT stressing of p-channel power VDMOSFETs

图 3 所示为 P 沟道 MOSFET 在 NBT 应力下阈值电压关于时间的分段依赖性模型,在第 1 阶段  $n$  很大程度上取决于偏压与温度,该模型从 0.4~0.63 不等;在第 2 阶段, $n$  取 0.25,与偏压和温度无关,且阈值电压漂移量遵循  $t^{0.25}$  幂律;在第 3 阶段, $n$  再次随偏压和温度变化。对 3 个阶段进行分析,整体的偏置温度不稳定性可以表示为:

$$\Delta V_T = B_1 [1 - \exp(-t/\tau_1)] + B_2 [1 - \exp(-t/\tau_2)] \quad (7)$$

式中: $B_1$  和  $B_2$  是与阈值电压相关的常数; $\tau_1$  和  $\tau_2$  是过渡相关的时间常数。在 P 沟道 MOSFET 的许多实际应用中,施加的栅极偏置电压会在高电压和低电压之间不断切换,从而产生了脉冲应力的条件。因此,对于负栅极偏

置温度应力可以简单的分为静态应力和脉冲应力,进而产生了在静态应力和脉冲应力条件下栅氧化层的退化模型。

偏置温度应力的研究最初是从静态应力的研究开始的,早期的研究已经建立起一系列的静态偏置温度应力的阈值电压漂移模型,可以作为栅氧化层状态监测的退化模型使用。通过延伸指数可以拟合出阈值电压关于时间的不稳定模型,表示为式(8),相关的实验证明模型和实验数据非常吻合。

$$\Delta V_T(t) = \Delta V_{Tmax} \cdot [1 - \exp(- (t/\tau_0)^\beta)] \quad (8)$$

式中: $\Delta V_{Tmax}$ 、 $\tau_0$  和  $\beta$  均为拟合参数。进一步的研究利用经验模型可以拟合高电场下阈值电压漂移量随应力作用时间和应力电压变化的情况,利用此模型可以针对栅极应力电压和应力作用时间的不同组合计算出阈值电压漂移量,进而实现对多变量作用下栅氧化层的状态监测。文献[14]提到了一种关于应力场、作用时间和温度对阈值电压漂移量影响的评估功率器件剩余寿命的模型,可以据此作为栅极氧化层状态监测的退化模型,阈值电压漂移量表示为:

$$\Delta V_T = AE^m t^n \exp(- E_a/kT) \quad (9)$$

式中: $A$  是常数; $E$  是场强; $t$  是时间; $E_a$  是激活能; $k$  是玻尔兹曼常数; $T$  是温度。文献[15]指出了在 NBT 脉冲的每个周期中,阈值电压漂移量都有特定的形式,并给出了相应的波形。文献[16]在此基础上根据波形上升部分可以表示为电容器的充电,下降部分表示为电容器的放电,建立了静态 NBT 应力下的电路模型,如图 4 所示。阈值电压漂移量模型可以表示为式(10),静态应力下仅考虑到对电容的充电,对电容的充电可等效为阈值电压的漂移量。

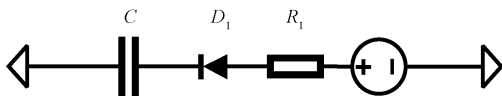


图 4 静态 NBT 应力模型电路

Fig. 4 Circuit for static NBT stress modelling

$$\Delta V_T = V_F (1 - e^{-\frac{t_c}{R_1 C}}) \quad (10)$$

式中: $V_F$  为外部电压; $R_1$  为电路模型电阻; $C$  为电路模型中电容; $t_c$  为静态应力作用时间。静态应力和脉冲应力对阈值电压漂移量的影响主要取决于应力作用时间的占空比和频率。随着占空比的减小和频率的增大,漂移量差异变得更加的明显<sup>[14,17]</sup>。近年来,已经有了许多关于 NBT 退化模型的研究,同时,在此基础上认识到在实际中利用静态应力下的退化模型会高估脉冲应力条件下的退化情况,具体表现在与相同应力电压幅度作用的静态应力相比,脉冲电压应力引起的阈值电压漂移较小,这表

明脉冲电压应力的低电平期间即关断时间期间,部分恢复了漂移的阈值电压。图 5 所示为静态和脉冲应力下阈值电压漂移量的图形表示<sup>[15,18-19]</sup>。因此,需要建立针对脉冲应力的退化模型以提高对栅极氧化层状态监测的精度。

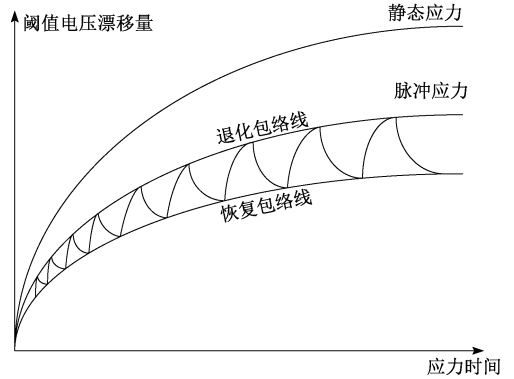


图 5 静态和脉冲 NBT 应力期间阈值电压漂移的图形表示

Fig. 5 Graphical illustration of threshold voltage shifts during the static and pulsed NBT stress

文献[18]将脉冲退化模型表示为分段函数的模式,应力作用阶段可以用静态应力模型表示,恢复阶段可以表示为静态应力的反向作用,当恢复阶段完成后,阈值电压将维持不变。

$$\Delta V_{TStress} = a_1 \cdot t^{n_1} \quad (11)$$

$$\Delta V_{TRecovery} = a_2 - b_2 \cdot t^{n_2} \quad (12)$$

其中, $a_1$ 、 $n_1$ 、 $a_2$ 、 $b_2$  和  $n_2$  是取决于应力条件的拟合参数。NBT 类似模型同样可以在文献[20]发现。通过选择频率和占空比的适当组合,可以显著降低在脉冲负偏置温度应力条件下引起的阈值电压漂移量。

文献[15]给出了脉冲 NBT 应力期间微级信号的图形化表示如图 6 所示。

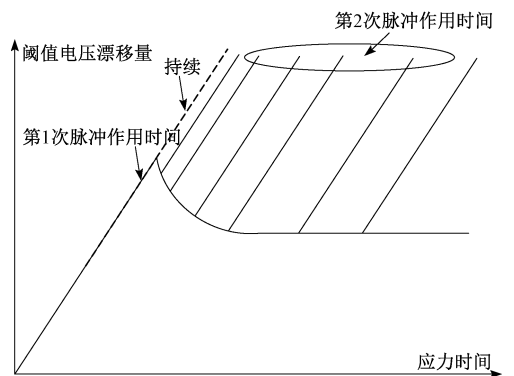


图 6 脉冲 NBT 应力引起的关断时间对阈值电压漂移量影响的示意图

Fig. 6 Schematic illustration of the effect of the off-time on  $\Delta V_T$  induced by pulsed NBT stress



曲线的上升部分可以表示为电容器的充电,而曲线的下降部分则必须分为两部分,下降部分(可恢复分量)和恒定部分(永久分量)<sup>[21]</sup>,下降部分可以表示为电容器放电,而恒定部分则必须停止放电。设计了模型等效电路如图 7 所示。

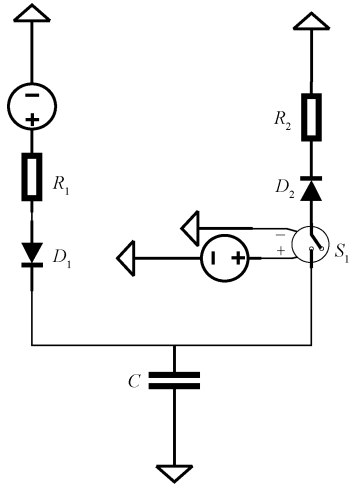


图 7 脉冲 NBT 应力建模电路

Fig. 7 Circuit for pulsed NBT stress modelling

利用该电路可以实现对脉冲偏置应力下阈值电压漂移量的计算,在脉冲应力下存在着阈值电压漂移阶段和阈值电压恢复阶段,分别对应于模型等效电路的电容充电阶段和电容放电阶段。根据电容器在充电区域充电的电压等于电容器在放电区域开始放电的电压。阈值电压漂移量表示为:

$$\Delta V_T = V_F \left( \left( 1 - e^{-\frac{t_c}{R_1 C}} \right) \left( e^{-\frac{t_d}{R_2 C}} \right) \right) \quad (13)$$

式中:  $V_F$  为外部电压;  $R_1$ 、 $R_2$ 、 $C$  分别为模型等效电路的电阻、电容;  $t_c$  为对电容器的充电时间;  $t_d$  为电容器的放电时间。据此可以利用阈值电压的跟踪和检测实现对栅极氧化层的状态监测。

综上,梳理了在静态和脉冲应力条件下, P 沟道功率器件中与负栅极偏置温度不稳定性相关的阈值电压漂移模型,这些模型可以作为栅氧化层状态监测的退化模型。与由静态应力引起的阈值电压漂移相比,发现脉冲偏置应力引起的阈值电压漂移不太明显,这归因于动态恢复的影响以及与脉冲偏置条件相关的较短的实际应力时间。因此,脉冲栅极偏置条件下的器件寿命比静态条件长得多。

此外,无论是在偏置电压应力还是偏置温度应力下,加速应力条件下获得的实验数据,都可以通过  $1/V_C$  模型沿电压或电场轴外推来估算正常工作电压下的栅氧化层寿命,但只能在加速应力实验期间施加的温度下估算,通常高于设备正常工作下的实际温度。此外也可以通过

$1/T$  模型沿温度轴外推来估算正常工作温度下的栅氧化层寿命,但只能在加速实验施加的电压下估算,通常高于设备正常工作下的实际电压。进而可以在加速应力条件下栅氧化层退化状态与正常工作条件下栅氧化层退化状态的比较。

使用合适的模型沿着电压轴外推以评估正常工作条件下的寿命<sup>[22]</sup>,这些模型都包括了 Arrhenius 电压加速因子,较常用的表示为:

$$\tau = A_1 \cdot e^{B_1/V_C} \quad (14)$$

式中:  $\tau$  是寿命;  $A_1$ 、 $B_1$  是从初始退化模型获得的拟合参数。此种模型称为  $1/V_C$  模型。沿着温度轴进行外推的模型包括了 Arrhenius 温度加速因子,表示为:

$$\tau = A_2 \cdot e^{B_2/T} \quad (15)$$

此种模型被称为  $1/T$  模型,与  $1/V_C$  模型具有相似的形式。

$1/V_C$  模型和  $1/T$  模型在外推的过程中,都忽略了另外一个加速因子,即温度或电压。所以可能会造成低估可靠性参数。通过结合这两种加速因子可以解决该问题,即通过沿着电压或电场轴和温度轴进行两次连续外推,需要将前者外推的结果当作后者外推的输入数据,可以估算在正常工作电压和正常工作温度下的栅氧化层寿命。该方法对静态和脉冲 NBT 应力作用于 P 沟道功率器件都适用<sup>[23]</sup>。

2) PBTS 退化模型对于 P 沟道功率器件, NBTI 效应比 PBTI 效应的影响更大,而对于 N 沟道功率器件, PBTI 效应比 NBTI 效应的影响更大<sup>[24]</sup>。目前,关于 NBTI 的研究相对成熟,相关的方法可以作为 PBTI 研究的参考。鉴于 N 沟道功率器件实际应用较多,关于 PBTI 的研究对 N 沟道功率器件栅极氧化层的状态监测、寿命估计以及实际应用具有重要意义。

根据目前的研究,与 NBTI 相比,常规 NMOS 在 PBTS 下几乎不会发生退化。然而,功率器件尺寸的不断缩小已经导致无法根据几何尺寸进一步缩放电压并且栅氧化层变得越来越薄,器件的电场和隧穿电流不断增加,为了解决这一问题,引入了高介电常数的栅氧化层材料。其次, NBTI 是基于空穴俘获, PBTI 基于电子俘获,电子俘获产生于高介电常数材料部分,随着高介电常数栅氧化物材料的引入, PBTI 开始发挥重要作用。PBTS 的作用条件和对 NMOS 晶体管的影响如图 8 所示。

文献[25]以阈值电压作为特征参数,采用了幂率-阿伦尼乌斯组合模型来考虑电气和热影响并建立了相应的退化模型,能够精确地描述栅极偏置电压和温度应力下阈值电压的漂移量。该模型可以直接用于功率器件栅极氧化层状态监测进而实现剩余有用寿命(RUL)估计。

$$V_{th}(t) = a \cdot C \cdot \exp(-E_a/kT) \cdot t^n + b \quad (16)$$

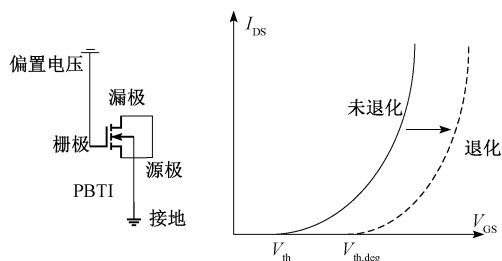


图 8 应力条件和 PBTI 对 NMOS 晶体管的影响

Fig. 8 Stress conditions and impact of PBTI to NMOS transistor

式中:  $a$ 、 $b$ 、 $C$  为拟合参数;  $E_a$  为激活能;  $k$  为玻尔兹曼常数;  $T$  为温度;  $t$  为时间。通过引入该组合模型, 所开发的 PBTI 退化模型可以预测栅极偏置电压和温度的不同应力组合下的阈值电压, 实现 PBTS 条件下对 N 沟道功率器件栅氧化层的状态监测。

### 1.3 电离辐射下栅氧化层状态监测方法

辐射应力会导致功率器件栅氧化物中大量电荷积累, 进而造成栅氧化层退化引起功率器件故障。与电压应力和温度应力的类似, 辐射应力在栅氧化层引起的两种电荷为氧化物陷阱电荷与界面陷阱电荷, 进而引起阈值电压的漂移以及载流子迁移率降低。辐射引起的阈值电压漂移是可靠性的关键问题, 因为可能导致 N 沟道的功率器件的工作模式由增强型转变为耗尽型或者 P 沟道的功率器件电流驱动能力急剧下降。电离辐射也可能导致功率器件其他重要电参数劣化, 如跨导降低。因为辐射条件的稀有性, 只有在特定情况下, 功率器件栅氧化层的退化是辐射应力造成的, 所以, 当前关于辐射应力下栅氧化层退化的研究偏少。多借助于栅氧化层状态监测的特征参数进行。

辐射硬化能力对于处于辐射环境的功率器件至关重要。而在所有辐射效应中, 总剂量效应是最被关注的, 总剂量效应是一种电离辐射效应。目前, 对功率器件总剂量效应的研究非常深入, 其过程<sup>[26]</sup>为电离辐射在 SiO<sub>2</sub> 中激发电子空穴对, 电子在电场作用下流向栅极, 空穴通过跃迁的方式向 SiO<sub>2</sub>/Si 界面移动, 当空穴移动到界面附近, 与界面处的缺陷相互作用, 形成栅氧化层陷阱电荷与界面陷阱电荷。实际上, 功率器件受到单一辐射应力影响的情况较少, 功率器件通常受到偏置应力与辐射应力叠加的影响。文献[27-28]表明在先受到 NBTS 后受到辐射应力的功率器件由于氧化物陷阱电荷与界面陷阱电荷的进一步积累会产生额外的负阈值电压漂移, 而先辐射过的功率器件再受到 NBTS 的影响取决于所接收辐射的总剂量, 即低剂量辐射下 NBTS 会使负阈值电压进一步漂移导致器件栅氧化层进一步退化, 高剂量辐射下 NBTS 会降低负阈值电压漂移。该规律对辐射剂量和阈值电压的关系进行了简单的定性分析。

尽管与总剂量效应相关的研究已经有了许多, 但大部分都集中在从微观上阐述辐射损伤机理上<sup>[29]</sup>, 而对于宏观电参数的定量影响研究很少。文献[30]定量给出了总剂量辐射前后阈值电压的模型如式(17)所示, 根据阈值电压前后的漂移量可用于栅氧化层状态监测。

$$\Delta V_{th,rad} = -\frac{\sqrt{2q\epsilon_s N_A}}{C_{ox}} \times \sqrt{2\psi_B} \times \frac{2N_t}{WN_A} \quad (17)$$

式中:  $q$  为单位电荷量;  $N_A$  为有效的沟道掺杂浓度;  $\psi_B$  为衬底费米电势;  $W$  为沟槽宽度;  $C_{ox}$  为单位面积的栅极氧化物电容;  $\epsilon_s$  为介电常数;  $N_t$  为沟槽氧化层俘获的总电荷, 包括氧化物陷阱电荷和界面陷阱电荷。其次, 功率器件的开关速度和电流驱动, 很大程度上取决于反型层载流子迁移率。根据载流子迁移率降低的一般经验模型, 在电离辐射的环境中, 氧化物陷阱电荷与界面陷阱电荷会造成载流子迁移率的降低。根据文献[31]给出的米勒平台电压公式, 可以推出电离辐射造成载流子迁移率降低进而会导致米勒平台电压升高。据此, 可以将米勒平台电压作为电离辐射条件下功率器件栅氧化层状态监测的特征参数。

## 2 基于米勒效应的栅氧化层状态监测方法

### 2.1 米勒效应

功率半导体器件在开关过程中存在米勒效应。米勒效应的产生与半导体器件内部的寄生电容有关, 以 IGBT 为例, 米勒效应主要体现在开关过程中栅-射极电压形成的米勒平台, 是由栅极集电极电容  $C_{CC}$  的电压依赖性造成的。IGBT 理想导通特性如图 9 所示。IGBT 开关瞬态的栅极电流时刻发生着变化, 从  $t_1$  到  $t_2$ , 集电极电压  $V_{CE}$  开始增加,  $C_{CC}$  减小, 因此, 栅极电流仅对  $C_{CC}$  充电, 栅极电压  $V_{GE}$  保持恒定, 形成米勒平台<sup>[32-33]</sup>。

阶段 1 ( $t_0 < t < t_2$ ): 发射极集电极两端的电压为外部电源电压, 对  $C_{CC}$  和  $C_{CE}$  充电,  $V_{CE}$  以指数速度上升并在  $t_1$  时刻达到阈值电压  $V_{TH}$ , IGBT 导通, 电流  $I_C$  开始增大, 这一阶段  $V_{CE}$  保持不变。

阶段 2 ( $t_2 < t < t_3$ ): 在  $t_2$  时刻, 电流  $I_C$  增大至  $I_L$ ,  $V_{CE}$  开始下降, 并导致  $C_{CC}$  增加,  $C_{CE} \gg C_{CC}$ , 因此, 栅极电流全部或大部分对  $C_{CC}$  充电,  $V_{GE}$  就保持不变或变化很小, 因此形成了米勒平台。

阶段 3 ( $t_3 < t < t_4$ ):  $t_3$  时刻后, 当  $V_{GE}$  不断下降至稳态导通电压  $V_{GE,om}$  时,  $C_{CC}$  便不再变化, 米勒平台消失, 栅极电流开始对  $C_{CE}$  和  $C_{CC}$  都充电。

米勒平台出现的根本原因在于  $C_{CC}$  随着  $V_{CE}$  大小改变而改变。

### 2.2 米勒平台电压

近来, 在阈值电压的基础上提出了米勒平台电压作

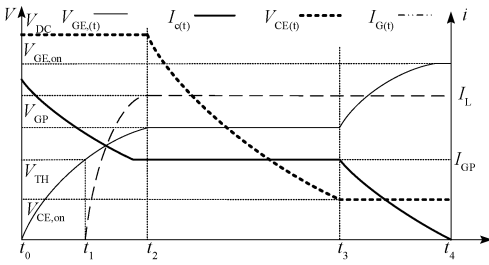


图 9 IGBT 的理想导通瞬态特性

Fig. 9 Ideal turn-on transient characteristics of an IGBT

为栅极氧化层监测的特征参数,在偏置电压的作用下,氧化物电荷与界面陷阱电荷增加,进而提高了载流子迁移率  $\mu$ ,提高了米勒平台电压。

根据文献[31]可得:

$$\frac{\partial V_{GP}}{\partial N_{it}} > 0 \quad (18)$$

$$\frac{\partial V_{GP}}{\partial Q_{ot}} < 0 \quad (19)$$

根据文献[11]可得:

$$\left| \frac{\partial V_{th}}{\partial Q_{ot}} \right| > \left| \frac{\partial V_{GP}}{\partial Q_{ot}} \right|, \left| \frac{\partial V_{th}}{\partial N_{it}} \right| < \left| \frac{\partial V_{GP}}{\partial N_{it}} \right| \quad (20)$$

表明米勒平台电压随着  $N_{it}$  增加而增加,随着  $Q_{ot}$  增加而降低。同时,相对于界面陷阱,米勒平台电压作为特征参数比阈值电压更加灵敏。

根据文献[13]有:

$$\frac{\partial V_{GP}}{\partial \ln t} = \frac{\partial V_{TH}}{\partial \ln t} - \frac{1}{2\mu^{3/2}} \sqrt{\frac{I_C L_{CH}}{C_{ox} Z}} \frac{\partial \mu}{\partial \ln t} > 0 \quad (21)$$

式中:  $\mu$  是沟道载流子迁移率;  $I_C$  是集电极电流;  $L_{CH}$  是沟道长度;  $Z$  是沟道宽度;  $C_{ox}$  为单位面积的栅极氧化物电容。表明米勒平台电压随时间的对数增加,即在栅极偏置电压的作用一段时间后,氧化物陷阱电荷  $Q_{ot}$  的积累,使得米勒平台电压最初下降一部分,但在界面陷阱  $N_{it}$  积累足够后,米勒平台电压大幅增加。

### 2.3 米勒平台持续时间

因与封装相关的失效(如铝的重构和键合线的剥离)造成的栅氧化物退化会降低栅极多晶硅与渗杂区的重叠表面积,进而降低单位面积栅极氧化物电容  $C_{ox}$ 。其次,栅极下方的导电沟道难以形成,将造成耗尽层电容  $C_{dep}$  趋近于 0,两者变化的结果会造成米勒平台持续时间降低。

因与芯片相关的失效(如 TDDB 和静电放电)造成的栅氧化层失效会增加栅极氧化物陷阱电荷和界面陷阱电荷,进而增加单位面积栅极氧化物电容  $C_{ox}$  与米勒电容  $C_{GC}$ 。导致米勒平台时间的延长<sup>[34]</sup>。根据 2.2 节,高栅极偏置电压应力会增加米勒平台电压水平,进而也会增

加米勒平台持续时间。

同时,根据文献[31]可得:

$$\frac{\partial t_{GP}}{\partial N_{ot}} < 0 \quad (22)$$

$$\frac{\partial t_{GP}}{\partial N_{it}} > 0 \quad (23)$$

对米勒平台持续时间求偏导数,可以得到<sup>[13]</sup>:

$$\frac{\partial t_{GP}}{\partial \ln t} = R_C C_{GC,av} \frac{V_{CE}}{(V_C - V_{GP})^2} \frac{\partial V_{GP}}{\partial \ln t} > 0 \quad (24)$$

式中:  $R_C$  是栅极电阻;  $C_{GC,av}$  是瞬态期间栅极-集电极之间的假定平均值;  $V_C$  是栅极电压;  $V_{CE}$  是集电极-发射极电压。表明米勒平台持续时间是关于应力作用时间对数的线性增函数。米勒平台电压和米勒平台持续时间退化趋势如图 10 所示,并给出了退化过程中参数的大小关系。与阈值电压的退化趋势相似,在退化的较短时间内,米勒平台电压与米勒平台持续时间持续降低,随后,反弹升高。

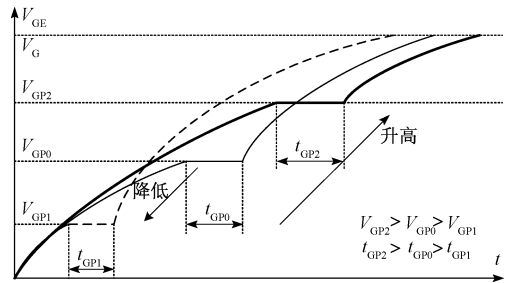


图 10 米勒平台电压与米勒平台持续时间退化趋势

Fig. 10 Degradation trend of miller plateau voltage and miller plateau duration

## 3 其他状态监测方法

### 3.1 通态电阻

通态电阻在栅极偏置应力作用于栅氧化层期间变化很大,栅氧化物退化而产生的电荷主要影响导通电阻中的积层电阻  $R_A$  和接触电阻  $R_C$ ,电阻的变化反映了栅氧化层退化的状态。相关的加速退化实验已经证明导通电阻随栅氧化层退化明显增加<sup>[35]</sup>。

文献[31]给出了积层电阻  $R_A$  和接触电阻  $R_C$  关于氧化物电荷密度和界面陷阱密度的偏导关系。

$$\frac{\partial R_{CH}}{\partial N_{ot}} < 0 \quad (25)$$

$$\frac{\partial R_{CH}}{\partial N_{it}} > 0 \quad (26)$$

$$\frac{\partial R_A}{\partial N_{ot}} < 0 \quad (27)$$



$$\frac{\partial R_A}{\partial N_{it}} > 0 \quad (28)$$

表明在栅氧化层受偏置应力退化的过程期间, 积层电阻  $R_A$  和接触电阻  $R_C$  随偏置应力产生的氧化物电荷和界面陷阱电荷改变。

随着温度的升高, 载流子迁移率降低, 造成通态电阻升高。适用于偏置温度应力下栅氧化层状态监测。

### 3.2 栅氧化层电容

栅氧化层退化往往伴随着  $\text{SiO}_2$  介电常数的改变, 进而导致栅氧化层电容的改变。在应力作用的早期, 空穴俘获导致栅氧化物电容  $\epsilon_{ox}$  增加, 随后, 电子俘获导致  $\epsilon_{ox}$  降低。文献[36]以栅氧化层电容  $\epsilon_{ox}$  作为状态监测特征参数, 并用  $\epsilon_{oxinc}$  表示为电容的增加部分,  $\epsilon_{oxdec}$  表示为电容的降低部分, 分段给出了 N 沟道 BS107A MOSFET 栅氧化层电容的退化模型。

$$\epsilon_{oxinc} = \frac{q\Delta N_{ot}}{\Delta V_{ot}} = 268t, t_{stress} \leq 20 \text{ min} \quad (29)$$

$$\epsilon_{oxdec} = \frac{q\Delta N_{ot}}{\Delta V_{ot}} = 2724t^{-10017}, t_{stress} \geq 20 \text{ min} \quad (30)$$

式中:  $\Delta N_{ot}$  是氧化物陷阱密度变化量;  $\Delta V_{ot}$  是氧化物陷阱引起的阈值电压变化量。其他功率器件同样地与有该变化趋势相似的模型, 可以用作状态监测。

综上, 栅氧化层退化过程会影响诸多参数。文献[37]表明, 偏置温度不稳定性会对饱和漏极电流  $I_{dsat}$ 、跨导  $g_m$  和亚阈值斜率  $S$  产生影响, 关于栅氧化层退化过程中这些参数的具体变化规律有待进一步研究, 以确定是否能够作为栅氧化层状态监测的特征参数。

## 4 状态监测方法性能分析与对比

为了分析特征参数的性能, 需要对衡量性能的指标做出具体的定义, 灵敏度系数定义为单位时间内的参数改变量, 即参数的变化率。可以推导出:

$$\frac{\partial V_{GP}}{\partial \ln t} > \frac{\partial V_{TH}}{\partial \ln t} \quad (31)$$

相关公式涉及到的常用取值如表 1 所示, 通过常用数值带入可以推导得到:

$$\frac{\partial V_{GP}}{\partial \ln t} > \frac{\partial t_{GP}}{\partial \ln t} \quad (32)$$

因此, 米勒平台电压在时间上的灵敏度最高, 采用米勒平台电压作为栅氧化层退化监测的特征参数具有较高的灵敏度, 对参数测量仪器的精度要求最低, 可以最早检测出栅氧化层故障。

对各表达式进行比较同时根据实际中的常用取值进行简单估算, 并对估算得出的各参数值的灵敏度按照大

表 1 涉及参数的常用取值

参数	$R_C/\Omega$	$Z/\text{cm}$	$\mu/(\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1})$	$\mu_{na}/(\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1})$	$L_{ch}/\mu\text{m}$	$L_A/\mu\text{m}$
数值	50	1	450	1000	1	1
参数	$V_G/\text{V}$	$V_{th}/\text{V}$	$C_{ox}/\text{F}$	$t_{ox}/\text{nm}$	$\alpha_0/\text{m}^2$	$\alpha_1/\text{m}^2$
数值	10	3	$3.4 \times 10^{-3}$	10	$2 \times 10^{-16}$	$3.5 \times 10^{-15}$

小依次分为 4、3、2、1 级, 并根据测量方法预估各参数的在线测量能力<sup>[38]</sup>, 其中, 通态电阻一般不能在线测量, 结果如表 2 所示。

表 2 特征参数关于各性能指标的相对大小

Table 2 The relative size of characteristic parameters with respect to each performance index

	对时间灵敏性	在线测量	对 $Q_{it}$ 的敏感性	对 $Q_{ot}$ 的敏感性
$V_{TH}$	3	3	4	2
$V_{GP}$	4	3	3	1
$T_{GP}$	1	3	2	3
$R_{ON}$	3	1	1	4

根据表 2 的相对大小, 可以做出各特征参数的性能指标直观雷达图如图 11 所示。据此可以得出阈值电压是最适合作为观察负向偏移的特征参数, 而通态电阻和米勒平台持续时间更适合作为观察正向偏移的特征参数。

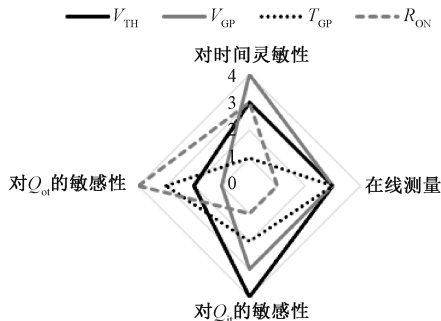


图 11 栅氧化物退化特征参数性能比较

Fig. 11 Performance comparison of gate oxide degradation characteristic parameters

## 5 栅氧化层状态监测研究的挑战与展望

目前, 对栅极氧化层进行状态监测所用的特征参数多是阈值电压, 相关的退化模型也是与阈值电压漂移量的退化模型, 未来有待开发关于其他特征参数的退化模型。为了进一步提高功率器件的可靠性, 关于栅氧化层监测仍需大量工作, 目前面临如下挑战。

完善 PBTS 下栅氧化层状态监测方法。目前, 在实



际应用中, N 沟道功率器件运用更加广泛。以负偏置温度不稳定性为基础针对 N 沟道功率器件的状态监测方法仍然不足, 完善针对 N 沟道功率器件状态监测方法是实现功率器件高可靠性和解决实际工业需求的前提。

探索多种监测方法的组合。功率器件的电参数之间相互耦合, 使用单一特征参数进行状态监测会带来精确度问题, 多种特征参数以及退化模型的方法的结合为功率器件高可靠性的实现提供了可能。

宽禁带功率器件栅氧化层的研究。基于 SiC 等宽禁带半导体材料的新型功率器件在可预见的未来将会广泛使用。然而, SiC 功率器件相对于 Si 功率器件栅氧化层的可靠性更低更易退化<sup>[39-40]</sup>。开发针对新一代功率半导体器件栅氧化层状态监测方法是为其广泛应用奠定基础。

## 6 结 论

栅氧化层作为一种薄绝缘层, 对于功率半导体器件的性能具有重要作用, 随着栅氧化层厚度已经降低至极限, 外部应力对栅氧化层的影响越来越大。因此, 栅氧化层状态监测对功率器件可靠性的提高是有必要的。本文综述了功率半导体器件在偏置电压应力、偏置温度应力、电离辐射条件下基于阈值电压和阈值电压退化模型的栅氧化层状态监测方法, 重点介绍了负偏置温度应力下的几种退化模型。并对米勒效应电参数进行了归纳, 对米勒平台电压和平台持续时间随栅氧化层退化的变化趋势进行了详细分析, 阐述了作为栅氧化层状态监测特征参数的可行性。补充了基于通态电阻和栅氧化层电容的状态监测方法。在此基础上, 对部分状态监测方法的性能和部分指标灵敏度进行了分析对比, 展望了未来栅氧化层状态监测的研究方向。

## 参考文献

- [ 1 ] 钱照明, 张军明, 盛况. 电力电子器件及其应用的现状和发展[J]. 中国电机工程学报, 2014, 34(29): 5149-5161.
- QIAN ZH M, ZHANG J M, SHENG K. Current status and development of power electronic devices and their applications[J]. Proceedings of The Chinese Society for Electrical Engineering, 2014, 34(29): 5149-5161.
- [ 2 ] NGUYEN T, AHMED A, THANG T V, et al. Gate oxide reliability issues of SiC MOSFETs under short-circuit operation [J]. IEEE Transactions on Power Electronics, 2015, 30(5): 2445-2455.
- [ 3 ] 李学生, 张新闻, 常玉峰, 等. 基于半导体功率损耗的小型风电变换器可靠性研究[J]. 电力系统保护与控制, 2015, 45(19):15-21.

- LI X SH, ZHANG X W, CHANG Y F, et all. Research on reliability of small wind power converter based on semiconductor power loss [J]. Power System Protection and Control, 2015, 45(19):15-21.
- [ 4 ] 唐圣学, 王维威, 马强, 等. 三电平逆变器 IGBT 器件接线故障在线诊断方法研究[J]. 仪器仪表学报, 2020, 41(11):19-30.
- TANG SH X, WANG W W, MA Q, et all. Research on on-line diagnosis method of IGBT device wiring faults in three-level inverter [J]. Chinese Journal of Scientific Instrument, 2020, 41(11):19-30.
- [ 5 ] 王晨苑, 何怡刚, 王传坤, 等. 高压多芯片并联 IGBT 模块故障监测方法[J]. 电子测量与仪器学报, 2020, 34(10):98-106.
- WANG CH Y, HE Y G, WANG CH K, et all. Method for fault monitoring of high-voltage multi-chip parallel IGBT module[J]. Journal of Electronic Measurement and Instrumentation, 2020, 34(10):98-106.
- [ 6 ] OH H, HAN B, MCCLUSKEY P, et al. Physics-of-failure, condition monitoring, and prognostics of insulated gate bipolar transistor modules: A review [J]. IEEE Transactions on Power Electronics, 2015, 30(5): 2413-2426.
- [ 7 ] 孔美娟, 李志刚, 李雄, 等. IGBT 功率模块状态监测技术研究现状[J]. 半导体监测与设备, 2017, 42(2): 145-152.
- KONG M J, LI ZH G, LI X, et al. Research status of condition moniting technology in IGBT power module[J]. Semiconductor Testing and Equipment, 2017, 42(2): 145-152.
- [ 8 ] HAYASHI S I, WADA K. Accelerated aging test for gate-oxide degradation in SiC MOSFETs for condition monitoring [J]. Microelectronics Reliability, 2020, DOI:10.1016/j.microrel.2020.113777.
- [ 9 ] JENSEN W R, FOSTER S N. Online MOSFET condition monitoring for inverter-driven electric machines[C]. 2019 IEEE 12th International Symposium on Diagnostics for Electrical Machines, Power Electronics and Drives (SDEMPED), 2019: 398-404.
- [ 10 ] LELIS A J, GREEN R, HABERSAT D B, et al. Basic mechanisms of threshold-voltage instability and implications for reliability testing of SiC MOSFETs[J]. IEEE Transactions on Electron Devices, 2015, 62(2): 316-323.
- [ 11 ] YE X R, CHEN C, WANG Y X, et al. Online condition monitoring of power MOSFET gate oxide degradation based on miller platform voltage[J]. IEEE Transactions on Power Electronics, 2017, 32(6): 4776-4784.

- [12] LELIS A. Cause and effect of threshold-voltage instability on the reliability of silicon-carbide MOSFETs [D]. Maryland: University of Maryland, 2011.
- [13] KARKI U, GONZÁLEZ-SANTINI N S, PENG F Z. Effect of gate-oxide degradation on electrical parameters of silicon carbide MOSFETs[J]. IEEE Transactions on Electron Devices, 2020, 67(6): 2544-2552.
- [14] DANKOVIĆ D, STOJADINOVIĆ N, PRIJIĆ Z, et al. Analysis of recoverable and permanent components of threshold voltage shift in NBT stressed p-channel power VDMOSFET[J]. Chinese Physics B, 2015, 24(10): 386-394.
- [15] DANKOVIĆ D, MANIĆ I, PRIJIĆ A, et al. Negative bias temperature instability in P-channel power VDMOSFETs: Recoverable versus permanent degradation [J]. Semiconductor Science Technology, 2015, 30(10): 105009.
- [16] MITROVIĆ N, DANKOVIĆ D, PRIJIĆ Z, et al. Modelling of  $\Delta V_T$  in NBT Stressed P-Channel Power VDMOSFETs[C]. IEEE 31st International Conference on Microelectronics (MIEL), 2019:177-180.
- [17] DANKOVIĆ D, MANIĆ I, DAVIDOVIĆ V, et al. On the recoverable and permanent components of NBTI in p-channel power VDMOSFETs[J]. IEEE Transactions on Device and Materials Reliability, 2016, 16(4): 522-531.
- [18] DANKOVIĆ D, MANIĆ I, STOJADINOVIĆ N, et al. Modelling of threshold voltage shift in pulsed NBT stressed P-channel power VDMOSFETs[C]. IEEE 30th International Conference on Microelectronics (MIEL), 2017:147-152.
- [19] DANKOVIĆ D, MANIĆ I, PRIJIĆ A, et al. A review of pulsed NBTI in P-channel power VDMOSFETs [J]. Microelectronics Reliability, 2018, 82: 28-36.
- [20] REISINGER H, GRASSER T, GUSTIN W, et al. The statistical analysis of individual defects constituting NBTI and its implications for modeling DC-and AC-stress[C]. IEEE International Reliability Physics Symposium, 2010: 7-15.
- [21] DANKOVIĆ D, STOJADINOVIĆ N, PRIJIĆ Z, et al. Recoverable and permanent components of  $V_T$  shift in pulsed NBT stressed P-channel power VDMOSFETs[C]. 29th International Conference on Microelectronics Proceedings, 2014: 297-300.
- [22] MANIĆ I, DANKOVIĆ D, PRIJIĆ A, et al. NBTI related degradation and lifetime estimation in p-channel power VDMOSFETs under the static and pulsed NBT stress conditions[J]. Microelectronics Reliability, 2011, 51(9-11): 1540-1543.
- [23] DANKOVIĆ D, MANIĆ I, PRIJIĆ A, et al. Effects of static and pulsed negative bias temperature stressing on lifetime in p-channel power VDMOSFETs [J]. Informacije Midem-Journal of Microelectronics Electronic Components and Materials, 2013, 43(1): 58-66.
- [24] ABBOUD N, HABCH R, CUMINAL Y, et al. Comparison between positive and negative bias stress on N-channel VDMOSFET transistors [J]. International Journal of Structural Integrity, 2013, 4(2): 267-274.
- [25] YE X R, ZHANG K X, CHEN C, et al. The threshold voltage degradation model of N Channel VDMOSFETs under PBT stress [J]. Microelectronics Reliability, 2018, 91(1): 46-51.
- [26] 谭桢, 魏志超, 孙亚宾. 等. 功率半导体器件辐射效应综述[J]. 微电子学, 2017, 47(5): 690-694.
- TAN ZH, WEI ZH CH, SUN Y B, et al. The radiation effects of power semiconductor devices: A review [J]. Microelectronics, 2017, 47(5): 690-694.
- [27] DAVIDOVIĆ V, DANKOVIĆ D ILIĆ A, et al. NBTI and irradiation effects in p-channel power vdmos transistors[J]. IEEE Transactions on Nuclear Science, 2016, 63(2): 1268-1275.
- [28] STOJADINOVIĆ N, DJORIĆ-VELJKOVIĆ S, DAVIDOVIĆ V, et al. NBTI and irradiation related degradation mechanisms in power VDMOS transistors [J]. Microelectronics Reliability, 2018, 88-90: 135-141.
- [29] DROSDETSKY M G, ZEBREV G I, GALIMOV A M, et al. Physical mechanisms of radiation response in thick isolation oxides for different temperatures and dose rates[C]. 15th European Conference on Radiation & Its Effects on Components & Systems (RADECS), 2015: 1-4.
- [30] LI T H, YANG Y T, LIU J, et al. Forward body bias for characterizing TID effect in CMOS integrated circuits[C]. IEEE 24th International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA), 2017: 1-5.
- [31] KARKI U, PENG F Z. Effect of Gate-Oxide Degradation on Electrical Parameters of Power MOSFETs[J]. IEEE Transactions on Power Electronics, 2018, 33(12): 10764-10773.
- [32] LIU J C, ZHANG G G, CHEN Q, et al. Online junction temperature extraction and aging detection of IGBT via Miller plateau width [C]. IEEE Applied Power Electronics Conference and Exposition (APEC), 2018.
- [33] 李乐乐, 李建成, 王洪利, 等. 栅极低电压对关断瞬态的影响[J]. 电气技术, 2018, 19(11): 10-14, 21.
- LI L L, LI J CH, WANG H L, et al. Influence of low gate voltage on turn-off transient [J]. Electrical

- Engineering, 2018, 19(11):10-14,21.
- [34] LIU J C, ZHANG G G, CHEN Q, et al. In situ condition monitoring of IGBTs based on the miller plateau duration[J]. IEEE Transactions on Power Electronics, 2019, 34(1): 769-782.
- [35] CHEN C, YE X R, WANG Y X, et al. PHM application of power converters using health precursor of power MOSFETs [ C ]. Prognostics and System Health Management Conference (PHM), 2015: 1-5.
- [36] SEZGIN-UGRANL H G, ÖZÇELEP Y. A new approach for VDMOSFETS' gate oxide degradation based on capacitance and subthreshold current measurements under constant electrical stress [ J ]. IEEE Transactions on Electron Devices, 2018, 65(4):1650-1652.
- [37] CHAUDHARY A, MAHAPATRA S. A physical and SPICE mobility degradation analysis for NBTI[J]. IEEE Transactions on Electron Devices, 2013, 60 ( 7 ): 2096-2103.
- [38] 任磊, 龚春英. 一种电力电子变换器功率 MOSFET 阈值电压在线监测方法 [ J ]. 电工技术学报, 2018, 33(15):3627-3634.
- REN L, GONG CH Y. An on-line monitoring method for threshold voltage of the power MOSFET in power electronic converters [ J ]. Transactions of China Electrotechnical Society, 2018, 33(15):3627-3634.
- [39] JENSEN W R, FOSTER S N. Online detection of MOSFET gate oxide degradation in a three-phase inverter-drive application [ J ]. IEEE Transactions on Transportation Electrification, 2021, 7(1):50-57.

- [40] KARKI U. Effect of gate-oxide degradation on electrical parameters of silicon and silicon carbide power MOSFETs[D]. Lansing: Michigan State University, 2019.

### 作者简介



何怡刚, 1992 年于湖南大学获得硕士学位, 1996 年于西安交通大学获得博士学位, 现为合肥工业大学教授博士生导师, 国家杰出青年科学基金获得者。研究方向为模拟和混合集成电路设计、测试与故障诊断、电信号检测、智能电网、卫星通信监控以及智能信号处理。

E-mail:18655136887@163.com

**He Yigang** received his M. Sc. degree from Hunan University in 1992 and Ph. D. degree from Xi'an Jiaotong University in 1996. Now he is a professor at Hefei University of Technology. He is the winner of National Distinguished Young Scientists Foundaion. His main research interests include in the areas of power electronic circuit theory and its applications, testing and fault diagnosis of analog and mixed-signal circuits, electrical signal detection, smart grid satellite communication monitoring, and intelligent signal processing.



孙豪, 2018 年于东北林业大学获得学士学位, 现为合肥工业大学硕士研究生, 研究方向为功率半导体器件可靠性。

E-mail:sunhaoluoshang@163.com

**Sun Hao** received his B. Sc. degree from Northeast Forest University in 2018. Now he is a M. Sc. candidate at Hefei University of Technology. His main research interest includes Power electronics reliability.