

DOI: 10. 13382/j. jemi. B2103851

625 MS/s、12 bit 双通道时间交织 ADC 的设计研究^{*}

曹 宇 苗 澎 黎 飞 王 欢
(东南大学 信息科学与工程学院 南京 211100)

摘 要:基于 40 nm CMOS 工艺,设计了一款 625 MS/s、12 bit 双通道时间交织模数转换器(ADC)。单通道 ADC 采用了前端无采保模块的流水线架构以降低系统功耗。系统采用了宽带高线性度前级驱动电路以及高速高精度栅压自举开关以保证交织系统的有效输入带宽。一种基于辅助通道的后台校正算法被用于校正通道间采样时间失配,该后台校正方法可适用于完全随机输入信号。芯片核心面积为 0. 69 mm²。后仿真结果表明,该 625 MS/s、12 bit 时间交织 ADC 在全速率下进行奈奎斯特采样,系统无杂散动态范围(SFDR)为 67 dB,信号-失真噪声比(SNDR)为 58. 5 dB,功耗为 295 mW,满足设计指标,证明了设计的有效性。

关键词:时间交织;流水线 ADC;栅压自举开关;采样时间失配

中图分类号: TN432;TN453 **文献标识码:** A **国家标准学科分类代码:** 510. 3040

Design research of 625 MS/s, 12 bit two-channel time interleaved ADC

Cao Yu Miao Peng Li Fei Wang Huan
(School of Information Science and Engineering, Southeast University, Nanjing 211100, China)

Abstract:A 625 MS/s, 12 bit two-channel time interleaved ADC is designed in 40nm CMOS process. The single channel is pipeline ADC with no sample-and-hold-amplifier (SHA) front-end for low-power consumption. A wideband and high-linearity foreground input buffer and a high speed and high precision bootstrapped switch are used for ensuring the effective input bandwidth of the interleaved system. A background calibration algorithm based on reference channel is applied for sampling time mismatch calibration between channels. This background calibration method is appropriate for completely random input signals. The core area of the system is 0. 69 mm². The post-simulation results show that the 625 MS/s, 12 bit time interleaved ADC achieves 67 dB of SFDR and 58. 5 dB of SNDR with the Nyquist sampling at full sampling speed, while its power consumption is 295 mW, which meets the design targets and confirms the effectiveness of the design.

Keywords:time interleaved; pipeline ADC; bootstrapped switch; sampling time mismatch

0 引 言

高速高精度时间交织模数转换器(ADC)在精密仪器仪表、智能传感以及高速数据传输等领域均有广泛应用^[1-3]。随着通信技术的不断发展,ADC 的性能也不断提升。为了突破 ADC 的速度瓶颈,ADC 在维持 ADC 转换精度不变的情况下,将多个 ADC 交织在一起并行工作,实现总体工作速率的倍增,是提升 ADC 转换速度的

有效手段,在近些年得到了越来越多的关注^[4-12]。时间交织 ADC 的性能受到其前端采样保持模块速度和精度的约束。由于高精度 ADC 的采样普遍依赖栅压自举开关,故高速高精度栅压自举开关的设计对于时间交织 ADC 的系统整体影响非常关键。针对高速应用,多种改进结构的栅压自举开关被提出。Ramkaj 等^[5]提出了一种自举加速导通的结构,其可以让自举电容下极板提前导通,从而减小自举结构的跟踪时间。但是自举电容下极板电压初始提升速度依然较慢。Devarajan

等^[6]发表了另一种改进版本的栅压自举开关,其在开关从保持相位切换到跟踪相位时用一个相位提前的时钟信号加快开关管栅压的提升速度,代价是多路时钟带来的

串扰和采样时钟设计复杂度的提升。该高速栅压自举开关会降低系统采样精度。

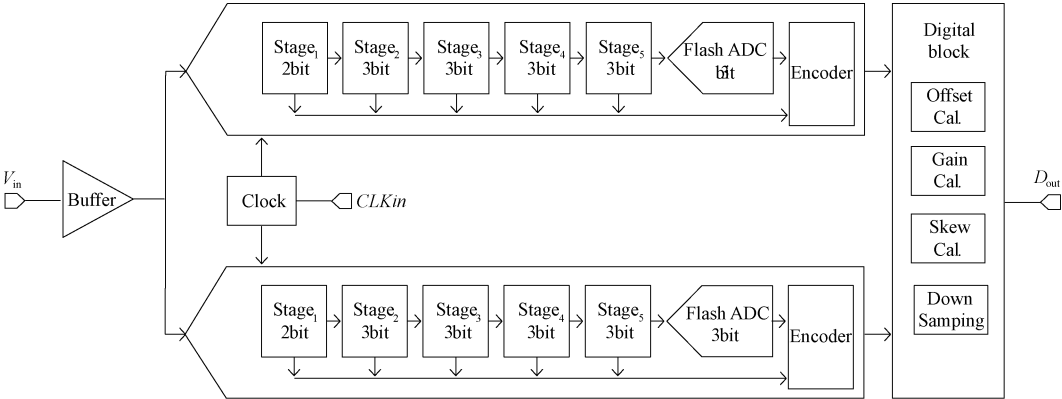


图 1 双通道时间交织 ADC 框图

Fig. 1 Two-channel time-interleaved ADC diagram

此外,时间交织 ADC 的性能受各通道间失调、增益和采样时间失配的影响。其中,采样时间失配的影响和输入信号类型有关,且其对系统性能的恶化会随输入信号频率的增加而增大,是高速高精度时间交织 ADC 中最主要的误差源之一。针对通道间采样时间失配校正的方法分成前台校正和后台校正两类。后台校正因为不会打断系统的正常工作,是校正方法中的一个重要的分支,也是目前的研究热点之一^[7-15]。后台校正的主要缺陷是其对输入信号类型的约束。叶凡^[8]提出用内插滤波器作为通道间采样时间误差检测方法和校准参考,用 LMS-FIR 滤波器进行采样时间误差校正,该方法的主要问题是输入信号带宽被约束在单通道的带宽内。文献[9]采用导数滤波器对信号做一阶泰勒展开可以用于检测采样时间误差,但是当采样时间误差较大时,检测误差会因为检测电路对输入信号导数的拟合性变差而增大,不适合用于大范围采样时间误差的检测。Chammas 等^[10]提出的基于自相关性的误差统计方法可以将输入信号拓展到广义稳态随机平稳类型,极大地放宽了后台校正算法对输入信号的约束。但是该方法要求输入信号的能量在频谱上均匀分布,不适用于完全随机输入信号。

本文设计了一款 625 MHz、12 bit 双通道时间交织 ADC。其单通道采用流水线架构。系统针对高速应用设计了一款新型高速高精度栅压自举开关。本文提出的栅压自举开关能够在高速采样的前提下兼顾精度的要求,在实现采样信号的快速建立和跟踪的同时不会降低信号的跟踪精度和采样精度,更适用于高速高精度时间交织 ADC。针对后台校正对输入信号的约束问题,本文设计的后台校正方法利用辅助通道提取待校准通道的采样时间失配相关误差,并利用延时线电路对采样时钟相位进

行补偿。该方法适用于任意类型的输入信号,也即信号不仅在时域可以随机化,在频域的能量分布也可以随机化。信号的唯一约束仅为奈奎斯特采样定律所限定的信号带宽。对于欠采样应用,该后台校正方法也可以处理位于不同奈奎斯特区间的输入信号。本文提出的校正方法结构简单,可以扩展到任意通道数的时间交织 ADC。

1 双通道 ADC 系统结构

本文所设计的 625 MHz、12 bit 双通道时间交织 ADC 电路的系统结构如图 1 所示。其中单通道为流水线 ADC,采用首级 2 bit+5 级 3 bit 结构。为降低功耗,该流水线 ADC 采用无采保结构^[16],即不设置前置采保模块,将其与首级流水级中的采保模块合并。首级流水级的采样电容值根据 KT/C 指标来确定并留有一定的余量。为了降低功耗和面积,后级流水级采用逐级缩减技术,其采样电容值随着流水级对输入信号精度要求的降低而逐级减小。各个流水级采用的采样电容值如表 1 所示。

表 1 流水线 ADC 各流水级等效采样电容

Table 1 The equivalent sampling capacitance in each stage of the pipeline ADC

流水级	第 1 级	第 2 级	第 3 级	第 4 级	第 5 级
采样电容/pF	2	1	0.25	0.25	0.25

系统输入前端通过驱动电路保证输入信号的线性度。驱动电路由带前馈结构的差分源跟随电路构成^[17]。电路中前馈电容和负载电容容值相同。该结构利用跨导

较大的共栅极放大管的源端相对于前馈电容形成虚地,则从输入端流过前馈电容的电流和流过负载的电流近似相同。由于源跟随管不提供交流输出,故其跨导可以维持不变,从而保证输出相对于输入有良好的跟随特性。这种采用前馈电容的前级驱动电路相对于典型源跟随器其线性度更高且在线性度相同时功耗更低^[17]。

单通道的数字输出送入校正模块,对通道间的失调失配、增益失配以及采样时刻失配进行校正。为便于测试,校正后的系统输出经过降采样后转换成低速数字码流。

2 高速高精度栅压自举开关

多通道时间交织 ADC 对其采保电路速度提出了更高的要求。相对于单通道 ADC, M 路单通道交织后形成的系统,其输入信号带宽理论上会扩展到之前的 M 倍,这意味着采保电路的有效输入带宽及跟踪速度的要求比单通道工作时也要同比提高 M 倍,如图 2 所示。由于高精度 ADC 普遍采用栅压自举开关作为采样开关以保证足够的采样精度,故高速栅压自举开关的设计是保证时间交织 ADC 前端采样性能的关键。

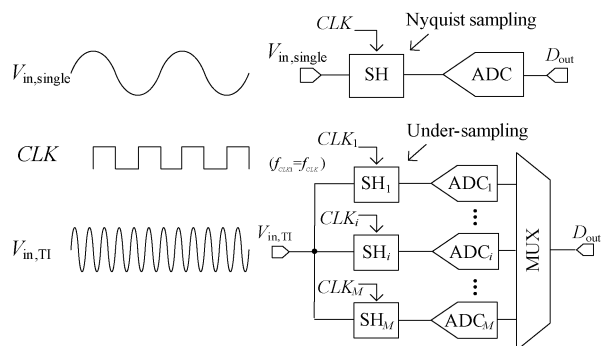


图2 单通道和时间交织系统输入信号频率对比

Fig. 2 The comparison of input frequency between single channel and time-interleaved system

本文系统的采样过程由单通道 ADC 首级采样模块完成,如图 3 所示。由于流水线 ADC 采用无采保结构,故首级流水级中的栅压自举开关同时驱动 MDAC 和比较器的输入电容并完成采样。该栅压自举开关需要满足交织后系统采样速度和精度的需求。

图 4 所示为本文提出的高速高精度栅压自举开关原理框图。 M_1 是采样开关管, C_s 是采样电容。 M_1 在采样时钟的控制下通断,对输入信号 V_{in} 进行采样。 M_2 、 C_{boost} 以及 M_3 构成自举结构。在采样相位, M_2 和 M_3 导通,输入信号通过 C_{boost} 自举到 $V_{DD} + V_{in}$,并加载到 M_1 的栅极。故 M_1 的栅极和源级之间的电压差始终维持在 V_{DD} ,以维持 M_1 良好的导通效果并抑制其等效导通电阻的变化,提

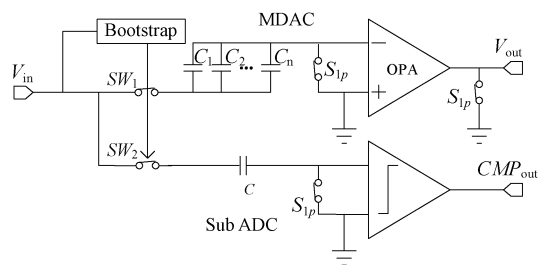


图3 无采保结构流水级

Fig. 3 SHA-less stage

高采样精度。 M_{13} 、 M_{14} 、 M_{15} 和 C_1 构成了 M_5 的栅压控制电路。 C_1 和 M_{13} 形成电平移位结构。 V_{in} 从 C_1 的上级板输入后, C_1 的下极板输出为 $V_{in} - V_{CM}$,其相对于 V_{in} 则产生了 $-V_{CM}$ 的电平移位。 M_{14} 和 M_{15} 构成反相器。当采样开关处于跟踪相位时, M_5 的栅压被该反相器下拉至 $V_{in} - V_{CM}$ 。当采样开关处于保持相位时, M_5 栅压被上拉至 V_{DD} 。

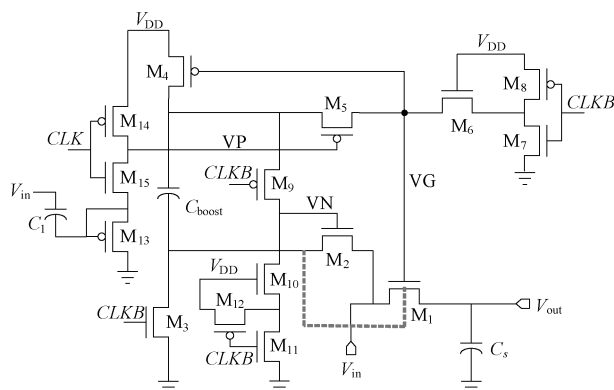


图4 高速栅压自举开关结构

Fig. 4 High speed bootstrapped switch structure

典型栅压自举开关中 M_5 的栅源电压在跟踪相位下为 V_{DD} ,该结构中 M_5 的栅源电压在跟踪相位下为 $V_{DD} + V_{CM}$,故其等效导通电阻更小,从而使开关获得更小的建立时间。若 M_5 的栅压直接受时钟控制,在采样阶段其栅级可以接地从而获得更大的栅源电压。然而此时 M_5 的栅源电压随输入信号变化。对于大摆幅输入信号,变化的 M_5 导通电阻会使得开关管 M_1 的栅压跟随 V_{in} 的效果变差,降低采样精度。本文采用的 M_5 栅压控制结构可以使得 M_5 在跟踪状态下的导通阻抗比典型结构更小,建立自举电压的速度更快。同时保证其栅压跟随输入信号变化,以使得该导通电阻在采样过程中恒定,不影响采样精度。 M_9 、 M_{10} 、 M_{11} 和 M_{12} 构成 M_2 的栅压控制电路。当采样模块从保持相位切换到跟踪相位时, M_9 导通, M_2 电压上升。同时 M_{11} 和 M_{12} 形成的反相器输出为高电平,通过 M_{10} 给 M_2 栅极充电,加速 M_2 的导通速度。由于 MOS 开关关断速度的要求,在正常尺寸下 M_{11} 尺寸要大于

M_9 。故利用 M_{11} 构成的反相器充电速度超过了 M_9 , 可以迅速将 M_2 的栅压抬高至 $V_{DD}-V_{th}$ 。 M_7 和 M_8 组成的反相器驱动也形成了对 M_1 栅极的“快充”结构, 原理和 M_2 的栅极充电相同。 M_1 是深 N 阱管, 其衬底连接到自举电容的下极板, 以钳制其源端和衬底的电压在跟随相位时不变, 进一步恒定开关管的导通电阻, 提高采样精度。 电路中个关键节点的电压变化如图 5(a) 所示。 相对于典型结构, 该新型栅压自举开关的自举电压建立速度以及输出跟踪输入信号的速度大大加快, 如图 5(b) 所示。 此外, 由于 M_8 的引入能够降低 VG 点的寄生电容, 所以该结构相对于典型结构精度也有所提高。

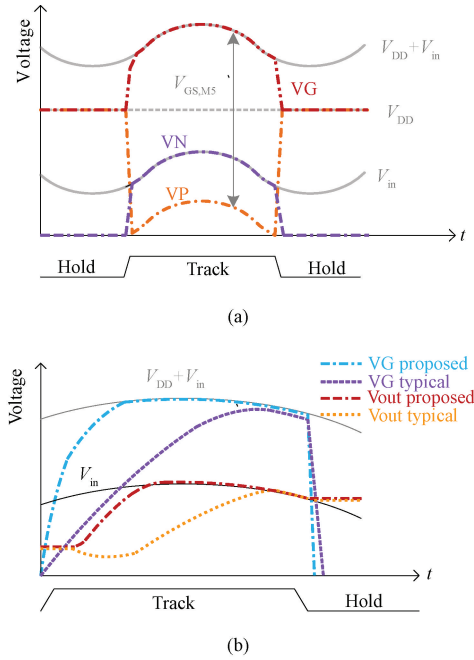


图 5 (a) 本文提出的栅压自举开关各节点波形示意图; (b) 本文提出的高速结构和典型结构信号跟踪过程对比

Fig. 5 (a) The waveform of each node in the proposed bootstrapped switch; (b) The comparison of signal tracking process between the proposed and structure the typical structure

图 6 所示本文提出的高速栅压自举开关和典型结构以及文献[5]的结构在奈奎斯特采样状态下扫描 f_s 对应有有效位数的对比。这 3 种栅压自举开关的开关管尺寸相同且采样电容 C_s 均为 2 pF。以 11 bit 的有效位数 (ENOB) 为参考, 典型结构的有效输入带宽只有约 90 MHz, 而本文提出的高速结构有效输入带宽可达 300 MHz。文献[5]提出的结构虽然在低频段的有效位数更高, 但是有效输入带宽只有 250 MHz 且当 f_s 超过 500 MHz 时其精度下降明显。本文提出的栅压自举开关结构在有效输入带宽上得到了明显的拓展, 且精度上也有所提升。

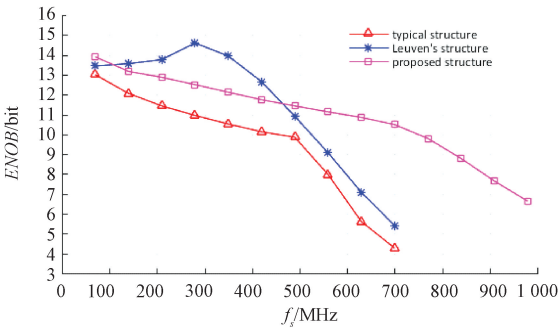


图 6 本文提出的栅压自举开关和典型结构的性能对比

Fig. 6 The performance comparison between the proposed bootstrapped switch and the typical structure

3 通道间采样时间误差校正算法

3.1 采样时间误差检测

对于一个 M 通道交织的 ADC, 通道 i 的理想采样边沿和实际采样边沿的偏差记为 τ_i , 则 τ_i 会产生通道 i 的采样误差 $D_{diff,i}$, 如图 7 所示。

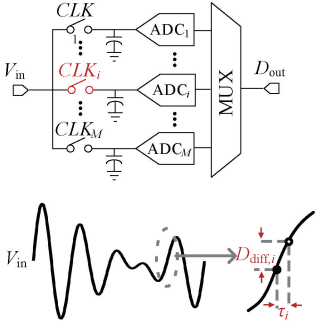


图 7 通道 i 采样时间误差的一阶近似

Fig. 7 The first order approximation of the sampling time error in channel i

对于工作在数百兆赫兹至千兆赫兹频段的 ADC 而言, 采样时间误差通常不会超过 ps 量级, 远小于系统 ADC 的采样周期 T_s , 即 $\tau_i \ll T_s$, 故 $D_{diff,i}$ 的一阶泰勒展开为:

$$D_{diff,i} \approx \tau_i \left. \frac{\partial V_{in}(t)}{\partial t} \right|_{t=(nM+i)T_s} \tag{1}$$

对某固定值 τ_i , 通道 i 的 $D_{diff,i}$ 绝对值 $|D_{diff,i}|$ 的 N 次累加和 $D_{sum,i}$ 为:

$$D_{sum,i} = \sum_{n=n_i}^{n_i+N} \left(\left| \tau_i \times \frac{\partial V_{in}(t)}{\partial t} \right|_{t=nMT_s+iT_s} \right) = |\tau_i| \times \sum_{n=n_i}^{n_i+N} \left(\left| \frac{\partial V_{in}(t)}{\partial t} \right|_{t=nMT_s+iT_s} \right) \tag{2}$$

式中: n_i 是累加的起始点。

根据奈奎斯特采样定律, $V_{in}(t)$ 的带宽位于奈奎斯特域以内, 即:

$$BW_{in} < \frac{1}{2}f_s \quad (3)$$

故 $V_{in}(t)$ 为带限信号, 其导数的最大值 $(\partial V_{in}(t)/\partial t)|_{\max}$ 为有限值, 即:

$$\left| \frac{\partial V_{in}(t)}{\partial t} \right| \in \left[0, \left(\frac{\partial V_{in}(t)}{\partial t} \right)_{\max} \right]$$

随着 $N \rightarrow +\infty$, $|D_{diff,i}|$ 遍历了从 0 至 $(\partial V_{in}(t)/\partial t)|_{\max}$ 的所有值, 其累加和变为:

$$D_{sum,i} = |\tau_i| \times \sum_{n=n_i}^{n_i+N} \left(\left| \frac{\partial V_{in}(t)}{\partial t} \right|_{t=nT_s} \right) = |\tau_i| \times N \times \left| \frac{\partial V_{in}(t)}{\partial t} \right|_{t=t'} \quad (4)$$

其中:

$$\left| \frac{\partial V_{in}(t)}{\partial t} \right|_{t=t'} \in \left[0, \left(\frac{\partial V_{in}(t)}{\partial t} \right)_{\max} \right]$$

$|(\partial V_{in}(t)/\partial t)|_{t=t'}$ 是 N 个 $|D_{diff,i}|$ 的均值, 记作 $D_{diff,ave}$, 则式(4)记作:

$$D_{sum,i} = |\tau_i| \times N \times D_{diff,ave} \quad (5)$$

由式(5)可知, 当 N 趋于无穷大时, $D_{sum,i}$ 和 $|\tau_i|$ 成正比。故 $D_{sum,i}$ 反映了通道 i 的采样时刻偏差的绝对值, 可以作为其采样时刻偏差值的参考。

通道 i 的采样时间误差检测如图 8 所示。参考通道 ADC_{ref} 的采样时刻作为待测通道 i 的采样时刻基准。若二者采样时钟边沿相同, 则理论上是对同一输入信号在同一时刻采样, 对应 $D_{diff,i}$ 和 $D_{sum,i}$ 均为 0。如果 τ_i 不为 0, 则 $D_{sum,i}$ 作为相关的参量将被系统检测到。根据式(5)揭示的规律, 对于一定的累加次数 N , $D_{sum,i}$ 和 τ_i 成正比, 其数值反映了 τ_i 的大小。

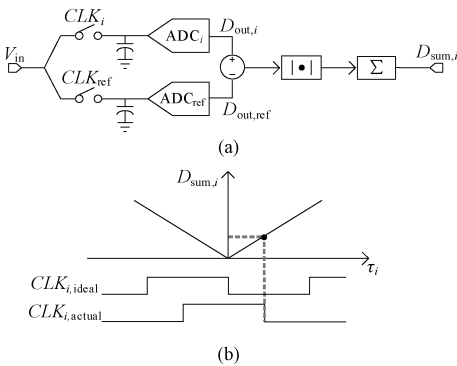


图 8 (a) 采样时间误差检测原理; (b) τ_i 与 $D_{sum,i}$ 的关系

Fig. 8 (a) The principle of sampling time error detection;

(b) The relationship of τ_i and $D_{sum,i}$

3.2 采样时间误差校正

由于 $D_{sum,i}$ 是 $|D_{diff,i}|$ 的叠加, 故同一 $D_{sum,i}$ 对应 τ_i 可能为正值或负值, 所以校准过程需要明确 τ_i 的符号, 也即对应通道 i 的采样时钟相位是提前还是滞后于参考通道。 τ_i 的方向检测依据图 8(b) 曲线的斜率。设通道 i 第 j 次迭代和第 $j+1$ 次迭代的检测结果分别为 $D_{sum,i}^j$ 和 $D_{sum,i}^{j+1}$ (其差值为 $D_{sum,i}^{j,j+1}$)。这 2 次迭代过程中通道 i 的采样时钟相位控制码分别为 A_i^j 和 A_i^{j+1} (其差值为 $A_i^{j,j+1}$), 则这 2 次迭代对应的曲线斜率为:

$$k_i^j = \frac{D_{sum,i}^{j+1} - D_{sum,i}^j}{A_i^{j+1} - A_i^j} = \frac{D_{sum,i}^{j,j+1}}{A_i^{j,j+1}} \quad (6)$$

$A_i^{j,j+1}$ 、 k_i^j 和 τ_i 的关系组合如图 9 所示。若通道 i 的采样时刻提前于参考通道, 即 $\tau_i < 0$, 则 $k_i < 0$, 则 A_i 增加; 若通道 i 的采样时刻滞后与参考通道, 即 $\tau_i > 0$, 则 $k_i > 0$, 则 A_i 减小。图 9(a) 和 (b) 中, 随着校正的进行, 采样时间误差值逐渐收敛于曲线的最小值, 符合校正目标需求, 属于负反馈过程。而图 9(c) 和 (d) 正好相反, 属于正反馈调节, 会让采样失配变大, 是该校正算法需要避免的情形。

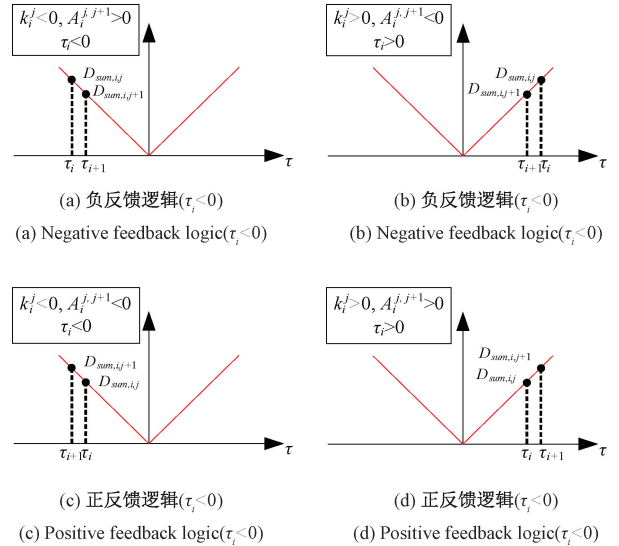


图 9 $A_i^{j,j+1}$ 、 k_i^j 和 τ_i 的 4 种关系组合

Fig. 9 Four kinds of combination for $A_i^{j,j+1}$, k_i^j and τ_i

对 τ_i 符号的逻辑判断以及校正方向的判断仅仅需要 k_i 、 $D_{sum,i}^{j,j+1}$ 以及 $A_i^{j,j+1}$ 的符号, 故该逻辑判断在实际电路中可以结合 up/down 计数器和异或门来实现, 如图 10 所示。在第 j 次迭代中, 异或门对 $D_{sum,i}^{j,j+1}$ 和 $A_i^{j,j+1}$ 进行逻辑判断, 二者符号相同时, $k_i > 0$, 异或门输出低电平, up/down 计数器输出减小, A_i 减小; 二者符号不同时, $k_i < 0$, 异或门输出高电平, up/down 计数器输出增加, A_i 增大。

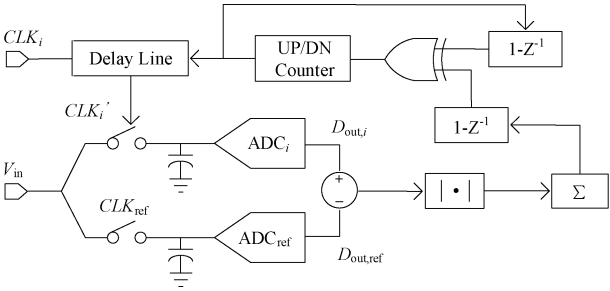


图 10 通道 *i* 的采样时间偏差校正

Fig. 10 The sampling time correction of channel *i*

负反馈调节采样延时的过程通过延时线完成。 $D_{sum,i}$ 和延时线的延时相对应,也即和延时线的控制码 $D_{delay}[n]$ 相关。校准环节根据当前校正周期的 $D_{delay}[n]$ 以及所得到的 $D_{sum,i}$,结合之前的校正结果刷新 $D_{delay}[n]$ 的数值。该环节重复下去, $D_{sum,i}$ 和 $D_{delay}[n]$ 不断更新。经过若干轮迭代,最终通过某个 $D[n]$ 获得最小的 $D_{sum,i}$,此时待校准通道的采样时间误差值调整至最小,采样时间误差校正完成。

3.3 双通道时间交织 ADC 的采样时间误差校正

本文采用双通道交织,其系统工作模式分成校正模式和交织模式两种。在校正模式下,两路 ADC 输入同相时钟,此时两个单通道分别为参考通道和待校准通道。通过后台校正,待校准通道的失调、增益以及采样时间误差均向参考通道对齐并趋于一致。校正完成后,将两个单通道的时钟输入从同相时钟切换成差分时钟,则两个单通道交织工作。两种工作模式下的时钟切换通过与门和开关实现,如图 11 所示。

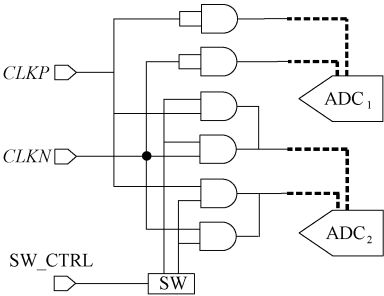


图 11 时钟模式切换原理

Fig. 11 The principle of clock mode switching

SW_CTRL 作为模式选择控制端对两个单通道的时钟相位关系进行选择。用于时钟切换的与门单元的失配没有被算法校正,会在模式转换后引起一定量的通道间采样时间失配。通过对时钟链路中的与门失配进行蒙特卡洛仿真可得,与门失配引起的时钟延时失配的 3σ 值为 300 fs。电路中引入的误差不会超过该值。在奈奎斯特采样下,对 600 MS/s、12 bit 的时间交织 ADC 做采样时间

失配建模仿真,结果如图 12 所示。

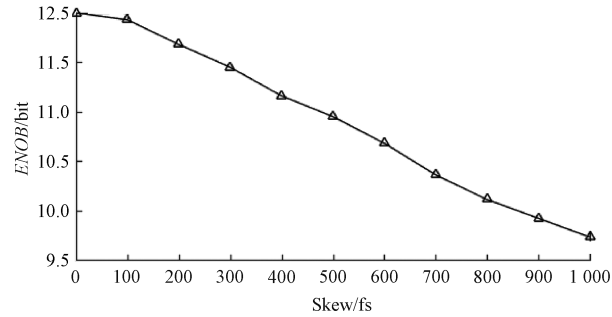


图 12 600 MS/s、12 bit 时间交织 ADC 采样时间误差扫描结果

Fig. 12 Sampling time error scan results of the 600 MS/s、12 bit time interleaved ADC

可以看出,对于奈奎斯特采样下的时间交织 ADC 而言,300 fs 的通道间采样时间误差失配会给系统 ENOB 带来约 0.6 bit 的下降。后仿真结果表明,单通道流水线 ADC 在奈奎斯特采样下其 ENOB 约为 11 bit。可以合理推测:该最大值为 300 fs 的数字单元门延时失配不会成为恶化系统高频性能的主要因素。

4 625 MS/s、12 bit 时间交织 ADC 的后仿真结果

本文设计的 625 MS/s、12 bit 双通道交织 ADC 芯片版图如图 13 所示。电路采用 40 nm 1.1 V CMOS 工艺。系统中各模块的布局在图中标出。为了便于多路集成,系统中的单通道流水线 ADC 采用了狭长的线性布局方式。系统核心面积为 1.1 mm×0.62 mm。

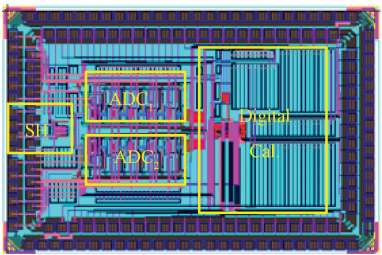


图 13 双通道时间交织 ADC 版图

Fig. 13 The photo of the two channel time interleaved ADC

单通道 ADC 的静态特性测试结果如图 14 所示。非线性微分(DNL)的范围是 0.9~+0.78 LSB,非线性积分(INL)的范围是-1~+1.1 LSB。单通道 ADC 在采样频率为 312.5 MHz 时,输入信号在第一奈奎斯特域内变化对应的动态性能仿真结果如图 15 所示。对于低频输入,系统信号-失真噪声比(SNDR)有 72 dB,无杂散动态范围(SFDR)约为 84 dB。随着输入信号频率的提高,系统动

态性能略有下降。针对 312.5 MHz 采样率,在第一奈奎斯特域内单通道 ADC 的 *ENOB* 均大于 10 bit。

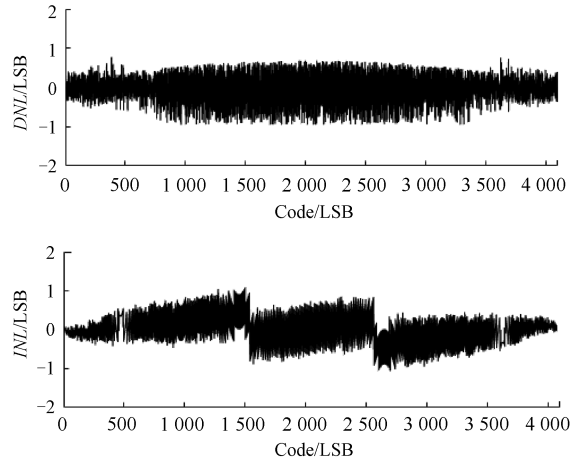


图 14 单通道 ADC 的 *DNL* 和 *INL* 后仿真结果

Fig. 14 The post simulated *DNL* and *INL* of the single channel

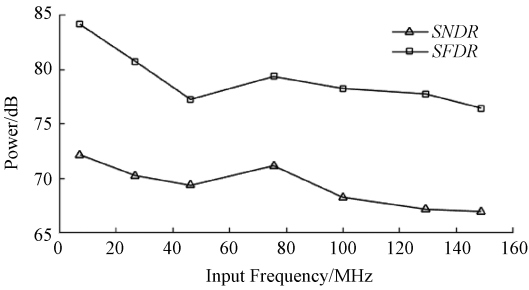


图 15 单通道动态性能后仿真结果

Fig. 15 The post simulated dynamic performance of the single channel

双通道时间交织 ADC 的静态性能在通道间失调失配和增益失配校正完成后的后仿真结果如图 16 所示。校正后 *DNL* 为 $-0.92 \sim +0.88$ LSB, *INL* 为 $-1.2 \sim +1.5$ LSB。交织后系统的 *DNL* 和 *INL* 相对于单通道没有出现明显的恶化。虽然通道间采样时间失配没有得到校正,但是系统静态性能是在极低频率的输入信号下仿真得到,故通道间采样时间失配对于系统的影响基本可以忽略不计。

在校正模式下,设置 2 个通道间的采样时间失配初始值为 10 ps,跟踪系统采样时间失配校正的过程。在校正过程中设置校正模块每次校正采用的通道输出累加次数 *N* 分别为 100、10 000 和 100 000。其检测过程如图 17 所示。

可见不同的 *N* 值对于校正曲线的收敛性影响不相同。当累加次数过少时,校正的迭代过程容易受随机误差的影响,校正结果不收敛。而随着累加次数的增加,校正过程稳定且最终校正结果趋向于收敛到 0。

对于 32.2 MHz 的输入信号,设置通道间采样时

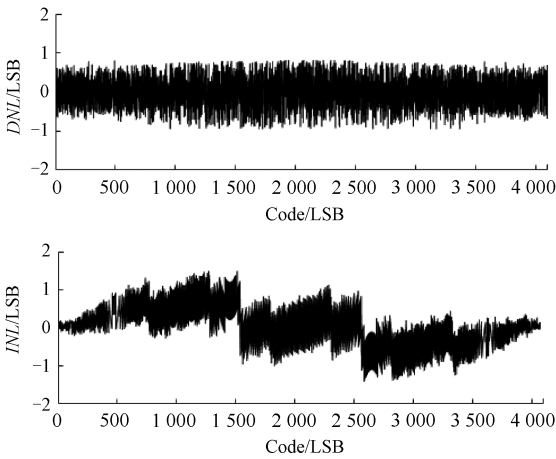


图 16 双通道时间交织 ADC *DNL* 和 *INL* 后仿真结果

Fig. 16 The post simulated *DNL* and *INL* of the two channel time interleaved ADC

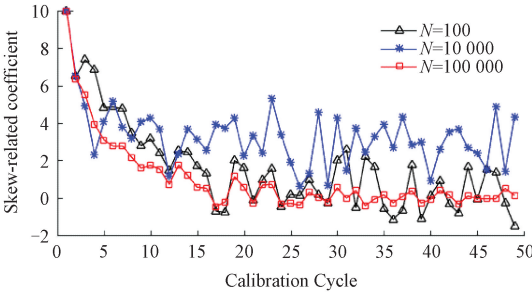


图 17 不同累加次数 *N* 下的采样时间误差的校正过程

Fig. 17 The process of the sampling time correction with different *N*

间失配为 3 ps,系统采样时间误差校正前和校正后的输出频谱如图 18 所示。图 18(a)是通道间失调失配和通道间增益失配校正后的系统输出信号频谱。可以看出采样时间误差引起的杂散能量为 -48 dB,系统 *SFDR* 只有 42.2 dB,故采样时间误差对系统性能有明显的恶化。经过采样时间误差校正后,系统的动态性能有了明显提升,采样时间误差引起的杂散下降到 -104 dB。系统 *SFDR* 升了 36 dB,而 *SNDR* 则提高了约 29.2 dB。经过校正后,采样时间误差引起的杂散能量低于信号的 3 次谐波和 5 次谐波的能量,从而不再是制约系统性能的主要因素。此时系统性能主要由单通道性能决定。

由于器件失配的存在,当系统从校正模式转换成交织模式后,时钟切换将会给系统引入最大约 300 fs 的采样时间失配。但是由图 18(b)可以看出,校正后这一杂散淹没在了底噪中,并没有对系统性能带来损失。经过校正后,ADC 的整体动态性能得到了明显的改善。校正后的系统性能基本不再受限于 2 个通道间的失配,而是反映了单通道 ADC 的性能。

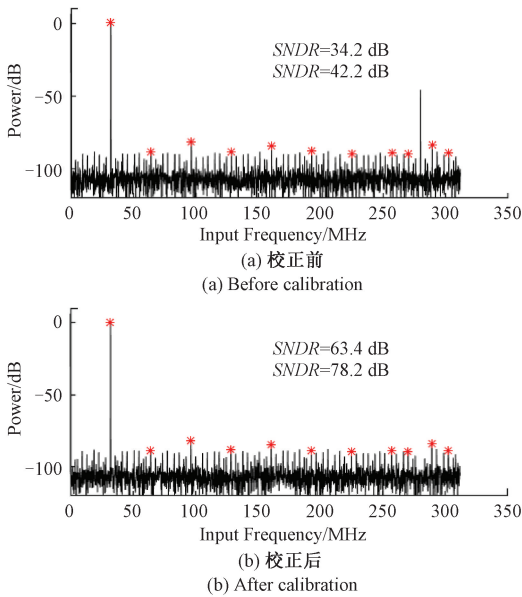


图 18 双通道时间交织 ADC 输出频谱
Fig. 18 The spectrum of the two channel time interleaved ADC

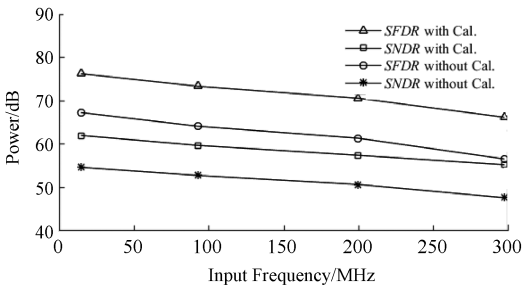


图 19 不同频率输入信号对应时间交织 ADC 的动态性能
Fig. 19 The dynamic performance of the time interleaved ADC with different input frequency

在 625 MHz 的采样率下,设置通道间采样时间失配为 1 ps,输入信号的频率在第一奈奎斯特域变化,相应的系统动态性能在采样时间误差校正前后的变化如图 19 所示。可以看出,经过采样时间误差校正后,系统 *SFDR* 提高约 11 dB,*SNDR* 提高约 7 dB,对应 *ENOB* 提高了约 1.1 bit。

双通道时间交织 ADC 的动态性能相较于单通道略有下降。由于校正后双通道交织 ADC 的失配产生的杂散失真被抑制到系统 3 次谐波和 5 次谐波以下,故二者的谐波和杂散特性基本一致。双通道时间交织 ADC 的输入信号频率更高,故同样的时钟抖动引入的采样误差也会增加,引起输出信号频谱噪声能量的增加,从而恶化系统的动态性能。

表 2 是指标相近的其他文献提出的时间交织 ADC 与本文设计的 ADC 的性能对比。可以看出,本文设计的时间交织 ADC 在速度、功耗、面积等指标上比较平衡。

600 MHz 的采样率下其 *ENOB* 比文献[18,20]高,满足高精度 ADC 的设计指标。

表 2 本文设计的 ADC 和其他文献的性能对比
Table 2 The performance comparison between ADC proposed and others' work

指标	本文	文献[18]	文献[19]	文献[20]	文献[21]
工艺	40 nm	90 nm	40 nm	0.18 μm	0.13 μm
速率/(MS·s ⁻¹)	625	450	600	500	650
ENOB@ Nyquist/bit	9.5	8.7	8.2	9.9	7.2
功耗/mW	295	34	23	220	502
面积/mm ²	0.68	1.3	0.3	6.24	-

5 结 论

本文设计了一款 625 MS/s、12 bit 双通道时间交织 ADC。单通道为前端无采保结构的流水线 ADC。该系统前端应用了宽带高线性度前级驱动电路和一款新型高速高线性度栅压自举开关以满足系统带宽和精度的要求。芯片核心面积为 0.69 mm²,功耗为 295 mW。该双通道时间交织 ADC 在全速率下其 *SFDR* 为 67 dB,*SNDR* 为 58.5 dB。系统通道间采样时间失配通过后台校正算法补偿。该校正方法适用于完全随机输入信号。后仿真结果显示,校正后双通道时间交织 ADC 由采样时间误差引起的杂散得到了明显抑制。校正后系统的谐波特性主要由单通道性能决定,而基本不受通道间失配的制约,证明了该通道间采样时间误差校正方法的有效性和实用性。

参考文献

[1] 卜朝辉,常仙云,陈文星,等. 基于可触发环形振荡器的高精度时间间隔测量[J]. 仪器仪表学报,2019,40(5): 10-18.
BU CH H, CHANG X Y, CHEN W X, et al. High-precision time interval measurement based on triggerable ring oscillator [J]. Chinese Journal of Scientific Instrument, 2019,40(5): 10-18.
[2] 张烈山,刘璞,林杰俊,等. 基于重采样的主动非线性调频连续波声呐测距技术研究[J]. 仪器仪表学报,2020,41(10): 74-82.
ZHANG L SH, LIU P, LIN J J, et al. Research on active nonlinear frequency modulation continuous wave sonar ranging technology based on re-sampling [J]. Chinese Journal of Scientific Instrument, 2020,41(10): 74-82.
[3] 杜以涛,樊晓腾,张云祥,等. 一种宽频带频谱分析仪高效快速检测装置[J]. 国外电子测量技术,2018,37(12): 110-114.
DU Y T, FAN X T, ZHANG Y X, et al. A high-

- efficiency and fast detection device for a wideband spectrum analyzer[J]. *Foreign Electronic Measurement Technology*, 2018, 37(12): 110-114.
- [4] 闫辉,邓红辉,万祝娟,等. 误差提取自适应修正的前馈式 TIADC 校准算法[J]. *电子测量与仪器学报*, 2019, 33(6): 171-176.
- YAN H, DENG H H, WAN Z J, et al. Adaptive fully digital feedforward calibration algorithm of timing mismatch for sub-sampling TIADCs [J]. *Journal of Electronic Measurement and Instrumentation*, 2019, 33(6): 171-176.
- [5] RAMKAJ A, RAMOS J C P, LYU T F, et al. A 5 GS/s 158.6 mW 12b passive-sampling 8×-interleaved hybrid ADC with 9.4 ENOB and 160.5 dB FoMS in 28nm CMOS[C]. 2019 IEEE International Solid-State Circuits Conference (ISSCC), 2019: 62-64.
- [6] DEVARAJAN S, SINGER L, KELLY D, et al. A 12-b 10-GS/s interleaved pipeline ADC in 28-nm CMOS technology[J]. *IEEE Journal of Solid-State Circuits*, 2017, 52(12): 3204-3218.
- [7] 万祝娟,尹勇生,庞高远,等. 适用于 TIADC 时间误差校准的斩波调制算法[J]. *电子测量与仪器学报*, 2020, 34(5): 112-121.
- WAN ZH J, YIN Y SH, PANG G Y, et al. Calibration technique for time-interleaved ADC using chopping modulation[J]. *Journal of Electronic Measurement and Instrumentation*, 2020, 34(5): 112-121.
- [8] 叶凡. 多通道时间交织模数转换器的校正与集成电路实现方法研究[D]. 上海:复旦大学, 2010: 1-146.
- YE F. Research of multi-channel calibration algorithm for time interleaved analog-to-digital converter and integrated circuits implementation [D]. Shanghai: Fudan University, 2010: 1-146.
- [9] KANG H W, HONG H K, KIM W, et al. A time-interleaved 12-b 270-MS/s SAR ADC with virtual-timing-reference timing-skew calibration scheme [J]. *IEEE Journal of Solid-State Circuits*, 2018, 53(9): 2584-2594.
- [10] CHAMMAS M E, MURMANN B. A 12-GS/s 81-mW 5-bit time-interleaved flash ADC with background timing skew calibration [J]. *IEEE Journal of Solid-State Circuits*, 2011, 46(4): 838-847.
- [11] DORTZ N L, BLANC J P, SIMON T, et al. A 1.62 GS/s time-interleaved SAR ADC with digital background mismatch calibration achieving interleaving spurs below 70dBFS[C]. 2014 IEEE International Solid-State Circuits Conference (ISSCC), 2014: 386-388.
- [12] MATSUNO J, YAMAJI T, FURUTA M, et al. All-digital background calibration technique for time-interleaved ADC using pseudo aliasing signal[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2013, 60(5): 1113-1121.
- [13] DUC H L, NGUYEN D M, JABBOUR C, et al. All-digital calibration of timing skews for TIADCs using the polyphase decomposition [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2016, 63(1): 99-103.
- [14] CHEN S, WANG L K, ZHANG H, et al. All-digital calibration of timing mismatch error in time-interleaved analog-to-digital converters [J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2017, 25(9): 2552-2560.
- [15] LAW C H, HURST P J, LEWIS S H. A four-channel time-interleaved ADC with digital calibration of inter-channel timing and memory errors[J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(10): 2091-2103.
- [16] 陈珍海,于宗光 魏敬和,等. 采用 1.75 Gbps 串行发送器的低功耗 14 位 125MSPS ADC [J]. *电子测量与仪器学报*, 2017, 31(1): 132-138.
- CHEN ZH H, YU Z G, WEI J H, et al. Low power 14-bit 125 Msps ADC with 1.75 Gbps serial transmitter [J]. *Journal of Electronic Measurement and Instrumentation*, 2017, 31(1): 132-138.
- [17] AHMED M A A, MORGAN A, DILLON C, et al. A 16-bit 250 MS/s IF sampling pipelined ADC with background calibration [J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(12): 2602-2612.
- [18] CHU J, LEE H S. A 450 MS/s 10-bit time-interleaved zero-crossing based ADC [C]. 2011 IEEE Custom Integrated Circuits Conference (CICC), 2011: 1-4.
- [19] WONG S S, CHIO U F, CHOI H L, et al. A power effective 5-bit 600 MS/s binary-search ADC with simplified switching [C]. 2010 53rd IEEE International Midwest Symposium on Circuits and Systems, 2010: 29-32.
- [20] 陈珍海,魏敬和,苏小波,等. 低功耗时间交织 12 位 500 MS/s 电荷域 ADC [J]. *西安电子科技大学学报*, 2017, 44(6): 109-137.
- CHEN ZH H, WEI J H, SU X B, et al. A Low power time-interleaved 12-bit 500 MS/s charge domain ADC [J]. *Journal of Xidian University*, 2017, 44(6): 109-137.
- [21] NAZARI A, MIKKOLA E, JALALI-FARAHANI B, et al. A 12-b 650-MSps time-interleaved pipeline analog to digital converter with 5 GHz analog bandwidth for digital beam-forming systems [J]. *Analog Integrated Circuits &*

Signal Processing, 2016, 89 (1): 213-222.

作者简介



曹宇, 2012 年于杭州电子科技大学获得学士学位, 2016 年于杭州电子科技大学获得硕士学位, 现为东南大学博士研究生, 主要研究方向为混合信号设计。
E-mail: caoyu_china@126.com

Cao Yu received his B. Sc. degree in 2012 from Hangzhou University of Electronic Science and Technology, M. Sc. degree in 2016 from Hangzhou University of Electronic Science and Technology. Now he is a Ph. D. candidate

at Southeast University. His main research interest includes mixed signal processing.



苗澎, 2004 年于东南大学获得博士学位, 现为东南大学副教授, 博士研究生导师, 主要研究方向为混合信号集成电路设计。
E-mail: miaopeng123@seu.edu.cn

Miao Peng received his Ph. D. degree in 2004 from Southeast University. Now he is an associate professor and Ph. D. supervisor at Southeast University. His main research interest includes mixed signal integrated circuit design.