

DOI: 10.13382/j.jemi.B2002962

可扩展多输入多输出信道高效模拟器研制^{*}

黄 威¹ 毛 开¹ 赵子坤¹ 朱秋明¹ 赵新宇² 谢 红²

(1. 南京航空航天大学 电磁频谱空间认知动态系统工业与信息化部重点实验室 南京 211100;
2. 中国电子科技集团公司第54研究所 石家庄 050000)

摘 要:针对现有信道模拟器通道规模受限、扩展性差等缺陷,设计实现了一种可扩展的多输入多输出(multiply-input multiply-output, MIMO)信道高效模拟器。该模拟器采用改进的坐标旋转数字计算(coordinate rotation digital computer, CORDIC)算法,只需较少硬件资源便可实现大规模多支路的随机信道衰落精确模拟。基于MIMO信道离散化模型提出了一种可扩展的硬件模拟架构,并结合现场可编程门阵列(field-programmable gate array, FPGA)的并行处理优势,进行硬件实现及实试验证。针对3GPP标准扩展车载A信道模型(extended vehicular A model, EVA)静态场景和时变场景的实测结果表明,所研制的MIMO信道模拟器输出时延功率谱和多普勒功率谱等统计特性均与理论值吻合,可用于无线通信设备的方案验证、算法优化和性能分析。

关键词: MIMO信道模型;可扩展架构;信道模拟器;FPGA;CORDIC

中图分类号: TN98 **文献标识码:** A **国家标准学科分类代码:** 510.50

Flexible and efficient emulator for multiple-input multiple-output channels

Huang Wei¹ Mao Kai¹ Zhao Zikun¹ Zhu Qiuming¹ Zhao Xinyu² Xie Hong²

(1. Key Laboratory of Dynamic Cognitive System of Electromagnetic Spectrum Space, Ministry of Industry and Information Technology, Nanjing University of Aeronautics and Astronautics, Nanjing 211100, China;
2. The 54th Institute of China Electronics Technology Group Corporation, Shijiazhuang 050000, China)

Abstract: For the limitations of existing channel emulators on the channel numbers and scalability, a flexible emulator for multiple-input multiple-output (MIMO) channel is designed and implemented. By adopting an improved coordinate rotation digital computer (CORDIC) algorithm, the emulator can generate large number of accurate random channel fading in real-time, but consumes less hardware resources. On this basis, a flexible hardware framework based on the MIMO discrete channel model is also developed. With the advantages of field-programmable gate array (FPGA) on parallel processing, the emulation framework is implemented on a FPGA platform. Hardware measurements are conducted with the parameters of extended vehicular A model (EVA) in 3GPP standard. The test results for both static and time-variant scenarios show that the output statistical properties of proposed emulator, i. e., power delay profiles (PDP) and Doppler power spectrum densities (DPSD) are consistent well with the theoretical ones. Thus, it can be applied on the design verification, algorithm optimization, and performance evaluation of wireless communication devices.

Keywords: MIMO channel model; flexible structure; channel emulator; FPGA; CORDIC

0 引 言

多输入多输出(multiply-input multiply-output,

MIMO)技术是蜂窝移动通信的关键技术之一,它可以在不增加系统带宽和发射功率的情况下,通过改变收发端天线阵列配置有效地提高信道容量和频带利用率,但这也同时增加了其信道传播特性的复杂度^[1-3]。信道模拟

收稿日期: 2020-02-17 Received Date: 2020-02-17

^{*} 基金项目: 国家重大科学仪器设备开发专项(61827801)、中央高校基本科研业务费专项(NS2020026)、航空科学基金(201901052001)、电子信息系统复杂电磁环境效应国家重点实验室基金(CEMEE2020Z0207B)资助项目

器能够在实验室内准确地模拟无线信号在真实信道中的传播特性,大大地降低了通信设备的测试成本,因此在通信系统性能评估中发挥着重要作用^[4]。目前,国外已经有商用化的信道模拟器,如是德科技的 PropSim F32、R&S® 公司的 SMW200 A 以及 Azimuth 公司的 ACE-MX 等,但此类信道模拟器价格昂贵、操作复杂,且仅适合国际标准化信道模型的模拟测试。

近年来,国内外高校及科研机构对信道建模和模拟进行了大量的研究^[5-15]。其中,文献[5]提出了一种在莱斯衰落场景下 MIMO 信道的仿真方法;针对地面移动通信场景,文献[6-8]进一步提出了一种基于几何地理的 MIMO 信道模型,但输出衰落相位存在不连续的问题;针对该问题,文献[9]随后提出了一种基于多普勒积分形式的改进模型;文献[10]针对水声信道存在簇稀疏特性,提出了一种正交频分复用水声通信信道估计方法。上述研究均未涉及到信道的硬件模拟实现。

文献[11]基于美国国家仪器公司通用软件无线电平台,研制了一个无线通信信道实时模拟器,但其硬件实现架构较复杂,灵活性差;文献[12-14]基于现场可编程门阵列(field-programmable gate array, FPGA)平台研制了一种时域离散型的 MIMO 信道模拟器,采用随机存取存储器(random access memory, RAM)查找表和谐波叠加的方法产生随机信道衰落,该方法比较简单,但需要大量 RAM 存储资源,不适用于大规模多支路信道衰落的模拟。此外,为了节省硬件存储资源,坐标旋转数字计算(coordinate rotation digital computer, CORDIC)算法在硬件模拟中得到了广泛应用^[15-19]。文献[16-19]采用 CORDIC 及其改进算法实时计算产生正弦波波形。文献[16]采用了查找表和近似计算结合的 CORDIC 算法,需要消耗少量 RAM 存储资源;文献[17]则采用串并架构的改进 CORDIC 算法替代查找表方法,但输出信号会产生较大的延时;文献[18]进一步提出了一种参数扩展的改进 CORDIC 算法,但硬件结构较为复杂;文献[19]采用粗略近似计算 CORDIC 算法优化了硬件结构,但损失了输出精度。

为了克服现有信道模拟器通道规模受限、扩展性差、RAM 资源消耗多等问题,本文针对 CORDIC 经典算法,通过引入旋转因子状态、结合并行流水线结构对其硬件实现改进,并应用于随机信道衰落高效精确模拟。在此基础上,构建了面向 FPGA 的 MIMO 信道定点化模型,并设计实现了一个可扩展的 MIMO 实时硬件模拟器。

1 MIMO 离散化信道模型

假设有一个配置 S 根发射天线和 U 根接收天线的 MIMO 系统,则信道的输出为输入信号与 MIMO 信道矩

阵的卷积,考虑到便于硬件实现,离散化模型可表示为:

$$\mathbf{y}(l) = \mathbf{H}(l, \zeta) \otimes \mathbf{x}(l) \quad (1)$$

式中: $\mathbf{x}(l) = [\tilde{x}_1(l) \ \tilde{x}_2(l) \ \cdots \ \tilde{x}_S(l)]^T$ 表示发射信号矢量; $\mathbf{y}(l) = [\tilde{y}_1(l) \ \tilde{y}_2(l) \ \cdots \ \tilde{y}_U(l)]^T$ 表示接收信号矢量; l 和 ζ 分别表示时域离散时间序列和时延域离散时间序列; $\mathbf{H}(l, \zeta)$ 是一个 $U \times S$ 的 MIMO 信道矩阵。 $\mathbf{H}(l, \zeta)$ 可进一步表示为:

$$\mathbf{H}_{U \times S}(l, \zeta) = \begin{bmatrix} h_{1,1}(l, \zeta) & h_{1,2}(l, \zeta) & \cdots & h_{1,S}(l, \zeta) \\ h_{2,1}(l, \zeta) & h_{2,2}(l, \zeta) & \cdots & h_{2,S}(l, \zeta) \\ \vdots & \vdots & \ddots & \vdots \\ h_{U,1}(l, \zeta) & h_{U,2}(l, \zeta) & \cdots & h_{U,S}(l, \zeta) \end{bmatrix} \quad (2)$$

式中: $h_{u,s}(l, \zeta)$ 表示第 u ($u = 1, 2, \cdots, U$) 根接收天线阵元和第 s ($s = 1, 2, \cdots, S$) 根发射天线阵元之间子信道的单位冲激响应,其离散化的形式可表示为:

$$h_{u,s}(l, \zeta) = \sum_{n=1}^{N(l)} \sqrt{P_n(l)} \tilde{h}_{u,s,n}(l) \delta(\zeta - [\tau_n(l)]_{T_s}) \quad (3)$$

式中: $N(l)$ 表示在 l 时刻多径的数目; $P_n(l)$ 和 $\tau_n(l)$ 分别表示在 l 时刻第 n 条径的功率和时延; $\tilde{h}_{u,s,n}(l)$ 表示第 n 条径的归一化信道衰落因子; T_s 为采样时间间隔; $[\tau_n(l)]_{T_s}$ 表示对离散时延取整。

2 随机衰落信道高效模拟技术

2.1 CORDIC 算法及其改进

信道衰落模拟的关键是如何有效地产生信道衰落因子 $\tilde{h}_{u,s,n}(l)$, 其离散表达式可以表示为:

$$\tilde{h}_{u,s,n}(l) = \sum_{m=1}^M c_{n,m} [l] e^{j(2\pi \sum_{k=0}^l T_s f_{n,m} [k] + \theta_{n,m})} \quad (4)$$

式中: T_s 为信道采样间隔; M 表示谐波的数量; $c_{n,m}$ 表示第 n 条径第 m 条谐波的路径增益, $f_{n,m}$ 和 $\theta_{n,m}$ 表示第 n 条径第 m 条谐波的多普勒频率和初始相位。

随机信道衰落因子本质上是一个复高斯随机过程,可以由 M 个不同频率和相位的正弦波叠加得到,其中如何利用 FPGA 硬件高效产生精确的正弦波是关键。经典的 RAM 查找表方法,通过相位累加得到查找表地址并获得对应幅值,虽实现简单,但需要消耗大量的 RAM 存储单元,难以满足大规模多支路的随机信道衰落的模拟需求。CORDIC 算法的基本思想是利用硬件实时计算正弦值,只消耗少量逻辑资源且基本不需要 RAM 资源,更适合未来大规模 MIMO 的信道仿真需求。

经典 CORDIC 算法的基本原理是把旋转的角度划分成若干个固定的值,通过逐次逼近的方式完成旋转过程,如图 1 所示。设初始点为 $P_0(x_0, y_0)$, 将其逆时针旋转 θ

后得到 $P_1(x_1, y_1)$, 则 P_0 与 P_1 的变换关系可表示为:

$$\begin{aligned} x_1 &= x_0 \cos \theta - y_0 \sin \theta \\ y_1 &= x_0 \sin \theta + y_0 \cos \theta \end{aligned} \quad (5)$$

进一步提取公因子 $\cos \theta$, 可得:

$$\begin{aligned} x_1 &= \cos \theta (x_0 - y_0 \tan \theta) \\ y_1 &= \cos \theta (y_0 + x_0 \tan \theta) \end{aligned} \quad (6)$$

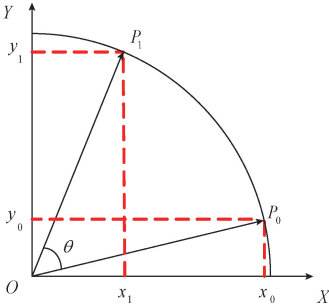


图1 坐标系旋转

Fig. 1 The coordinate rotation

为便于 FPGA 硬件实时计算, 旋转角度 θ 可以通过若干次小角度 θ^i 迭代获得。此外, 利用 $\tan \theta^i \approx 2^{-i}$, 就将三角函数的计算转化成了移位和加减操作。最后, 每次旋转迭代计算可表示为:

$$\begin{aligned} x^{i+1} &= x^i - b^i \cdot y^i \cdot 2^{-i} \\ y^{i+1} &= y^i + b^i \cdot x^i \cdot 2^{-i} \\ z^{i+1} &= z^i - b^i \cdot \theta^i \end{aligned} \quad (7)$$

式中: b^i 表示旋转方向, 其值为 ± 1 ; z^i 表示旋转剩余角度, 初始值 $z^0 = \theta$; 当 z_i 趋近于 0 时, 则迭代结束。表 1 给出了迭代 16 次后对应的 θ^i 、 $\tan \theta^i$ 和 $\cos \theta^i$ 的值。可以看出, 经过 16 次迭代后, $\cos \theta^i$ 的值趋近 1。

表 1 迭代 16 次输出结果

Table 1 Outputs of 16 iterations

i	θ^i	$\tan \theta^i$	$\cos \theta^i$
0	45.0	1	0.707 106 78
1	26.565 1	0.5	0.894 427 19
2	14.036 2	0.25	0.970 142 5
3	7.125 0	0.125	0.992 277 88
4	3.576 3	0.062 5	0.998 052 58
5	1.789 9	0.031 25	0.999 512 08
6	0.895 2	0.015 625	0.999 877 95
7	0.447 6	0.007 812 5	0.999 969 48
8	0.223 8	0.003 906 25	0.999 992 37
9	0.111 9	0.001 953 125	0.999 998 09
10	0.056 0	0.000 976 563	0.999 999 52
11	0.028 0	0.000 488 281	0.999 999 88
12	0.013 9	0.000 242 601	0.999 999 97
13	0.007 0	0.000 122 173	0.999 999 99
14	0.003 5	0.000 061 087	0.999 999 99
15	0.001 8	0.000 031 416	1.000 000 00

为进一步提高 CORDIC 算法的实现效率、减少硬件资源消耗, 结合旋转因子状态和并行流水线结构对其进行改进。首先, 采用并行流水线结构思想, 保证 CORDIC 算法在 1 个时钟周期内产生有效输出正弦值, 并通过优化流水单元改善多次迭代引起的有效信号持续周期过长的问題; 其次, 对旋转方向因子新增 1 种贮存状态, 并设定 1 个近似计算误差门限, 用于避免剩余迭代次数的无效计算。

当 z_i 处于近似计算误差门限范围之内时, 旋转方向因子 b^i 默认为贮存状态, 下一级的迭代关系可表示为:

$$\begin{aligned} x^{i+1} &= x^i \\ y^{i+1} &= y^i \\ z^{i+1} &= z^i \end{aligned} \quad (8)$$

计算结果直接保留至下一级中, 无需继续下一级加法和移位操作。

为满足实际硬件所生成正弦波幅值的定点化位宽的要求, 迭代结束后式 (8) 还需要乘以一个比例系数 K_i 。

$$K_i = \prod_i \cos \theta^i = \prod_i 1 / \sqrt{1 + 2^{-2i}} \quad (9)$$

在 FPGA 硬件实现中, 旋转角度 θ 可以通过若干次小角度 θ^i 迭代获得, 通过三角函数变换, 旋转角度 θ ($0^\circ \leq \theta \leq 90^\circ$) 的迭代计算仅在 1 个象限内即可完成, 假定 $P_0(x_0, y_0)$ 经由 n 次小角度 θ^i 迭代后得到迭代坐标 $P_n(x_n \prod_i \cos \theta^i, y_n \prod_i \cos \theta^i)$, 根据表 1 可得, 误差在 10^{-8} 内时, 迭代完成后的坐标 $P_n(x_n \prod_i \cos \theta^i, y_n \prod_i \cos \theta^i)$ 近似为图 1 中实际旋转 θ 后得到的 $P_1(x_1, y_1)$ 。结合式 (5)~(9), x_n 、 y_n 和 x_0 、 y_0 的关系可以表示为:

$$\begin{aligned} x_n &= \frac{1}{K_i} (x_0 \cos \theta - y_0 \sin \theta) \\ y_n &= \frac{1}{K_i} (x_0 \sin \theta + y_0 \cos \theta) \end{aligned} \quad (10)$$

令 $x_0 = K_i$, $y_0 = 0$, 则 $x_n = \cos \theta$, $y_n = \sin \theta$ 。因此在硬件实现过程中, 只需要通过简单的移位和加减操作, 就能计算得到不同频率和相位的正弦值。

改进后的 CORDIC 算法既避免了剩余迭代次数的无效运算, 在维持现有精度的基础上, 迭代次数可由 16 次减少为 12 次, 同时优化存储变量位宽, 节省硬件资源消耗, 可用于高效实时产生多支路谐波。

2.2 随机衰落改进模拟方案

为了进一步提高 FPGA 硬件实现模拟产生随机信道衰落的效率, 图 2 所示为结合本文 CORDIC 改进算法给出了一种基于时分复用和多速率分级模拟的实现方案。该方案在低速率时钟驱动下完成多普勒频率和初始相位的累加, 并采用内插滤波器进行速率匹配变换。同时, 将累加值送到改进 CORDIC 算法模块, 在维持现有精度的

基础上,基于时分复用的思想结合串行架构实时计算正弦波的幅值。通过累加器将不同频率和初始相位的正弦波实时叠加后得到信道衰落的幅值,最后通过内插滤波器将数据速率内插到系统时钟后输出,实现高速信号处理。为了对 FPGA 输出随机信道衰落幅值进行验证,首先利用改进算法产生 64 支路 16 bit 位宽的正弦波定点数据并进行叠加,考虑到硬件平台采用 16 bit 位宽的 DA 芯片,需要进行动态截位处理。最后,将输出衰落幅值利

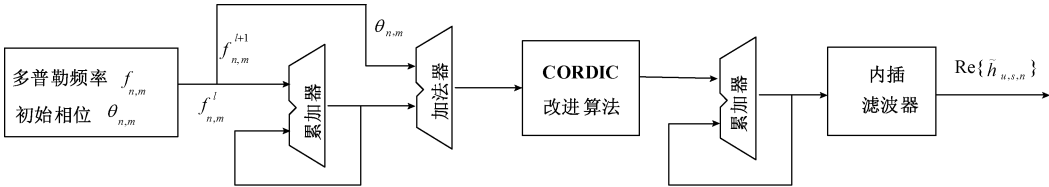


图 2 信道衰落模拟实现方案

Fig. 2 Implementation programme of channel fading emulation

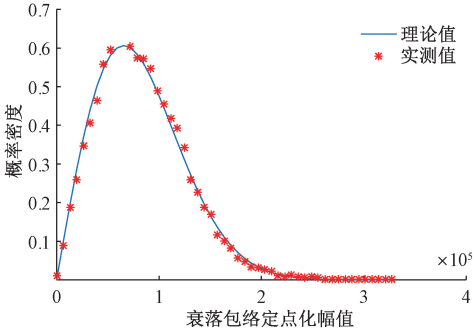


图 3 改进算法输出衰落分布

Fig. 3 Output fading distribution with modified algorithm

为验证和比较不同方法的资源消耗情况,本文基于 Xilinx 公司 XC7VX690T FPGA 芯片进行了不同方案的比对。表 2 给出了基于查找表、经典 CORDIC 算法和改进 CORDIC 算法 3 种方案实现随机信道衰落的硬件资源消耗对比。由表 2 可以看出,输入累加值位宽均为 16 bit 时,CORDIC 算法只消耗 2 个 32 K 的 RAM 资源,而查找表方法需要 33 个。此外,由于要进行若干次迭代运算,CORDIC 算法逻辑资源消耗略高于查找表方法,但是总资源使用率仍得到大大降低,因此本文改进的 CORDIC 算法在资源消耗方面均优于传统算法。

表 2 硬件资源消耗比较

Table 2 The comparison of hardware resource usage

	查找表 (位宽 16 bit)	CORDIC (位宽 16 bit)	改进 CORDIC (位宽 16 bit)
查找表	3658(0.84%)	7534(1.73%)	6074(1.39%)
寄存器	7430(0.86%)	8629(1.00%)	7793(0.90%)
块存储器	33(2.24%)	2(0.14%)	2(0.14%)
选择器	785(0.36%)	512(0.24%)	512(0.24%)
资源使用	4.3%	3.11%	2.67%

用 Chipscope 工具导出到 MATLAB 进行统计分析,如图 3 所示。由图 3 可以看出,衰落幅值统计分布与理论分布基本吻合,进一步分析计算,信道模拟器输出的衰落幅值统计分布与理论值最小偏差为 0.059 2%,多径衰落幅值统计分布与理论值曲线相关系数为 0.993 1,二者拟合程度较好,进一步验证了改进 CORDIC 算法对随机衰落精确模拟的有效性。

3 改进模拟器方案实现及验证

3.1 可扩展的硬件模拟器实现

考虑到其他模块的资源消耗和 FPGA 布局布线效率的因素,在维持现有相位精度的情况下,本文基于上述离散化 MIMO 信道模型和改进 CORDIC 算法,设计实现了一个可扩展的 MIMO 信道硬件模拟器。该模拟器由系统时钟配置单元、用户交互单元、CPU 主控单元以及信道模拟单元组成。时钟配置单元为整个系统提供参考时钟,用户交互单元和 CPU 主控单元提供输入通信场景参数的交互界面和 MIMO 信道参数的计算,并对参数进行定点化,然后通过高速串行计算机扩展总线(peripheral component interconnect express, PCIE)将参数传给信道模拟单元,信道模拟单元主要完成 MIMO 信道衰落的实时产生和实时叠加。每个信道模拟单元都有 4 路 AD 输入和 4 路 DA 输出,单个信道模拟单元即可实现 4×4MIMO 信道模拟。另外,系统中各个信道模拟单元之间可以通过 RapidIO 总线进行数据传输,因此本系统具有可扩展性,单块芯片理论上可实现 32×32MIMO 信道实时模拟,且单个子信道最大可支持 8 条多径,可以满足大部分场景下 MIMO 通信系统的性能分析和测试。可扩展 MIMO 信道模拟器架构如图 4 所示。

信道模拟单元是 MIMO 信道模拟器最核心的部分,需要完成信道衰落的实时产生和叠加。由于 FPGA 的并行处理架构很适合 MIMO 信道的实时模拟,因此本文采用了以 Xilinx 公司的 XC7VX690T FPGA 芯片为核心的设计架构。单个信道模拟单元实现 4×4MIMO 信道的框图如图 5 所示,主要包括参数模块、信道衰落生成模块和

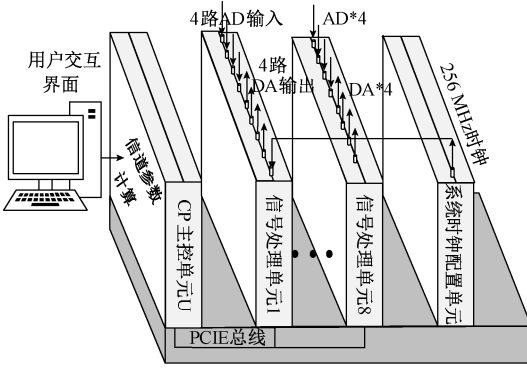


图4 可扩展 MIMO 信道模拟器架构

Fig. 4 Flexible framework for MIMO channels

叠加模块3部分组成。其中,参数模块实时更新并存储CPU 主控板传过来的信道参数,信道衰落生成模块读取信道参数后通过CORDIC 算法实时产生信道衰落矩阵,经过延时后的输入信号与衰落信道进行矩阵相乘,最后通过叠加模块后输出。由式(1)~(3)可得最终输出信号表示为式(11)。

$$\begin{bmatrix} \tilde{y}_1(l) \\ \tilde{y}_2(l) \\ \tilde{y}_3(l) \\ \tilde{y}_4(l) \end{bmatrix} = \begin{bmatrix} \sum_{n=1}^{N(L)} \sqrt{P_n(l)} \bar{h}_{1,1,n}(l) \tilde{x}_1(\zeta - [\tau_n(l)]_{T_s}) + \cdots + \sum_{n=1}^{N(L)} \sqrt{P_n(l)} \bar{h}_{1,4,n}(l) \tilde{x}_4(\zeta - [\tau_n(l)]_{T_s}) \\ \sum_{n=1}^{N(L)} \sqrt{P_n(l)} \bar{h}_{2,1,n}(l) \tilde{x}_1(\zeta - [\tau_n(l)]_{T_s}) + \cdots + \sum_{n=1}^{N(L)} \sqrt{P_n(l)} \bar{h}_{2,4,n}(l) \tilde{x}_4(\zeta - [\tau_n(l)]_{T_s}) \\ \sum_{n=1}^{N(L)} \sqrt{P_n(l)} \bar{h}_{3,1,n}(l) \tilde{x}_1(\zeta - [\tau_n(l)]_{T_s}) + \cdots + \sum_{n=1}^{N(L)} \sqrt{P_n(l)} \bar{h}_{3,4,n}(l) \tilde{x}_4(\zeta - [\tau_n(l)]_{T_s}) \\ \sum_{n=1}^{N(L)} \sqrt{P_n(l)} \bar{h}_{4,1,n}(l) \tilde{x}_1(\zeta - [\tau_n(l)]_{T_s}) + \cdots + \sum_{n=1}^{N(L)} \sqrt{P_n(l)} \bar{h}_{4,4,n}(l) \tilde{x}_4(\zeta - [\tau_n(l)]_{T_s}) \end{bmatrix} \quad (11)$$

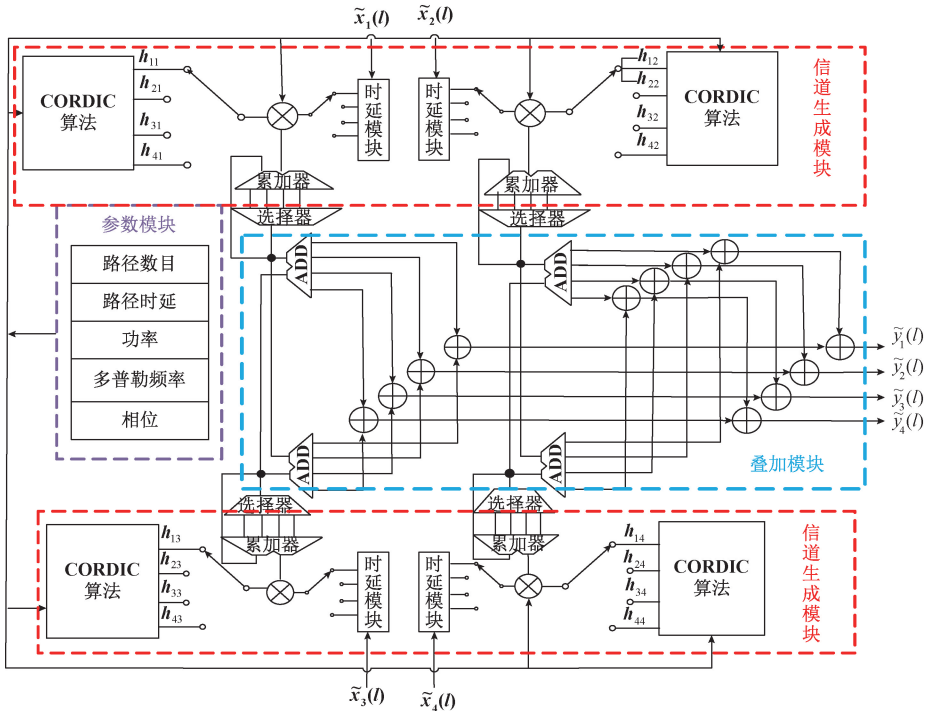


图5 4x4 MIMO 信道的 FPGA 实现流程

Fig. 5 FPGA realization process of 4x4 MIMO channel

3.2 硬件实测性能分析

为了验证本文设计的 MIMO 信道模拟器的有效性,将其应用于 3GPP 标准 EVA 信道场景^[20]进行实测验证。

静态测试场景参数包含待测信道的 5 条路径,并添加了激励信号,表 3 给出了 EVA 信道的各径相对时延和功率参数。

表 3 静态测试 EVA 信道参数

Table 3 Parameters of EVA channel under static scenarios

	路径 1	路径 2	路径 3	路径 4	路径 5
时延/ns	0	310	710	1090	1730
功率/dB	0	-3.6	-9.1	-7.0	-12.0

1) 静态测试

利用 Tektronix 公司的 DPO 2022B 数字示波器实测所得输出衰落的时延功率谱,以路径 1 为参考径,其他各径的时延和幅值如图 6 所示,考虑到仪器设备的精度和硬件实测过程中的微小误差,从图 6 可以看出,各径的时延和功率与表 3 给出的标准信道参数基本一致,时延误差最大失真度为 0.322%,幅值最大失真度为 1.19%,因此本文设计的 MIMO 信道模拟器能够很好地模拟复现 EVA 标准信道。

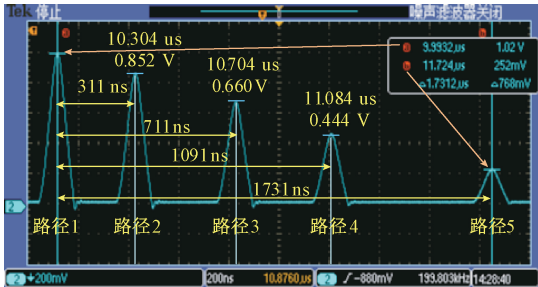
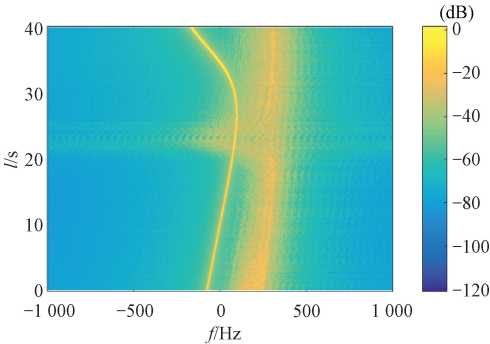


图 6 EVA 信道输出多径信号

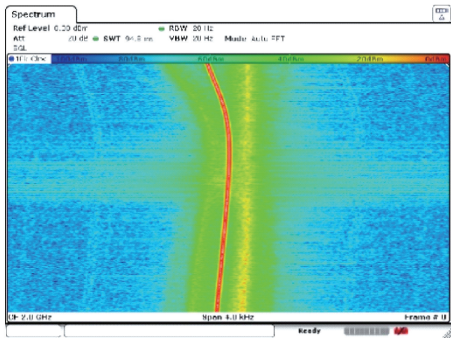
Fig. 6 Output multi-path signal after EVA channel

2) 动态测试

为了进一步验证本文设计的 MIMO 信道模拟器的有效性和时变场景的特性,假设了一种运动场景对模拟器输出的时变多普勒功率谱进行动态测试。场景参数设置如下,输入信号为 2 GHz 的单音信号,初始时刻发送端在接收端前 350 m,初始时刻,接收端以 20 m/s 的速度匀速运动,发送端以 30 m/s 的初速度,0.9 m/s² 的加速度做同向匀减速运动,当 $t=25$ s 时重新以加速度为 $(0.25 t-6.25)$ m/s² 做变加速运动,方向保持不变。图 7(a)所示为该测试场景下多普勒功率谱的理论值,图 7(b)所示为利用罗德与施瓦茨公司的 FSV 频谱分析仪给出了实测所得的硬件输出结果,从图 7 可以看出,由于在 $t=25$ s 内收发端匀减速相背运动,远离速度线性减小,因此直射径的多普勒频移线性变化,在 $t=25$ s 后由于收发端变加速相向运动,靠近速度非线性增大,因此多普勒频移非线性变化。考虑到测试的随机性以及数据定点化的影响,实测结果不能与理论值进行定量分析,只能进行定性比较,从图 7 可以看出,实测值与理论值的形状以及变化趋势基本一致,结果表明本文设计的模拟器可以很好地模拟 MIMO 信道的多普勒特性。



(a) 理论分析结果
(a) Theoretical analyzed result



(b) 实测结果
(b) Measured result

图 7 时变多普勒功率谱理论值和实测结果
Fig. 7 Theoretical and measured time-variant DPSD

4 结 论

本文提出了一种易于硬件模拟实现的 MIMO 离散化信道模型和基于改进 CORDIC 算法生成信道衰落的方法,并据此实现了一个基于 FPGA 的可扩展信道模拟器,该模拟器最高可实现 32×32 MIMO 信道实时模拟。针对单音信号激励及 3GPP EVA 信道场景的测试结果表明,该模拟器输出的衰落幅值统计分布与理论值吻合,时延功率谱和多普勒功率谱与 3GPP 标准的 EVA 信道模型一致。因此,本文设计的可扩展信道模拟器可用于无线 MIMO 通信设备的性能测试和验证,可以有效降低系统开发周期和研发成本,对国内自主化商用信道模拟器研制,打破国外垄断的局面有重要的参考价值。

参考文献

[1] AGIWALM, ROY A, SAXENA N. Next generation 5G wireless networks: A comprehensive survey [J]. IEEE Communications Surveys and Tutorials, 2016, 18 (3) : 1617-1655.
[2] WANG C X, BIAN J, SUN J. A survey of 5G channel measurements and models [J]. IEEE Communications

- Surveys and Tutorials, 2018, 20(4): 3142-3168.
- [3] KAMGA G N, XIA M H, AISSA S. Channel modeling and capacity analysis of MIMO systems in real propagation environments [C]. IEEE International Conference on Communications, 2015: 1447-1452.
 - [4] ZHU Q, LIU X, YIN X, et al. A novel simulator of nonstationary random MIMO channels in rayleigh fading scenarios [J]. International Journal of Antennas and Propagation, 2016, 2016(1): 1-9.
 - [5] JIANG K L, CHEN X M, ZHU Q M, et al. A novel simulation model for nonstationary Rice fading channels[J]. Wireless Communications and Mobile Computing, 2018, DOI: 10.1155/2018/8086073.
 - [6] YUAN Y, WANG C X, HE Y, et al. 3D wideband non-stationary geometry-based stochastic models for non-isotropic MIMO vehicle-to-vehicle channels [J]. IEEE Transactions on Wireless Communications, 2015, 14(12): 6883-6895.
 - [7] MA Y, YANG L, ZHENG X. A geometry-based non-stationary MIMO channel model for vehicular communications[J]. China Communications, 2018, 15(7): 30-38.
 - [8] BIAN J, WANG C X, HUANG J. A 3D wideband non-stationary multi-mobility model for vehicle-to-vehicle MIMO channels [J]. IEEE Access, 2019, 7(1): 32562-32577.
 - [9] ZHU Q M, JIANG K L, CHEN X M, et al. A modified non-stationary MIMO channel model under 3D scattering scenarios [C]. IEEE/CIC International Conference on Communications in China (ICCC), 2017: 1-6.
 - [10] 张舒然, 武岩波, 朱敏. 基于 MCMC 采样器的簇稀疏水声信道估计方法 [J]. 仪器仪表学报, 2019, 40(8): 201-212.
 - [11] 黄文清, 李伟东, 郭放, 等. 基于轨迹的车对车无线信道建模及硬件模拟 [J]. 电子测量与仪器学报, 2019, 33(08): 55-62.
 - [12] 李浩, 朱秋明, 陈应兵, 等. 非平稳信道衰落 FPGA 实时模拟方法 [J]. 信号处理, 2018, 34(3): 368-375.
 - [13] 毛开, 朱秋明, 陈小敏, 等. 高机动无人机通信信道模拟器研制 [J]. 电子测量与仪器学报, 2018, 32(8): 164-170.
 - [14] MAO K, ZHU Q M, CHEN X M, et al. A novel channel emulator for UAVs with high mobility [J]. Journal of Electronic Measurement and Instrumentation, 2018, 32(8): 164-170.
 - [15] ZHU Q, LI H, FU Y, et al. A novel 3D non-stationary wireless MIMO channel simulator and hardware emulator [J]. IEEE Transactions on Communications, 2018, 66(9): 3865-3878.
 - [16] CHEN L, HAN J, LIU W, et al. Algorithm and design of a fully parallel approximate coordinate rotation digital computer (CORDIC) [J]. IEEE Transactions on Multi-Scale Computing Systems, 2017, 3(3): 139-151.
 - [17] TORRES V, VALLS J, CANET M J. Optimized CORDIC-based atan2 computation for FPGA implementations [J]. Electronics Letters, 2017, 53(19): 1296-1298.
 - [18] 常柯阳, 曾岳南, 陈平, 等. CORDIC 算法在正弦余弦函数中的应用及其 FPGA 实现 [J]. 计算机工程与应用, 2013, 49(7): 140-143.
 - [19] CHANG K Y, ZENG Y N, CHEN P, et al. The application of CORDIC algorithm in sines and cosines and its FPGA implementation [J]. Computer Engineering and Applications, 2013, 49(7): 140-143.
 - [20] 杜慧敏, 沙亮, 张彦芳, 等. 浮点超越函数设计与实现 [J]. 西安邮电大学学报, 2015, 20(2): 16-20.
 - [21] DU H M, SHA L, ZHANG Y F, et al. Design and implementation of floating point transcendental function [J]. Journal of Xi'an University of Posts and Telecommunications, 2015, 20(2): 16-20.
 - [22] TORRES V, VALLS J. A fast and low-complexity operator for the computation of the arctangent of a complex number [J]. IEEE Transactions on Very Large Scale Integration Systems, 2017, 25(9): 2663-2667.
 - [23] YANG M, AI B, HE R, et al. A cluster-based three-dimensional channel model for vehicle-to-vehicle communications [J]. IEEE Transactions on Vehicular Technology, 2019, 68(6): 5208-5220.

作者简介



黄威, 2018 年于安徽理工大学获得学士学位, 现为南京航空航天大学硕士研究生, 主要研究方向无线衰落信道硬件模拟。
E-mail: hw_val@nuaa.edu.cn

Huang Wei received B. Sc. degree from Anhui University of Science and Technology in 2018. Now he is a M. Sc. candidate at Nanjing University of Aeronautics and Astronautics. His main research interests include wireless channel emulator.



朱秋明(通信作者),1998年、2002年和2012年于南京航空航天大学获得学士学位、硕士学位和博士学位,2016~2017年为英国赫瑞瓦特大学访问学者,现为南京航空航天大学副教授,主要研究方向为无线信道勘测、建模及仿真模拟。

E-mail: zhuqiuming@nuaa.edu.cn

Zhu Qiuming (Corresponding author) received B. Sc., M. Sc. and Ph. D. from Nanjing University of Aeronautics and Astronautics in 2002, 2005 and 2012, respectively. He worked as a visiting scholar in Heriot-Watt University in UK from 2016 to 2017. He is now an associate professor at Nanjing University of Aeronautics and Astronautics. His main research interests include wireless channel sounding, modeling and emulation.