

DOI: 10.13382/j.jemi.B1902541

GTX 接口在宽带自适应传输中的应用*

杨云鹏¹ 许 波¹ 高 媛² 贾树林¹ 颜雁军¹ 赵 佳³

(1.电子科技大学 自动化工程学院 成都 610000;2.军委装备发展部某中心 北京 100000;
3.成都医学院 人文信息管理学院 成都 610500)

摘 要:针对不同数据带宽数据流实时传输和 FPGA 高速收发器传输速度固定的现状,提出了一种宽带自适应串行数据实时传输系统。发送端首先对待发送数据进行位宽转换和跨时钟域处理,再对数据进行标记和编码,最后通过 GTX 发送端口发送数据。接收端首先根据控制码和标记位解析有效数据,最后通过接收缓存模块进行位宽转换和跨时钟域处理。将该系统应用于示波记录仪采集数据传输中,当配置 GTX 线速度为 4.5 Gbps 时,15 种采集卡的数据均能正确接收。该传输系统针对不同采集卡只需修改发送端缓存 FIFO 的写数据位宽,具有代码可移植性强、硬件平台兼容性强的特点。

关键词: 高速数据流; GTX; 宽带自适应; FPGA

中图分类号: TP23; TM935.37 **文献标识码:** A **国家标准学科分类代码:** 510.1010; 510.5010

Application of GTX interface in broadband adaptive transmission

Yang Yunpeng¹ Xu bo¹ Gao Yuan² Jia Shulin¹ Yan Yanjun¹ Zhao Jia³

(1.College of Automation Engineering, University of Electronic Science and Technology, Chengdu 610000, China;
2.Military Commission Equipment Development Department, Beijing 100000, China;
3.School of Humanities and Information Management, Chengdu Medical College, Chengdu 610500, China)

Abstract: Aiming at the current situation of real-time data stream transmission of different data bandwidths and fixed transmission speed of FPGA high-speed transceivers, this paper proposes a broadband adaptive serial data real-time transmission system. The sender first performs bit-width conversion and cross-clock domain processing on the transmitted data, then marks and encodes the data, and finally transmits data through the GTX transmission port. The receiving end first parses the valid data according to the control code and the flag bit, and finally performs bit width conversion and cross clock domain processing through the receiving buffer module. The system is applied to the acquisition data transmission of the oscilloscope. When the GTX line speed is 4.5 Gbps, the data of the 15 types of acquisition cards can be correctly received. The transmission system only needs to modify the write data bit width of the buffer FIFO at the transmitting end for different acquisition cards, which has the characteristics of strong code portability and strong hardware platform compatibility.

Keywords: high-speed data stream; GTX; broadband adaptive; FPGA

0 引 言

随着电子信息技术不断更新换代,比如在数据采集^[1-6]、无线通信^[7]、视频传输^[8]等领域均对 ADC 量化的海量数据进行实时传输。数据传输方式通常有串行和并

行两种方式,并行传输方式具有协议简单、通信距离短、抗干扰能力差、成本高的特征,串行传输方式具有协议复杂、通信距离远、抗干扰能力强的特征。当前,串行传输已经成为宽带数据流的主流传输方式。针对宽带数据流的实时传输与处理,各大主流器件厂商都提供了相应的解决方案,如 TI 公司推出的 AM570x 系列处理器可提供

JESD204、PCIe 等接口用于实现高速数据流的收发; Xilinx 公司和 Altera 公司通过在 FPGA 中添加基础硬件高速收发器和高级 IO 资源实现高速数据的实时收发功能。因 FPGA 数据吞吐带宽大、可重复编程、开发效率高,被广泛应用于高速数据流收发场合。文献[9]采用 FPGA 实现了 eMMC 接口的存储阵列;文献[10-12]采用 FPGA 的 GTX 接口实现了 SATA 协议;文献[13]基于 FPGA 的高速收发器设计了高速网卡;文献[14]采用 FPGA 的 GTX 接口实现了 JESD204B 协议数据的接收。目前相关文献配置高速收发器工作于固定速度下进行数据收发,应用场合单一、通用性不高。

本文提出了一种基于 Xilinx 公司 FPGA 的高速收发器实现宽带数据流自适应串行传输,即当待传输数据流的数据带宽不超过 GTX 接口线速度时,通过对待发送的有效数据进行标记,将标记后的数据送入发送端口进行发送,接收端口根据控制码(K 码)和标记位解析出有效数据。将该方法应用于示波记录仪项目中,使得当不同类型的采集卡插入接口速度固定的接收卡槽时,采集卡数据能够被正确接收。

1 高速串行收发器的工作原理

1.1 7 series FPGAs transceivers IP 核介绍

Xilinx 7 系列 FPGA 内部集成专用硬件电路用于实现高速数据流的串行传输,通过 7 series FPGAs transceivers IP 核可以灵活配置 GTP/GTX/GTH/GTZ 高速收发器。GTX 收发器支持多种标准传输协议,如 JESD204 总线协议、Aurora 总线协议、XAUI 总线协议、SATA 总线协议、PCIe 总线协议、HDMI 总线协议等,通过 Vivado 中的 IP 核配置界面可选择相应的协议标准。同时,配置界面还可配置 GTX 收发器的线速度、外部参考时钟频率、用户逻辑接口数据位宽、内部数据位宽、comma 对齐方式、是否使能通道绑定等参数进行配置,当配置线速度后,Vivado 会自动算出多个参考时钟频率供用户选择,当个 GTX 传输速度无法满足要求时,需使能通道绑定功能。

GTX 内部结构如图 1 所示,发送数据首先进入 PCS 物理子层进行 8B/10B(或 64B/66B、64B/67B)编码、伪随机码序列产生、跨时钟域转换 FIFO 处理、链路差分信号极性控制后,再进入 PMA 物理子层进行并串转换、预加重等处理后,以差分 CML 电平信号从 GTX 的 TX IO 口输出^[15]。待接收数据通过 GTX 的 RX 差分对 IO 口,首先进入 PMA 物理子层进行时钟数据恢复、接收均衡、串并转换等处理后,再进入 PCS 物理子层进行 comma 检测、8B/10B(或 64B/66B、64B/67B)解码、伪随机码校验器、跨时钟域 buffer 等处理,最后以并行数

据流的形式到达用户逻辑端口,完成 GTX 物理层高速传输^[15]。

1.2 高速收发器时钟及线速度配置

Xilinx FPGA 配有专用 Bank 用于高速收发器,每个 bank 包含 4 对收发器和 2 对参考时钟输入端口。接入与 IP 核配置界面一致的差分时钟是高速收发器正常工作的必备条件,同一 Bank 上的 4 个收发器组成一个 Quad。外接时钟连接到 GTREFCLK0/GTREFCLK1 端口,外接时钟还可以作为相邻 2 个 Quad 的参考时钟,经过 Quad 内部的参考时钟选择模块选择后输出至 Quad 锁相环(QPLL)或通道锁相环(CPLL),经锁相环倍频的时钟作为 PMA 和 PCS 子层及用户逻辑接口层的参考时钟。其内部时钟网络连接如图 2 所示。

PLL 由鉴相器、环路滤波器、压控振荡器、分频器组成,输入参考时钟和输出时钟经分频后送入鉴相器,2 个输入信号间的误差经环路低通滤波器滤除高频成分后,控制压控振荡器的输出频率和相位,经过多次反馈调节使得鉴相器的 2 个输入时钟频率和相位保持一致。QPLL 与 CPLL 锁相环区别在于 QPLL 反馈时钟只有一个分频器,VCO 输出时钟 2 分频后为实际输出时钟频率;CPLL 反馈时钟包含 2 级分频器,VCO 中心频率即为输出频率。可知分频系数 QPLL 远大于 CPLL,故 QPLL 多用于传输带宽大、通道数大的协议,如 PCIe、10GBASE-R、SFF-8431 等标准协议;CPLL 多用于传输带宽较小、单通道的协议,如 Aurora、Serial RapidIO、3G-SDI 等标准协议。

将本文研究内容应用于示波记录仪项目中,该项目共 15 多种不同类型的采集板卡,采集板卡中最高数据流为 2 400 Mbps,Artix-7 系列 FPGA Transceiver Speed 高达 6.6 Gbps,因此本文选用单个高速收发器实现采集板卡与数据处理板之间的数据传输。

故使用 CPLL 时,在 $f_{\text{CPLL_CLKOUT}}$ 的双沿都传输数据,因此输入时钟与物理层链路层速度关系如下,其中 M 为输入时钟分频系数, $N1$ 、 $N2$ 为 VCO 输出时钟分频系数, D 为发送端或接收端分频系数。

$$f_{\text{CPLL_CLKOUT}} = f_{\text{CPLL_CLKIN}} \times \frac{N1 \times N2}{M} \quad (1)$$

$$f_{\text{LineRate}} = \frac{f_{\text{QPLL_CLKOUT}} \times 2}{D} \quad (2)$$

CPLL 产生的时钟经发送端时钟管理单元分频后产生 TXOUTCLK,该时钟可作为发送端逻辑接口及发送端内部逻辑驱动时钟。配置 GTX 中 TX 端口为 4-Byte、8B/10B 编码方式,时钟关系如图 3 所示。

并行数据流在用户时钟 TXUSRCLK2 下进入 GTX IP 核,经过跨时钟域转换进入到 PCS 物理子层时钟域 TXUSRCLK,进行线路编码后通过弹性缓冲区跨时钟域

层编码模块、弹性缓冲区、通道绑定和时钟纠正等模块,再进入 PMA 子层通过高速串并转换、预加重、发送均衡等模块后,通过发送端差分信号线发送到另一 FPGA 的接收端^[15]。接收数据通过 PMA 子层将串行数据转换为

并行数据,再经过 PCS 子层进行解码等恢复出数据,IP 核输出数据首先经解码模块提取出原始数据后,送入接收缓存 FIFO 进行跨时钟域处理。用户接口层通过读取接收缓存 FIFO 的数据进行再次处理。

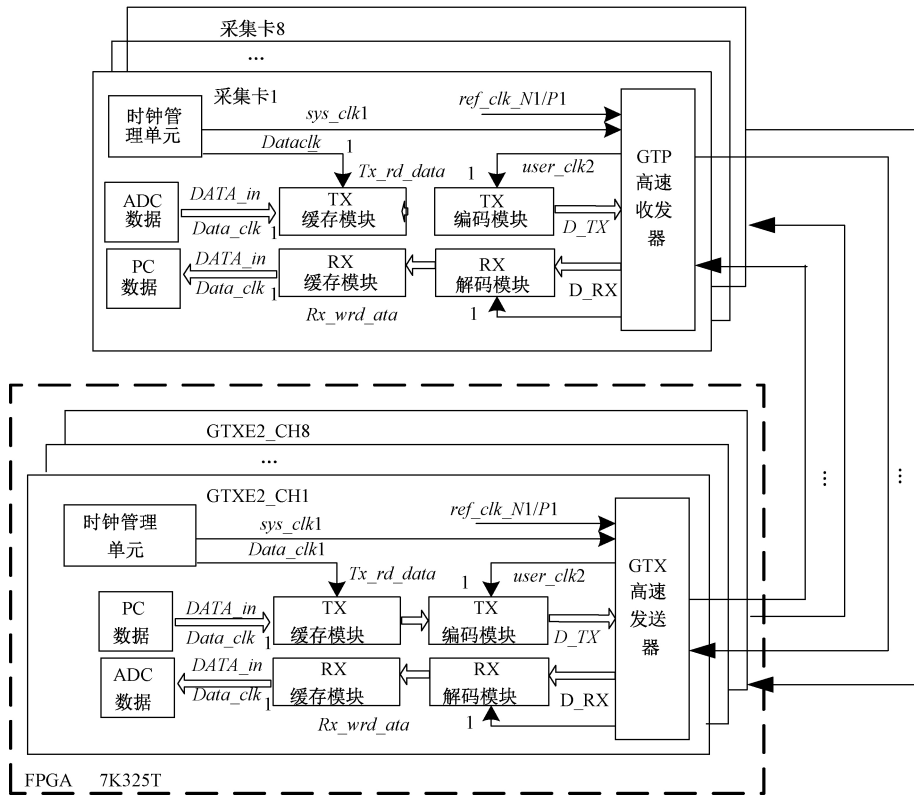


图5 宽带自适应传输总体框图

Fig.5 Overall block diagram of broadband adaptive transmission

2.2 高速收发器自适应传输速度设计

根据高速收发器物理层传输规范,需对发送数据进行编码以保证直流平衡、K 码以确保解码正确,这些数据的加入都会造成传输带宽损耗。本文编码方式 8B/10B,所以编码方式导致线速率传输损耗为 20%。发送端编码模块中数据码(D 码)与 K 码的比为 $\delta:2$,即每发送 δ 个 D 码就发送 2 个 K 码,因此传输 D 码对应的线速度传输损耗为 $2/(\delta+2)$ 。设第 i 类采集板卡中 ADC 的采样率为 f_{ADC} 、数据位宽为 DATA_{ADC} 、输入通道数为 CH_i ,则应有式(5)成立。

$$f_{\text{Line_Rate}} \times \frac{\delta}{\delta + 2} \times \frac{8}{10} = f_{\text{ADC}_i} \times \text{DATA}_{\text{ADC}_i} \times \text{CH}_i \quad (5)$$

根据式(1)、(2)、(5)可推导出参考时钟与采样率、分辨率、通道数的关系如式(6)所示。

$$f_{\text{CPLL_CLKIN}} = \frac{5 \times f_{\text{ADC}_i} \times \text{DATA}_{\text{ADC}_i} \times \text{CH}_i \times (\delta + 2)}{8 \times \delta} \times$$

$$\frac{D \times M}{N1 \times N2} \quad (6)$$

每种采集卡对应的采样率、数据位宽、通道数均不相同,直接按照式(6)设计高速收发器传输速度主要有以下问题:1)采集卡可插入任意卡槽,所以主板 FPGA 的 GTX 接口需同时兼容多种传输速率的高速串行数据,而 GTX 的线速率在 IP 核配置时已固定,固化 BIN 文件后无法再次更改;2)采集卡参考时钟频率、传输速度存在差异,导致器件采购、逻辑代码通用性差。因此,需要对传输速度进行优化设计,以实现多种采集卡数据的正确接收。

项目中 2 通道 12 位 100MSPS 采集卡对应最大传输带宽为 2400Mbps,配置高速收发器外部数据位宽为 32 位,因此最高位用于标记是否为有效数据,当为 $D[31] = 1$ 时, $D[30:0]$ 是有效数据,当为 $D[31] = 0$ 时, $D[30:0]$ 是无效数据。自定义编码模块取 $\delta = 30$,结合式(6)所需最低物理层线速度位如式(7)所示。

$$f_{\text{Line_Rate}} = 100 \text{ MHz} \times 32 \text{ bit} \times \frac{32}{30} \times \frac{5}{4} \approx 4.27 \text{ Gbps} \quad (7)$$

高速收发器配置参数为线速度 4.5 Gbps, 参考时钟 150 MHz, 外部数据 32 bit, 编码方式 8B/10B。对于其他传输带宽如 1 600、1 200、240、160 Mbps 等采集卡, 通过 FIFO 对 ADC 数据进行位宽转换和跨时钟域处理, 再增加 K 码值和标记位后送入 TX_DATA_OUT 进行发送。接收端通过 RXCTRL_IN 和 RX_DATA_IN 端口恢复出有效数据^[16]。下面将分别介绍发送端和接收端设计。

2.3 宽带自适应传输发送端设计

发送端自适应传输带宽框图如图 6 所示, 其中 TX 缓存模块采用 FIFO 实现, FIFO 的写时钟为采集卡 ADC 的数据同步时钟 f_{ADCI} 、写位宽 $\alpha = \text{DATA}_{\text{ADCI}} \times \text{CH}_i$ 、写使能一直有效, FIFO 读时钟为高速收发器用户层时钟 TXUSERCLK2, 读数据位宽为 32 位。将从 FIFO 读出的数据 Tx_rd_data 和 Data_valid 进行编码标记, 标记格式为: $\text{TX_D} = \{ \text{Data_valid}, \text{Tx_rd_data} [30:0] \}$, 标记信号 $\text{Data_valid} = 1$ 时, 表示在 TXUSERCLK2 时钟域下取出的数据 $\text{Tx_rd_data} [30:0]$ 为 ADC 量化的有效数据, 反之为无效数据。发送端模块复位后, TX 编码模块中的计数器在 0~31 循环计算, 当计数值为 2 和 3 时, FIFO 的读使能为 0; 当计数值为其他值, FIFO 的读使能为 1。FIFO 的读数据相对于读使能晚一个时钟周期, 所以当计数值为 3 时, 发送无效数据 $\text{TX_DATA_OUT} = 32' \text{h0}$; 当计数值为 4 时, 发送 K 码 $\text{TX_DATA_OUT} = 32' \text{hbcbebcbe}$; 当计数值为其他值时, 传输数据 $\text{TX_DATA_OUT} = \{ \text{Data_valid}, \text{Tx_rd_data} [30:0] \}$, 因此 TX_DATA_OUT 一次最大能发送 30 bit 有效数据。

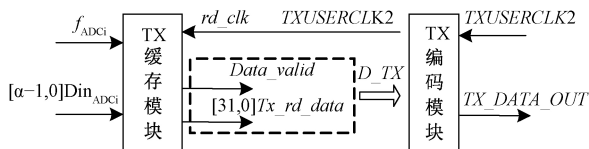


图 6 宽带自适应传输发送端框图

Fig.6 The block diagram of broadband adaptive transmitter

2.4 宽带自适应传输接收端设计

发送的串行数据通过时钟恢复、串并转换、8B/10B 解码等一系列操作后, 在用户接口 RX_DATA_IN 端口可获取并行数据流, RXCTRL_IN 用于指示当前接收的 8 bit 数据的数据类型, RXCTRL_IN 与 RX_DATA_IN 位宽比例为 1:8, 如当 $\text{RX_DATA_IN}[3] = 1$, 表示 $\text{RX_DATA_IN}[31:24]$ 为 K 码; 当 $\text{RX_DATA_IN}[3] = 0$, 表示 $\text{RX_DATA_IN}[31:24]$ 为 D 码; 再根据 $\text{RX_DATA_IN}[31]$ 是否为 1, 判断当前数据是否为 ADC 有效数据。RX 解码模块解析有效数据规则如下^[16]。

1) 如果 $\text{RX_DATA_IN}[3:0] = 4' \text{b1111}$ 且 $\text{RX_DATA_IN} = 32' \text{hbcbebcbe}$, 则 RX_DATA_IN 为 K 码, 将该数据丢弃;

2) 如果 $\text{RX_DATA_IN}[3:0] = 4' \text{b0000}$ 且 $\text{RX_DATA_IN} = 32' \text{hbcbebcbe}$, 则 RX_DATA_IN 为 D 码, 将该数据写入 RX 缓存模块;

3) 如果 $\text{RX_DATA_IN}[3:0]$ 为其他值, 则将 RX_DATA_IN 端口的数据丢弃。

接收模块框图如图 7 所示, RX 缓存模块用于接收数据的位宽转换和跨时钟域处理, 采用 FPGA 内部的 FIFO 实现。当 RX 解码模块判断 RX_DATA_IN 为 D 码时, $\text{RX_DATA_IN}[31]$ 作为 FIFO 的写使能, $\text{RX_DATA_IN}[30:0]$ 作为 FIFO 的写数据, FIFO 的读端口由用户逻辑层控制, 读时钟 f_{sys} 固定为 100 MHz, 不同数据带宽的 ADC 数据通过 FIFO_valid 信号进行标记。

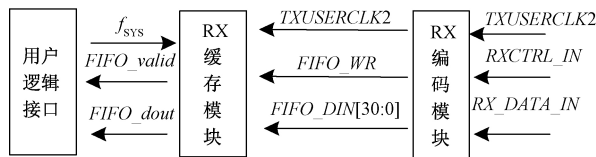


图 7 宽带自适应传输接收端框图

Fig.7 The block diagram of broadband adaptive receiver

3 功能验证与测试

3.1 高速收发器传输功能验证

如图 1 所示, Xilinx FPGA 中的 1 个高速收发器由发送端和接收端组成, 发送端和接收端的 PCS 和 PMA 层均存在数据交互, 这些数据交互可用于数据回环测试。GTX 物理层内部数据流无法通过 ILA 进行分析, 所以在功能调试过程中可通过回环测试模式快速定位问题。GTX 收发器支持近端 PCS、近端 PMA、远端 PCS、远端 PMA 共 4 种模式的回环测试, 可通过用户接口 $\text{gtx_loopback_i}[2:0]$ 进行配置。

在 Vivado 中新建工程, FPGA 型号选择 XC7K325TFFG900-2, 调用 2 个 GTX 收发器, 搭建图 8 所示的仿真测试环境。在 100 MHz 的同步时钟下产生步进值为 1、0~4095 的循环计数的 12 位仿真数据送入 TX 发送缓冲区。设置 $\text{gt0_loopback_i}[2:0] = 3' \text{b001}$, 可进行近端 PCS 层测试, 在该模式下, 仿真数据通过 TX 部分的 PCS 子层后立即进入 RX 的 PCS 子层进行数据恢复。同理分别设置 $\text{gt0_loopback_i}[2:0]$ 的值为 $3' \text{b010}$ 、 $3' \text{b100}$ 、 $3' \text{b110}$ 可进行近端 PMA 回环、远端 PMA 回环、远端 PCS 回环测试。需要说明的是, 在进行远端和正常工作模式测试时, 需将 gt0 的 TX 和 RX 差分端口分别与 gt1

的 RX 和 TX 差分端口进行连接。配置回环测试另一方便之处在于需要关注 GTX 发送端时序,无需关注 GTX 接收端时序,进而提高测试效率。

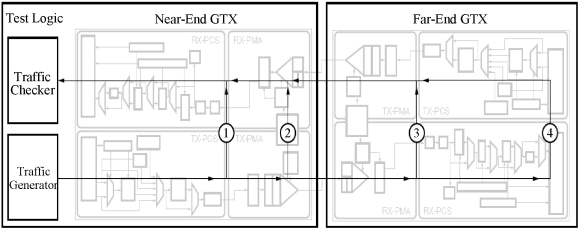


图 8 GTX 收发器回环测试

Fig.8 GTX transceiver loopback test chart

最后配置 `gt0_loopback_i[2:0]` 的值为 `3'b000` 进行正常工作模式的测试,测试结果如图 9 所示, `fifo_din0` 为待发送的数据,数据经 GTX0 发送到 GTX1,再经 GTX1 回传至 GTX0. `fifo_data_out0` 为 GTX0 接收到的有效数据。在 GTX0 接收模块复位过程中需要从数据流中恢复出数据和同步时钟,该过程需要一定的时间,所以当复位完成后,接收 FIFO 的读端口开始输出有效数据。因数据传输链路存在延时,所以发送数据和接收数据间存在固定相位差。

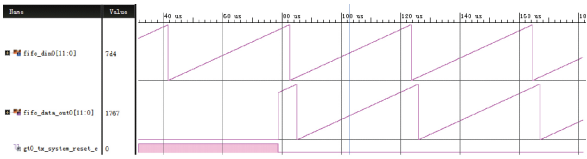


图 9 GTX 收发器正常工作模式测试

Fig.9 GTX transceiver normal working mode test chart

3.2 宽带自适应传输功能测试

在采集卡中产生如表 1 中所示数据带宽的测试数据,配置采集卡 GTP 线速度为 4.5 Gbps、用户接口数据位宽为 32 bit,数据处理主板 FPGA GTX 线速度为 4.5 Gbps、用户接口数据位宽为 32 bit。在采集卡中分别产生如表 2 所示数据带宽的测试数据,测试数据步进值均为 1,数据位宽与 ADC 分辨率一致。

通过 ILA 工具抓取接收端的数据并进行分析,并使用工具中的游标尺测量数据读取同步时钟。不同数据带宽的测试数据对应的波形如图 10~12 所示。

图 10 产生的仿真数据时钟为 100 MHz,数据位宽为 12 bit,数据步进值为 1。在接收端, `rxdata_out` 为收发器接收的数据流,当最高位为 1 时,表示有效数据;最高位为 0 时,表示无效数据。接收数据送入 FIFO 中, FIFO 读时钟 `fifo_rd_clk` 为 100 MHz,数据步进值为 1。发送数据与接收数据步进均为 1,所以传输正确。

图 11 产生的仿真数据时钟为 20 MHz,数据位宽为

表 2 多种采集卡传输带宽统计表
Table 2 Mult-acquisition cards transmission bandwidth statistics

ADC 采样率/ MSPS	ADC 分辨率/ bit	通道数	数据源带宽/ Mbps	测试结果
100	12	2	2 400	正确
100	16	1	1 600	正确
100	12	1	1 200	正确
10	12	2	240	正确
10	1	16	160	正确
1	16	2	32	正确
0.1	16	2	3.2	正确
0.1	12	2	2.4	正确

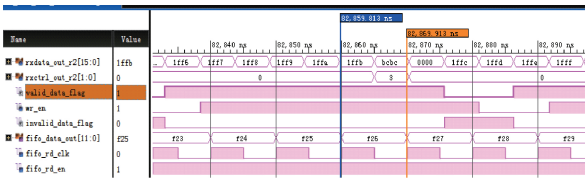


图 10 数据带宽 1 200 Mbps 测试结果

Fig.10 Data bandwidth 1 200 Mbps test result

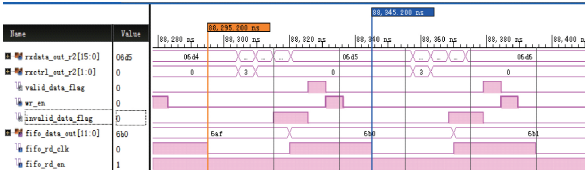


图 11 数据带宽 240 Mbps 测试结果

Fig.11 Data bandwidth 240 Mbps test result

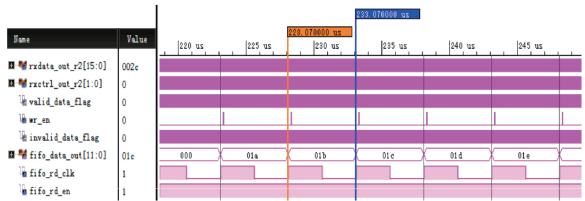


图 12 数据带宽 2.4 Mbps 测试结果

Fig.12 Data bandwidth 2.4 Mbps test result

12 bit,数据步进值为 1,数据发送带宽为 240 Mbps。在接收端,经接收 FIFO 缓存数据后,读数据同步时钟为 20 MHz,数据步进值为 1。因此数据带宽为 240 Mbps 时,测试结果符合要求。

图 12 发送端的仿真数据步进为 1,有效数据位宽为 12 bit,数据同步时钟 100 kHz。在接收端,经 FIFO 缓存后, FIFO 读数据时钟为 100 kHz,数据步进为 1,数据位宽为 12 bit,所以传输正确。

综上所述,接收端数据的步进值、最大值、最小值均与发送端一致,在 ILA 中将接收端数据转为模拟波形时,波形均无毛刺,说明相邻数据间是连续的。本文提出的 GTX 自适应传输架构可以适应不同的传输带宽,满足示波记录仪多种数据板卡传输数据的要求。

4 结 论

本文通过对高速收发器 GTX 接口进行逻辑封装,并利用 FIFO 实现发送端数据和接收端数据的位宽转换及跨时钟域处理,实现了待发送数据经标记、编码后线速度不超过 4.5 Gbps 时,接收端均能正常接收数据。所以示波记录仪 8 个卡槽均可接收 15 种采集卡的数据流,该传输系统满足项目数据传输需求。针对不同采集卡只需修改发送端缓存 FIFO 的写数据位宽,代码可移植性强、二次开发简单、硬件平台兼容性强,对其他数据传输带宽不固定的系统具有非常大的参考价值。同时通过 GTX 的通道绑定功能,可实现更高数据流的自适应传输。

参考文献

- [1] 王晓静,郑建生,叶磊.基于 ADS54T02 的高速 ADC 接口设计[J].信息技术,2018(4):41-44,49.
WANG X J, ZHENG J SH, YE L. Design of high speed ADC interface based on ADS54T02 [J]. Information Technology, 2018(4):41-44,49.
- [2] 吴志勇,王杰,程琦.基于 AD9250 的高速数据接口设计[J].电子制作,2018(2):11-12.
WU ZH Y, WANG J, CHENG Q. Design of high speed data interface based on AD9250 [J]. Practical Electronics, 2018(2):11-12.
- [3] 谢锐,裴东兴,姚琴琴.高频信号动态测试中的信号完整性分析[J].仪器仪表学报,2017,38(3):773-779.
XIE Y, PEI D X, YAO Q Q. Signal integrity analysis in high-frequency signal dynamic test [J]. Chinese Journal of Scientific Instrument, 2017, 38(3):773-779.
- [4] 王红亮,曹京胜.基于 JESD204B 协议的数据采集接口设计与实现[J].电测与仪表,2018,55(7):87-91.
WANG H L, CAO J SH. Design and implementation of data acquisition interface based on JESD204B protocol [J]. Electrical Measurement & Instrumentation, 2018, 55(7):87-91.
- [5] 邓澈,颜晗,华波,等.基于 FPGA 的叶尖间隙信号高速采集与处理方法[J].电子测量与仪器学报,2018,32(3):104-110.
DENG CH, YAN H, HUA B, et al. High speed acquisition and processing method for tip clearance signal based on FPGA [J]. Journal of Electronic Measurement and Instrumentation, 2018,32(3):104-110.
- [6] 罗义军,陈松.基于 PCIe 接口的高速数据采集系统[J].仪表技术与传感器,2019(5):91-95.
LUO Y J, CHEN S. High-speed data acquisition system based on PCIe interface [J]. Instrumentation Technology and Sensors, 2019(5):91-95.
- [7] 周典森.基于 GTX 的 JESD204B 数据接收接口研究与实现[D].长沙:国防科学技术大学,2015.
ZHOU D M. Research and implementation of JESD204B data receiving interface based on GTX [D]. Changsha: National University of Defense Technology, 2015.
- [8] 熊木地,范婷,刘盼,等.基于 FPGA 的 SFP 级联视频传输系统设计[J].光通信技术,2019,43(7):25-30.
XIONG M D, FAN T, LIU P, et al. Design of SFP cascading video transmission system based on FPGA [J]. Optical Communication Technology, 2019, 43(7):25-30.
- [9] 周珍龙,顾彤,王红兵.FPGA 的 eMMC 嵌入式阵列存储系统设计[J].单片机与嵌入式系统应用,2016,16(4):36-39.
ZHOU ZH L, GU W, WANG H B. Design of eMMC embedded array storage system based on FPGA [J]. Microcontrollers & Embedded Systems, 2016, 16(4):36-39.
- [10] 杨亚涛,张松涛,李子臣,等.SATA 3.0 物理层设计与 FPGA 实现[J].计算机工程与应用,2017,53(20):38-42.
YANG Y T, ZHANG S T, LI Z C, et al. SATA 3.0 physical layer design and FPGA implementation [J]. Computer Engineering and Applications, 2017, 53(20):38-42.
- [11] 张峰,吴钦章,任国强.基于 SATA 的高速 CCD 存储方案设计[J].半导体光电,2010,31(5):782-786.
ZHANG F, WU Q ZH, REN G Q. Design of high speed CCD storage scheme based on SATA [J]. Semiconductor Optoelectronics, 2010,31(5):782-786.
- [12] 王烨,张峰,李燕斌.SATA 高速存储的 FPGA 实现[J].电讯技术,2012,52(11):1801-1804.
WANG W, ZHANG F, LI Y B. FPGA implementation of SATA high speed storage [J]. Telecommunication Engineering, 2012,52(11):1801-1804.
- [13] 曹旭东,张实.基于 FPGA 的高速网闸交换卡的设计[J].科学技术与工程,2013,13(22):6610-6615.
CAO X D, ZHANG SH. Design of high speed gatekeeper switch card based on FPGA [J]. Science Technology and Engineering, 2013,13(22):6610-6615.

- [14] 曹鹏飞. 基于 FPGA 实现 JESD204B 高速接口设计[J]. 无线 互联科技, 2018, 15(23): 19-21.
CAO P F. Design of JESD204B high-speed interface based on FPGA[J]. Wireless Interconnect Technology, 2018, 15(23): 19-21.
- [15] 贾树林. 示波记录仪中 FPGA 高速传输接口的设计与应用[D]. 成都: 电子科技大学, 2019.
JIA SH L. Design and application of FPGA high-speed transmission interface in scope corders [D]. Chengdu: University of Electronic Science and Technology of China, 2019.
- [16] 电子科技大学. 带宽自适应的串行数据传输系统: CN201 810834053. 1[P]. 2018-12-11.
University of Electronic Science and Technology of China. Bandwidth adaptive serial data transmission system: CN201810834053. 1[P]. 2018-12-11.

作者简介



杨云鹏, 2013 年于中北大学获得学士学位, 现为电子科技大学硕士研究生, 主要研究方向为数据采集和数字信号处理。
E-mail: yunpengy1126@163.com

Yang Yunpeng received his B.Sc. degree from North University of China in 2013. He is currently a M.Sc. candidate at University of Electronic Science and Technology of China. His main research interests include data acquisition and digital signal processing.



许波, 2016 年于电子科技大学获得硕士学位, 现为电子科技大学工程师, 主要研究方向为数据采集与处理。

E-mail: xubo5054@foxmail.com



Xu Bo received his M.Sc. degree in 2016 from University of Electronic Science and Technology of China. He is currently a engineer at University of Electronic Science and Technology of China. His main research interests include data acquisition and processing.

高媛, 博士, 现为军委装备发展部工程师。

E-mail: c4isrmm@sohu.com

Gao Yuan, Ph.D. degree. Now she is an engineer in Military Commission Equipment Development Department.



赵佳(通信作者), 2016 年于电子科技大学获得硕士学位, 现为成都医学院助教, 主要研究方向为仪器与测试技术、嵌入式软件设计等。

E-mail: 15108237973@163.com

Zhao Jia (Corresponding author) received her M.Sc. degree from University of Electronic Science and Technology of China in 2016. Now she is an assistant at Chengdu Medical College of China. Her main research interest includes instrumentation and testing technology, and embedded software design.