

DOI: 10.13382/j.jemi.B2306665

大尺寸 TFT 屏视频信号的尺度变换与降场频实现*

苗其军¹ 赵瑞康¹ 王素珍¹ 邹开元²

(1. 青岛大学电子信息学院 青岛 266071; 2. 海信智动精工有限公司 青岛 266520)

摘要:为解决测试超高清视频处理主板需要更换不同规格 TFT 屏幕的难题,同时进一步缩短测试耗时;提出了一种 FPGA 器件联合 DDR3 SDRAM 存储芯片的尺度变换和降场频的系统结构,将不同分辨率和不同场频的视频信号归一化为高清视频信号。系统以 4 K@60 Hz 超高清视频作为输入信号,送到由 FPGA 控制的 DDR3 组成的视频数据读写模块中,实现数据跨时钟域传输和尺度下变换处理及视频数据的连接;连续输出尺度下变换与降场频处理后的高清视频信号。经对比实验测试,相较于多路 FIFO 加 DDR3 的存储结构,消耗的存储资源减少 352 256 bit,同时转换过程耗时减少 6.761 μs 。结果表明本系统更适用于生产线上视频处理主板的测试需求。

关键词:超高清、高清视频信号;尺度下变换;场频;DDR3 存储芯片;异步 FIFO 寄存器;FPGA 器件

中图分类号: TN911.73; TP391 **文献标识码:** A **国家标准学科分类代码:** 510.10

Implementation of video scaling and field frequency changing system for large-screen TFT

Miao Qijun¹ Zhao Ruikang¹ Wang Suzhen¹ Zou Kaiyuan²

(1. School of Electronics & Information, Qingdao University, Qingdao 266071, China;

2. Hisense Smart Precision Co., LTD., Qingdao 266520, China)

Abstract: In order to solve the problem of replacing TFT screens of different specifications when testing UHD video processing motherboards, and further shorten the test time, a system structure is proposed that combines the scale conversion and field frequency reduction of FPGA devices with DDR3 SDRAM memory chips to normalize video signals with different resolutions and field frequencies into HD video signals. The system uses 4 K@60 Hz UHD video as the input signal and sends it to the video data reading and writing module composed of DDR3 controlled by FPGA to realize cross-domain transmission, down-scale conversion processing and data connection; continuous output the HD video signal after down-scale conversion and field frequency reduction. After comparative experiments, compared with the storage structure of multi-channel FIFO plus DDR3, the storage resources consumed are reduced by 352 256 bits, and the conversion process time is reduced by 6.761 μs . The results show that this system is more suitable for the testing requirements of video processing mainboards on production lines.

Keywords: ultra-high-definition and high-definition video signal; down scale transformation; field frequency; DDR3 memory chip; asynchronous FIFO register; FPGA device

0 引言

大尺寸 TFT-LCD (thin film transistor-liquid crystal display) 屏具有多种分辨率 (SD1 280×720、HD1 920×1 080、UHD3 840×2 160、UHD7 680×4 320) 及多种场频

(30、60、50、90 等) 参数^[1-4]。同时视频处理主板与屏驱动的连接方式也有 VBO (video by one)、CEDDS (a clock embedded differential signaling)、ISP (the integrated-stream protocol) 等多种连接方式^[5-8]。连接 TFT-LCD 显示面板的时序控制器 TCON (timing controller) 和源极驱动器 SDIC (source-data driven integrated circuit) 可达到 6 Gbps

收稿日期: 2023-06-27 Received Date: 2023-06-27

* 基金项目: 山东省自然科学基金 (ZR2020MF003)、山东校企联合基金 (RH1900012993) 项目资助

的码速率^[9-11],且大尺寸 TFT 屏不易搬移,造成实际测试不方便。因此,生产中需要将超高清视频处理主板的输出信号经尺度变换和降场频处理成高清视频信号,便于使用规格统一的便携屏测试。

目前对超高清视频信号的尺度变换或降场频处理通常依赖多个 FIFO 或大容量 RAM 配合动态随机存储器 DDR3 SDRAM 存储芯片来实现。文献[12]利用超大容量 RAM 作为图像的帧存储器,设置存 5 帧读 3 帧的读写操作方法,将场频为 100 Hz 的视频源降为 60 Hz。文献[13]利用 2 片 DDR1 和 RAM 将 8 路 SDI 接口的 2 K 视频信号缓冲组合成为两路 4K-UHD 的视频信号,实现了上尺度变换。文献[14]设计了两路 FIFO 加 RAM 的读写仲裁控制方法,设置每路 FIFO 存读 1 行图像数据来解决采样过程的帧交错问题。文献[15]应用两个 FIFO 缓冲器存储相邻两行的视频信号,对相邻两行数据进行插值或抽取运算,实现对信号的上、下尺度变换。文献[16]以两片 FPGA 和两片 DDR3 为控制和存储系统,利用 FPGA 中的 8 个 FIFO 和外接 2 个 FLashRAM 存储器,将 8 个 LVDS 链路上传输的信号暂存为两路 3 840×4 320 @ 60 Hz 视频数据,由两路信号合成 4 320×7 680@ 60 Hz 的 8 K 信号,实现了尺度上变换;同时对还能对 3 840×4 320@ 60 Hz 信号进行下尺度变换输出 1 080×1 920@ 60 Hz 视频信号。文献[17-18]利用模式识别和神经网络算法实现视频信号的尺度和场频变换,这些方法重在算法的研究。复杂算法有助于提高视频信号观赏质量,但客观上也消耗更多存储空间,增加转换过程的延时。实际生产车间的测试更需要结构简单、快速稳定的变换效果。

本文采用 XC7A100T-2FGG484I 型号的 FPGA 主控芯片,通过对两片 MT41J256M16HA-125 型号的 DDR3 存

储芯片的读写控制,实现了对大尺寸 TFT 屏的超高清视频信号尺度下变换与降场频处理。系统采用 7 系列的 FPGA 芯片的内存接口生成器 MIG (memory interface generator) 软核,来简化 DDR3 读、写的控制^[19-21]。在变换和处理中,充分利用 FPGA 芯片内部的逻辑资源,对输入的视频信号进行下采样处理;利用异步 FIFO 寄存器的写、读数据位宽及时钟的不同,变换视频信号的分辨率及场频。系统抽取视频信号奇数场中的奇数行、奇数列的像素点数据;利用单路异步读写 FIFO 和 DDR3 的简化结构实现了数据跨时钟域传输和视频数据的连接,通过视频数据合成处理,连续输出变换后归一化的视频信号。通过对系统设置不同的参数,能将不同分辨率和不同帧频的视频信号进行归一化处理,便于车间生产过程中测试不同屏对应不同的视频处理主板,提高了生产效率,节约了成本。

1 实现方法及 DDR3 容量分析

1.1 尺度下变换与降场频方法

4 K@60 Hz 视频信号的行显示时序如图 1 所示。在行有效的显示区域中,数据使能 DE 为高电平,每行有效显示区域包含 3 840 列像素点。场同步 VS、行同步 HS、数据使能 DE 的关系如图 2 所示,前一场后肩的结束到后一场前肩开始时刻为一场有效的显示区域,由 2 160 行组成。在场有效显示区域内,每行图像在 HS 控制下,计数像素时钟 P_CLK 上升沿的数目来标定行显示区域;在场同步 VS 的控制下,计数行同步脉冲上升沿的数目来标定场显示区域。整场图像中,数据使能 DE 高电平时段,对应有有效显示的图像数据 DATA。

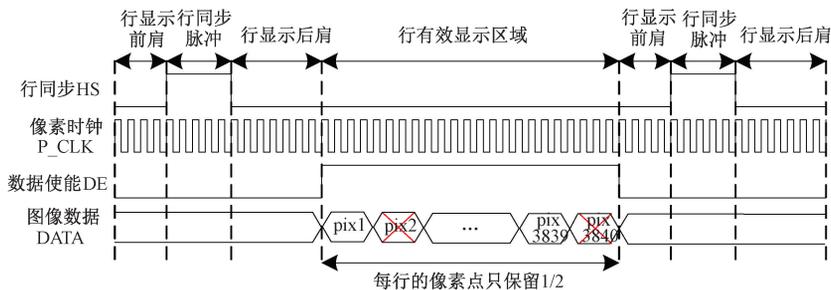


图 1 视频数据的行显示时序

Fig. 1 Row display timing of video data

对输入视频信号进行尺度下变换的方法是将视频扫描的每场像素进行下采样处理,垂直方向抽取奇数行,水平方向抽取奇数列,使每场的总数据量压缩为原来的 1/4;同时每相邻的两场视频图像数据中,保留奇数场数据、舍弃偶数场。4 K@60 Hz(2 160 行×3 840 列)视频信

号经过尺度下变换处理后,每秒保留 30 场 1 080P(1 080 行×1 920 列)分辨率的图像数据。如图 1 所示每行有效显示的 3 840 个像素点,在保留奇数列、舍弃偶数列后成为 1 920 列;如图 2 所示每场有效显示的 2 160 行,在保留奇数行、舍弃偶数行后成为 1 080 行。

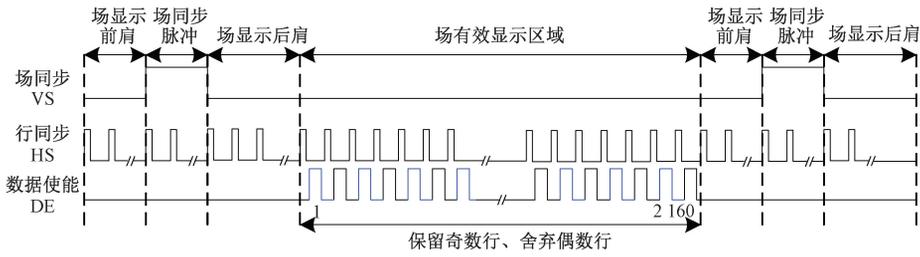
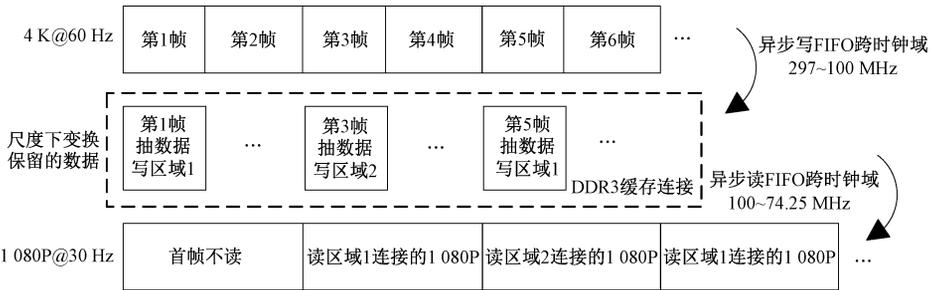


图 2 视频数据的场显示时序

Fig. 2 Field display timing of video data

降场频处理的方法是对异步 FIFO 寄存器和 DDR3 的读写控制,如图 3 所示,通过异步 FIFO 寄存器的写、读频率设置,将视频数据从 4 K@60 Hz 时钟域同步到 1 080P@30 Hz 时钟域;同时,尺度下变换每秒抽取的不连续的 30 场 1 080P 分辨率的图像数据,经过 DDR3 缓存连接后才能稳定读取显示。为确保视频数据整体连续读写,系统充分利用 DDR3 内部存储资源,将 DDR3 读写地址划分为地址区域 1 (1~2 073 600) 和地址区域 2

(2 073 601~4 147 200),每个地址区域各能存读一场 1080P 分辨率视频图像数据。尺度下变换抽取的数据,按图示每两场交替写入和读出 DDR3 的两个地址区域。DDR3 本身不支持同时读写,但 FIFO 支持同时读写,利用 DDR3 突发传输数据的机制在一次写过程或读过程中传输足量数据,不断切换读写状态,FIFO 负责与外部的数据交互,这样整体上就可以连续读写数据,实现 60~30 Hz 的降场频处理。



图中DDR3区域1地址: 1~2 073 600, DDR3区域2地址: 2 073 601~4 147 200

图 3 系统降场频处理方法

Fig. 3 System frequency reduction processing

测试输入以及处理后的视频时序参数如表 1~2 所示。其中,行时序参数的单位是像素时钟 p_clk,场时序参数以扫描行 scan_line 为单位。输入 4 K@60 Hz 信号的像素时钟为 594 MHz,处理后视频为 1 080P@30 Hz 的 2 K 分辨率信号,其像素时钟为 74.25 MHz。

表 1 视频图像的行时序参数

Table 1 Row timing parameters for video (p_clk)

参数	行同步	行显示	行有效	行显示
	脉冲	后肩	显示区域	前肩
3 840×2 160	88	296	3 840	176
1 920×1 080	44	148	1 920	88

视频图像显示数据类型为 RGB888 编码格式,如图 4 所示。每个像素点包含 24 bit 数据,通过控制 R(红色)、G(绿色)、B(蓝色)3 种基色分量的叠加来输出各种色彩,每种颜色分量为 8 bit 数据。因为 DDR3 内部存储单元的 32 bit 位宽,读写数据时将 24 bit 像素数据添加 8 bit

数值 0 拼成 32 bit 的数据。

表 2 视频图像的场时序参数

Table 2 Field timing parameters for video

参数	场同步	场显示	场有效	场显示
	脉冲	后肩	显示区域	前肩
3 840×2 160	10	72	2 160	8
1 920×1 080	5	36	1 080	4

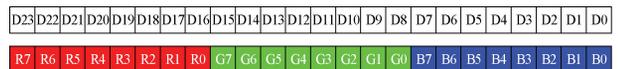


图 4 RGB888 像素点数据格式

Fig. 4 RGB888 pixel data format

1.2 DDR3 的内部结构及存储容量分析

系统采用 MT41J256M16HA-125 型号的 DDR3 存储

芯片,其内部结构如图 5 所示。芯片的地址总线 BA[2 : 0](bank_addr)控制表地址的数值,最多可用 8(2³)张表。行地址总线为 A[14 : 0](row_addr),最大行地址为 32 768(2¹⁵)。地址总线 A[9 : 0]以时分复用的方式控制列地址和突发长度,A[9 : 3](column_addr)为复用的列地址,最大列地址为 128(2⁷)。总线 A[2 : 0](burst_length)控制突发长度,突发长度为 8 个地址空间,因此 DDR3 内部的数据传输在给定首地址后可以补齐其余 7 个数据的传输地址。系统并联使用两片同型号的内存位宽为 16 bit 的存储芯片扩展为 32 bit 的位宽,所以 DDR3 内部每次读写突发的数据传输量为 256 bit(32 bit×8)。该型号的 DDR3 存储芯片最大存储容量为 536 870 912 bit(32 768×128×16 bit×8),最多可容纳 4 194 304(32 768×128)个 128 bit 数组,超过两场 1 080P@30 Hz 图像有效显示数据的读写需要占用 4 147 200(1 920×1 080×2)个 24 bit 数组,满足处理系统存储需求。

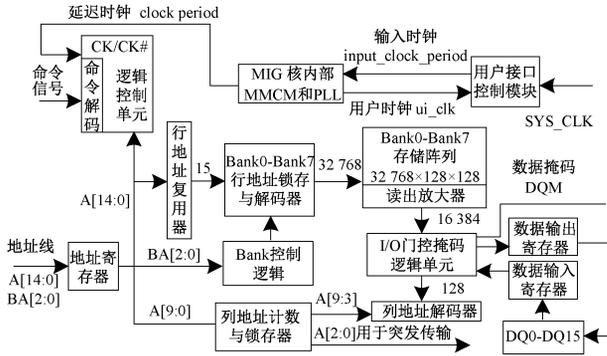


图 5 DDR3 内部存储结构示意图

Fig. 5 DDR3 internal storage structure diagram

2 系统整体结构

系统整体结构如图 6 所示,包含系统时钟、尺度下变换、视频数据读写、视频数据合成处理等模块。系统时钟部分利用差分输入时钟缓冲器 IBUFDS 将外部 200 MHz 差分时钟转换成系统内部使用的 200 MHz 单端时钟 SYS_CLK,进而通过锁相环 PLL 分频产生各模块运行所需时钟。尺度下变换将连续的 4 K@60 Hz 视频数据,抽取奇数场中的奇数行、奇数列的像素点数据,舍弃其他数据,形成降分辨率的 1 080P@30 Hz 视频信号。视频数据读写模块的输入及输出端使用可同时读写的异步 FIFO 寄存器,使降分辨率处理后的视频数据以 297 MHz 的像素时钟传入异步写 FIFO 寄存器,经过用户接口控制模块的数据传递和 MIG 核控制的 DDR3 存储器的写、读缓存处理后,以 74.25 MHz 的像素时钟从异步读 FIFO 寄存器读出。视频数据合成处理模块产生 1 080P@30 Hz 格式的

视频控制信号和读使能信号,连续输出读 FIFO 寄存器中的视频数据,并送到显示器显示。

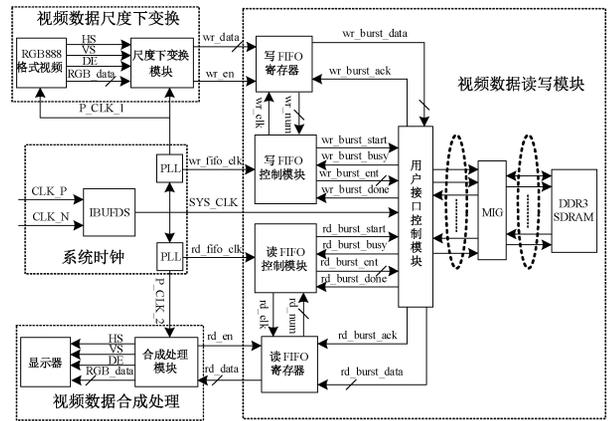


图 6 系统整体结构框图

Fig. 6 Overall structure for system

2.1 变换实现

依据视频图像的场显示、行显示原理,将连续输入的 4 K@60 Hz 视频信号逐场拆分,抽取奇数场数据;同时,对每场从 2 160×3 840 个显示的像素点阵列中抽取 1 080×1 920 个像素点;并产生写使能信号 wr_en 控制将抽取的数据存入视频数据读写模块中。变换后的数据在时间轴上不连续,需要输入视频数据读写模块作缓存连接,并经过数据合成处理才能连续稳定输出 1 080P@30 Hz 视频信号。

1) 抽帧处理的时序设计

尺度下变换模块中设计的抽帧处理时序如图 7 所示。将连续输入的视频信号每秒逐场拆分成 60 场图像数据,抽取每相邻两场中的奇数场图像数据,得到在时间轴上不连续的每秒 30 场图像数据。

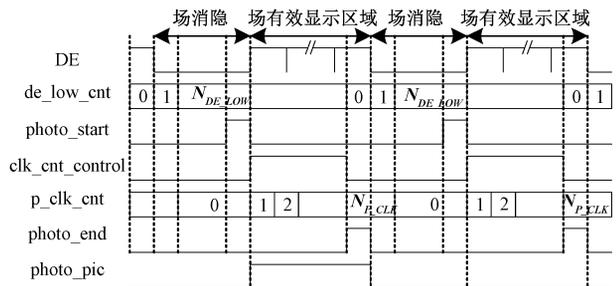


图 7 视频数据抽帧处理时序图

Fig. 7 Time sequence diagram for frame extraction processing

抽帧处理时序严格标定奇偶场的数据边界,设计两个计数器来产生一场有效信号的开始和结束指示信号。使用长连零计数器 de_low_cnt 来标定 DE 的低电平场消隐时间段,当其计数值达到阈值 N_{DE_LOW}-1 时,场有效区

域开始边界指示信号 photo_start 电平拉高且持续一个像素时钟。在 photo_start 下降沿时刻,像素计数控制信号 clk_cnt_control 电平拉高,同时像素时钟计数器 p_clk_cnt 开始计数。计数器 p_clk_cnt 的阈值 N_{P_CLK} 为场有效显示区域像素点的总数。当 p_clk_cnt 计数值达到 N_{P_CLK} 减 1 后,下一时钟时刻 clk_cnt_control 电平拉低,同时有效显示区域结束边界指示信号 photo_end 电平拉高且一个时钟后拉低。可见,信号 photo_start 和 photo_end 的下降沿,分别标定一场有效数据的开始和结束。

奇场数据提取信号 photo_pic 在奇数场进入有效区域开始边界时电平拉高,离开有效区域结束边界时电平拉低,在偶数场及消隐时间段内维持低电平不变。在信号 photo_pic 为高电平时,保持场频率仍为 60 Hz,抽取奇数场数据,得到每秒 30 场有效图像数据。

图 7 中的两个计数器 de_low_cnt 和 p_clk_cnt 的阈值 N_{DE_LOW} 和 N_{P_CLK} 可由式(1)、(2)计算得出:

$$N_{DE_LOW} = (T_{V_FP} + T_{V_SYNC} + T_{V_BP}) \times T_{H_TOTAL} \quad (1)$$

$$N_{P_CLK} = T_{V_ACTIVE} \times T_{H_TOTAL} \quad (2)$$

式中: T_{V_FP} 为场显示前肩时钟数, T_{V_SYNC} 为场同步脉冲时钟数, T_{V_BP} 为场显示后肩时钟数, T_{H_TOTAL} 为一行像素时钟的总数; T_{V_ACTIVE} 为场有效显示区域总行数。

参照表 1~2 中的视频图像时序参数,输入 4 K@60 Hz 视频信号下, N_{DE_LOW} 值为 396 000(4 400×90) 个像素时钟数; N_{P_CLK} 值为 9 504 000(4 400×2 160) 个像素时钟数。

2) 降分辨率的时序设计

尺度下变换模块中设计的降分辨率时序如图 8 所示。对 4 K@60 Hz 视频信号而言,设置行计数器 hs_cnt 从场消隐开始计数,经过 90 行的场消隐区后进入首行图像显示,当其计数值达到 91,且在行有效区域开始时,使得行提取信号 row_control 为高电平,再次进入行消隐区时拉低。下一个 92 行的有效区间和消隐时段,信号 row_control 维持低电平。以此类推,每当 hs_cnt 计数值为奇数时,奇数行的有效区间 row_control 为高电平,其他时段都为低电平。这样,在信号 row_control 为高电平时,抽取行有效区间的数据 row_data,实现了对每场信号的奇数行有效数据的提取。对 4 K@60 Hz 视频信号而言,当 hs_cnt 计数到 2 250 行时,完成一场图像有效显示区域的 1 080 行奇数行数据的提取。

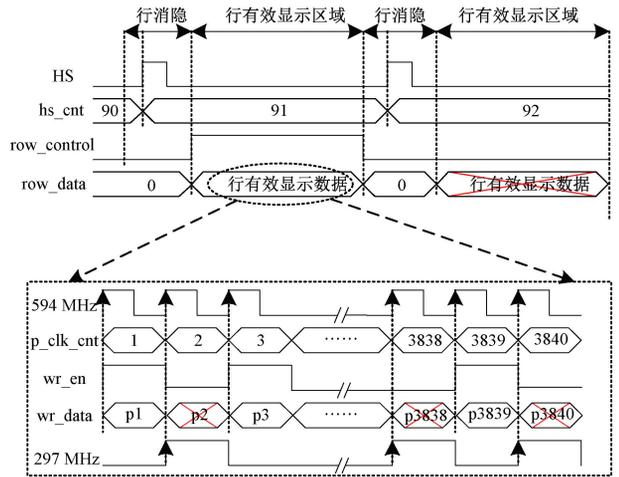


图 8 视频数据降分辨率时序图

Fig. 8 Time sequence diagram for frame resolution reduction

在提取奇数行的同时, p_clk_cnt 计数每行图像的像素点个数,当计数值为奇数时写使能信号 wr_en 为高电平、写数据 wr_data 为保留的像素点数据,计数值为偶数时 wr_en 维持低电平且 wr_data 为 0。当 p_clk_cnt 计数到 3 840 个像素点,完成一行图像有效显示区域的 1 920 个奇数列像素点的提取。从图 8 可见,写使能信号 wr_en 信号的频率是输入像素时钟频率的 1/2,即 297 MHz,其作为后续异步写 FIFO 寄存器的写入时钟。

由此,通过行计数器 hs_cnt 产生行提取信号 row_control,控制奇数行数据的抽取;同时,通过像素计数器 p_clk_cnt 产生 wr_en 信号,控制奇数行的奇数列数据的抽取,使图像分辨率在纵向、横向各降低 1/2,整体分辨率降为原来的 1/4。对超高清 4 K@60 Hz 视频信号而言,将 2 160×3 840 的分辨率降为高清的 1 080×1 920 格式。

3) 抽帧处理和降分辨率的仿真结果

图 9 所示为抽帧处理仿真结果,图中蓝色波形为输入的 4 K@60 Hz 彩条测试视频数据,灰色波形为奇场数据提取信号 photo_pic 和提取的奇场视频数据 wr_data [31:0]。从仿真结果显示,信号 photo_start 和 photo_end 正确标定一场有效数据的开始和结束,与图 7 的时序设计相一致,每相邻两场图像仅保留第 1 场数据,达到抽帧处理效果。模块降分辨率处理的仿真结果如图 10~11 所示。

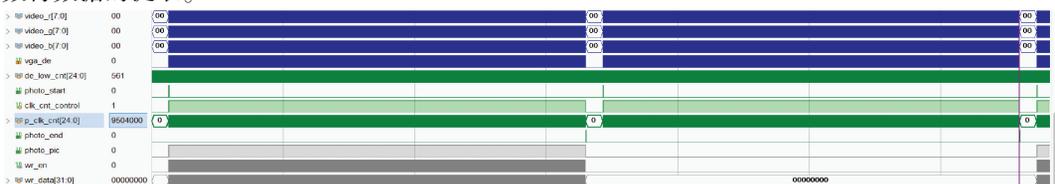


图 9 抽帧处理仿真结果

Fig. 9 Simulation results of frame extraction processing

优先级的控制逻辑,当系统写过程未完成时接收到的读指令将被锁存,等待写过程完成后再执行。写入到视频数据读写模块的时钟频率为 297 MHz,读出时钟频率为 74.25 MHz,而 DDR3 内部突发读写传输数据的时钟频率为 400 MHz,所以模块内部的读写状态切换速率足以满足外部数据传输的需求。

图 13 为用户接口控制模块控制 DDR3 的一次写过程时序图,由连续的 32 次突发写入操作组成。在 MIG 核和 DDR3 初始化操作完成,用户接口控制模块接收到数据反馈信号 app_rdy 的高电平后,当接收到写 FIFO 控制模块输入的脉冲信号 wr_burst_start 时,就开启 1 次写过程数据传递。用户接口控制模块向 MIG 核指令控制信号 app_cmd 发送写操作 0,将写 FIFO 寄存器中已缓存的

待写数据(D1~D32 共 32 个 256 bit 数据)依次读出,每读 1 个计数器 wr_burst_cnt 加 1,读出数据 wr_burst_data 由用户接口控制模块逐个传入 MIG 核的数据接口信号 app_wdf_data。每写入 D1~D32 中的 1 个数据,MIG 核控制的 DDR3 就执行 1 次写突发操作,每次突发写入 256 bit,对应地址 app_addr 计数 8 个存储空间。一次写过程总计向 DDR3 内部存入 256 个 32 bit 视频数据,1 场 1 080P 分辨率视频图像包含的 2 073 600 个 32 bit 的视频数据,总计需要用户接口控制模块执行 8 100 次写过程操作。由 wr_burst_addr 锁存 1 次写过程最后的 app_addr 数值,作为下一次写过程传输的首个写地址,当 wr_burst_addr 达到 2 073 600 或 4 147 200 时,代表 DDR3 存满一场图像数据。

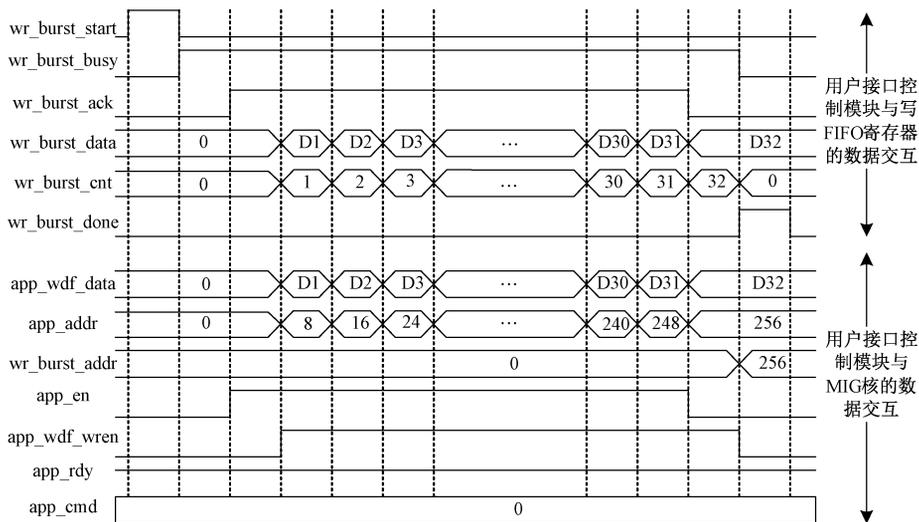


图 13 用户接口控制模块的控制 DDR3 写过程时序

Fig. 13 User interface module controls DDR3 writing

图 14 为用户接口控制模块控制 DDR3 的一次读操作的时序图。当 DDR3 存满一场图像数据且异步读 FIFO 寄存器接受到数据合成处理模块的读使能高电平后,通过用户接口控制模块控制 MIG 核将数据从 DDR3 读取到读 FIFO 寄存器中。在用户接口控制模块接收到 app_rdy 高电平信号后,当收到读 FIFO 控制模块输入的脉冲信号 rd_burst_start 时,就启动 1 次读过程,用户接口控制模块向 MIG 核指令控制信号 app_cmd 发送读操作 1。一次读过程通过 32 次 DDR3 内部的突发读操作将前一写过程的写入数据读出,在用户接口控制模块控制作用下,将数据依次反向从 DDR3 传送到 MIG 核中的 app_rd_data 数据缓冲器中,再传输到读 FIFO 寄存器中。也由 rd_burst_addr 计数判断 DDR3 读完一场图像数据。

时钟域的传输。用户接口控制模块的写读过程的触发和数据拼接与拆分处理由异步 FIFO 负责。

在尺度下变换模块输出的 wr_en 信号控制下,将抽帧、降分辨率处理后的 32bit 视频写数据以 297 MHz 时钟频率传入写 FIFO 寄存器。由用户接口控制模块控制 DDR3 写、读时序部分可知,一次写过程数据传递的数据为 32×256 bit。异步写 FIFO 写端的数据位宽是 32 bit,当写入 256 个 32 bit 数据时,异步写 FIFO 控制模块输出脉冲信号 wr_burst_start,触发用户接口控制模块给 DDR3 传输数据 wr_burst_data。信号 wr_burst_data 为用户接口控制模块从写 FIFO 读出的数据,读时钟频率为 100 MHz,数据位宽是 256 bit。模块通过异步写 FIFO 寄存器实现对写入数据的拼接和写读时钟域的转换。异步写 FIFO 控制模块的状态转换如图 15 所示。

S1 空闲状态(IDLE):在 S1 状态下执行内部信号的复位操作并等待写使能信号 wr_en 高电平的输入。首次

2) 异步 FIFO 写、读控制

异步 FIFO 寄存器具有写读数据位宽的不同以及写读频率不同的特性,可以实现数据的拼接与拆分,以及跨

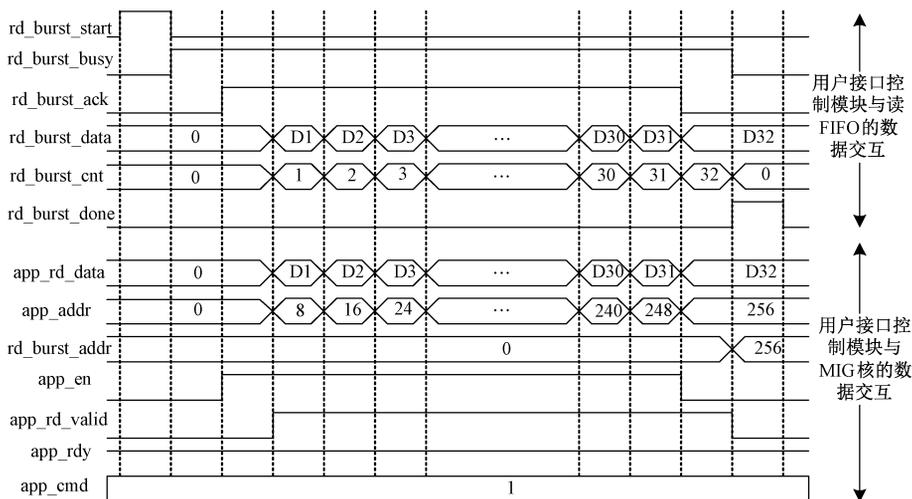


图 14 用户接口控制模块的控制 DDR3 读过程时序

Fig. 14 User interface module controls DDR3 reading

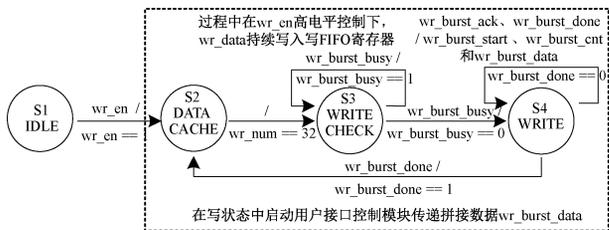


图 15 写 FIFO 控制模块的状态转换图

Fig. 15 State transition diagram of write FIFO control module

收到 wr_en 高电平时,异步写 FIFO 进入 S2 状态。

S2 写数据拼接状态 (DATA CACHE): 从进入 S2 状态开始,异步写 FIFO 正式执行写数据缓存操作,始终在 wr_en 高电平控制下以 297 MHz 时钟频率写入 32 bit 视频写数据。在 S2 状态下执行数据位宽的转换,将数据按照写入顺序每 8 个 1 组拼接成 1 个 256 bit 数据,由计数器 wr_num 计数已拼接的 256 bit 单位的数据个数。当 wr_num 值达到 32,标志着用户接口控制模块 1 次写传递需要的 32 个 256 bit 数据准备完毕,进入 S3 状态。

S3 检测 DDR3 写状态 (WRITE CHECK): 进入 S3 状态,写 FIFO 控制模块接收用户接口控制模块传来的 wr_burst_busy 信号。若 wr_burst_busy 为高电平,表明用户接口控制模块正忙于 DDR3 的上一次写过程的数据传递,则保持 S3 状态;否则,进入 S4 状态。

S4 写 DDR3 状态 (WRITE): 写 FIFO 控制模块输出脉冲信号 wr_burst_start,触发用户接口控制模块启动写数据的传递过程。开始后,由用户接口控制模块返回给写 FIFO 控制模块 wr_burst_busy 高电平避免二次启动写传递;返回 wr_burst_ack 高电平控制写过程数据 wr_burst_data 读出。用户接口控制模块以 100 MHz 读时钟从写

FIFO 寄存器每次突发读出 256 bit 的 wr_burst_data,传递给 MIG 核的输入数据 app_wdf_data 信号,通过 MIG 核控制写入 DDR3 存储器中。当用户接口控制模块完成 1 次写传递过程传输 32×256 bit 数据后,返回给写 FIFO 控制模块写终止脉冲信号 wr_burst_done,进入 S2 状态,准备进行下一次的写操作。

图 16 为异步读 FIFO 控制模块的状态转换图。读取 DDR3 存储的视频数据,缓存到读 FIFO 寄存器的读过程是写数据的逆向操作。异步读 FIFO 的状态转换与异步写 FIFO 类似,不同的是异步读 FIFO 需要把用户接口控制模块传递的 256 bit 位宽为单位的 DDR3 读数据拆分成 32 bit 位宽为单位的视频读数据。过程中异步读 FIFO 写频率为 100 MHz,读频率为 74.25 MHz,考虑到写快读慢的数据溢出问题,控制异步读 FIFO 先在 S2 状态激发 1 次用户接口控制模块的读数据传递;接收到用户接口控制模块的读操作完成信号 rd_burst_done 为高电平信号时,进入 S3 状态。在 S3 状态设置计数器 rd_num 计数写入的 256 bit 位宽数据个数,当计数器 rd_num=32 时就进入 S4 状态。在 S4 状态进一步确认用户接口控制模块是否处于 DDR3 的读取数据的传递过程中,若接收到 rd_burst_busy 信号为高电平,继续保持 S4 状态;否则,判断没有二次读数据传递后,再进入 S2 状态来激发下一次读数据传递,从 MIG 核控制的 DDR3 中获取新的读数据。过程中异步读 FIFO 内部始终保持至少有 32×256 bit 数据可读,可以连续向外部输出拆分的视频数据,且 FIFO 内部缓存数据量不超过两次读数据传递过程的 16 384 bit 总量,使 FIFO 数据缓存不溢出。异步读 FIFO 受到读使能信号 rd_en 控制,以 74.25 MHz 的新像素时钟频率读取数据,与新生成的行、场同步信号和数据消隐信号对齐后,完成视频数据的合成,向外部显示器输出 1 080P@

30 Hz 视频信号。

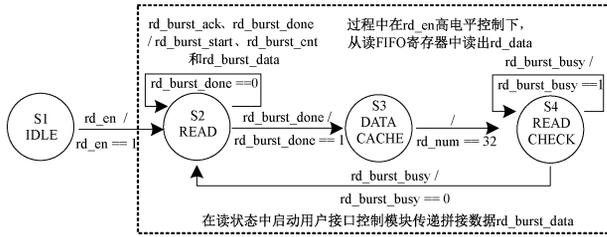


图 16 读 FIFO 控制模块状态转换图

Fig. 16 State transition diagram of read FIFO control module

3) 视频数据读写模块功能测试

系统采用 Verilog HDL 语言进行各模块设计,在

Xilinx 公司的 VIVADO 开发环境下进行编译及测试。在创建 MIG 核时先建立 mig_7series_ex 工程单独测试 MIG 核参数设置是否有误,在测试 MIG 核功能正常下,完成对 DDR3 的读写控制。

图 17 为用户接口控制模块写过程中的一次写数据传递仿真图,图 18 为用户接口控制模块控制读 DDR3 过程的一次读数据传递仿真图。仿真结果符合图 13~14 的写、读过程时序设计。

图 19~20 为系统使用集成逻辑分析仪 (ILA) IP 内核抓取到的数据读写模块的读写区域交替过程,可以看出图中当区域 1 被写满后,读区域 1 中的数据;图中当区域 2 被写满后,读区域 2 中的数据,符合图 3 降场频处理的整体设计要求。

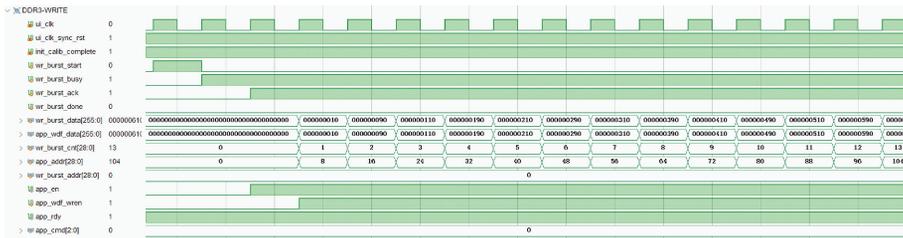


图 17 控制 DDR3 写过程数据传递仿真

Fig. 17 Simulation of DDR3 writing data transfer processing

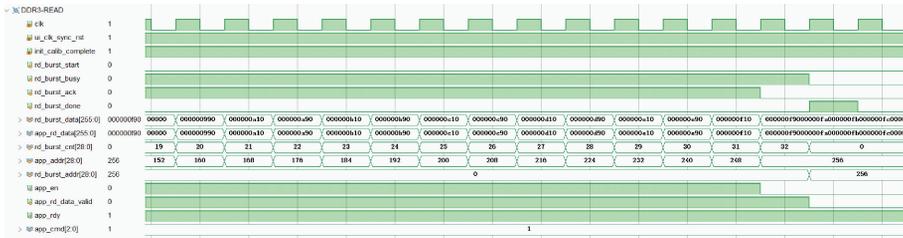


图 18 控制 DDR3 读过程数据传递仿真

Fig. 18 Simulation of DDR3 reading data transfer processing

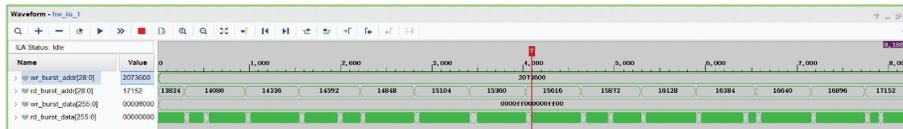


图 19 ILA 探针采样测试结果 1

Fig. 19 ILA probe sampling testing results 1

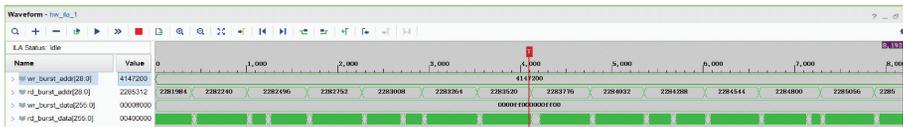


图 20 ILA 探针采样测试结果 2

Fig. 20 ILA probe sampling testing results 2

3 视频数据合成处理

视频数据合成处理过程参照表 1~2 中 1 080P@30 Hz 的时序参数产生读使能信号 rd_en, 每当用户接口控制模块通过 wr_burst_addr 锁存的写地址确认到 DDR3 存满一场数据后, 由 rd_en 的高电平启动视频数据读写模块从 DDR3 中读取已存的视频数据。其中 rd_en 整体基于 DE 信号产生, 参照图 3 在第 1 帧显示读取时因为 DDR3 尚

未存满一场, rd_en 在第 1 帧显示时保持低电平, 不向外读取视频数据; 从第 2 帧显示时 DDR3 始终存满一场数据, rd_en 与 DE 波形相同, 但相位经实际测试需提前 24 个像素时钟, 确保读出数据与信号 HS、VS、DE 同步对齐。新的视频数据以 74.25 MHz 的像素时钟, 向外部显示器输出 1 080P@30 Hz 视频信号。图 21 所示为视频数据合成处理模块向外输出显示的实时仿真结果, 图中每场测试图像的显示时间稳定在 33 ms 左右, 符合 30 Hz 视频图像显示要求。

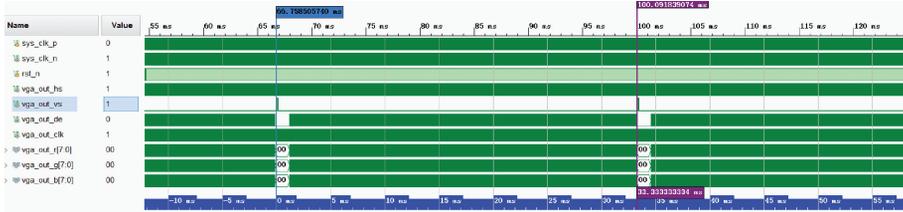
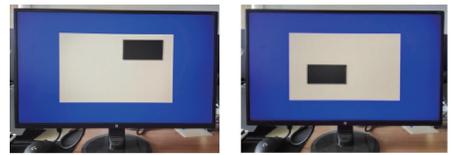


图 21 输出显示的仿真结果

Fig. 21 Simulation result of output display

4 对比测试和性能分析

图 22~23 为系统测试的显示结果, 分别使用 4 K@60 Hz 彩条测试视频和 4 K@60 Hz 方格碰撞测试视频信号作为输入信号源, 来检测系统的静态和动态显示效果。可以看出系统稳定可靠地实现了对超高清视频信号的尺度下变换与降场频的实时处理, 满足车间生产线的超高清视频处理主板的成像测试需求。



(a) 方格碰撞测试1 (b) 方格碰撞测试2
(a) Grid crash test1 (b) Grid crash test2

图 23 方格碰撞测试视频显示

Fig. 23 Grid crash testing video display



图 22 彩条测试视频显示

Fig. 22 Color bar testing video display

为进一步对比本文系统架构与其他处理方法的实时效果, 在 Vivado 开发环境下, 以 4 K@60 Hz 方格碰撞检测视频作为测试的信号源; 利用同型号的 XC7A100T-2FGG484I 主控芯片和 DDR3 存储芯片, 与使用多路 FIFO 加 DDR3 和使用大容量 RAM 加 DDR3 的其他设计架构进行对比实验; 从尺度变换输出耗时、FPGA 占用存储空间、降场频输出耗时和整体动态显示效果方面, 综合比较系统的实时性能。

实时性能比较结果如表 3 所示, 使用大容量 RAM+

DDR3 的设计架构因为可以在 DDR3 外, 存读多帧图像, 其动态视觉效果最流畅, 但尺度变换和降场频输出耗时也最长; 使用多路 FIFO 加 DDR3 的设计架构为方便数据拼接, 每路 FIFO 需至少存读 1 行图像数据, 转换过程的耗时相对大容量 RAM 架构降低, 约 15.985 ms, DDR3 外占用存储资源大幅度降低; 而本文架构充分利用突发传输机制, 只需单路 FIFO 存读 1 次突发传输的图像数据即可, 相对多路 FIFO 架构消耗的存储资源减少 352 256 bit, 同时转换过程耗时减少 6.761 μ s。

表 3 系统实时性能比较

Table 3 Real-time comparison of systems

方法	尺度变换有效数据输出耗时/ μ s	FPGA 占用存储/bit	降场频有效数据输出耗时/ μ s	动态视觉效果
本文架构	674.726	>16 384	17 341.39	流畅
多路 FIFO 架构	681.487	>368 640	17 348.16	流畅
大容量 RAM 架构	16 666.67	>398 131 200	33 333.34	非常流畅

系统主控芯片 XC7A100 T-2FGG484I 的功耗情况如图 24 所示,运行中总功耗为 1.399 W,其中动态耗电 1.291 W,静态耗电 0.108 W。主控芯片功耗在正常参数范围内,可以稳定工作。系统详细的计算资源与存储资源利用情况如表 4 所示,其中存储单元 BRAM 使用 39.26%,时钟管理资源中 MMCM 使用 16.67%、PLL 使用 33.33%,缓冲单元 BUFG 使用 15.63%,查找表 LUT 使用 17.97%。主控芯片资源分配合理,且留有余量,可供系统进一步开发。

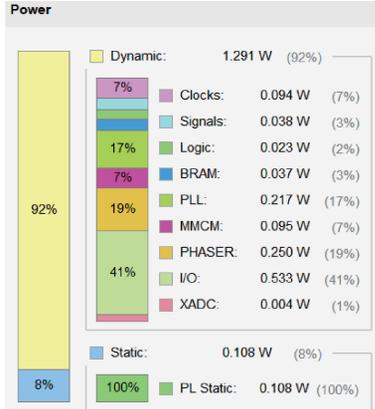


图 24 芯片功耗情况

Fig. 24 Power consumption on chip

表 4 计算资源和存储资源使用情况表

Table 4 Usage of computing and storage resource

资源名称	消耗量	资源总量	使用率/%
LUT	11 395	63 400	17.97
LUTRAM	1 608	19 000	8.46
FF	11 371	126 800	8.97
BRAM	53	135	39.26
IO	102	285	35.79
BUFG	5	32	15.63
MMCM	1	6	16.67
PLL	2	6	33.33

5 结论

本文联合使用 FPGA 器件和 DDR3 SDRAM 存储芯片,对连续输入的视频信号,抽取奇数场中的奇数行、奇数列的像素点数据;送到由异步 FIFO 寄存器和 DDR3 存储器组成的视频数据读写模块中,实现数据跨时钟域传输和尺度下变换处理及视频数据的连接;通过视频数据合成处理,将从 DDR3 读取的数据与新产生的视频控制信号对齐,实现了尺度下变换与降场频处理后的视频信号的连续输出。系统能将不同分辨率和不同场频的视频信号归一化为高清视频信号,方便对不同分辨率及不同

场频的 TFT 屏对应不同的视频处理主板进行测试。因测试不同视频处理主板时,不再需要更换对应的屏,提高了生产效率;同时又保护了超高清大尺寸 TFT 屏,节约了成本。

参考文献

- [1] HARA Y, KIKUCHI T, KITAGAWA H, et al. IGZO-TFT technology for large-screen 8K display[J]. Journal of the Society for Information Display, 2018, 26(3): 169-177.
- [2] LEE H S, JANG S, NOH J, et al. An ultra-high density 1.96"UHD 2250ppi display [J]. SID 2017 DIGEST, 2017, 48(1): 403-405.
- [3] HU H, YUAN G, GU Z, et al. 59-4: Late-News paper: High transmittance and high charging rate 8K 120Hz ADS LCD TV [C]. SID Symposium Digest of Technical Papers, 2020, 51(1): 885-888.
- [4] YU C K, HUANG C R, LIN C M, et al. 32-inch 8K 4K 120Hz LCD with LTPS TFT [J]. SID 2021 DIGEST, 2021, 52(1): 1128-1131.
- [5] LI J, YANG W, LIU X, et al. Research on driving method of oxide TFT liquid crystal panel based on TED scheme[J]. ICDDT 2020, 2021, 52(S2): 522-525.
- [6] SHIN H J, TAKASUGI S, CHOI W S, et al. A novel OLED display panel with high-reliability integrated gate driver circuit using IGZO TFTs for large-sized UHD TVs[J]. SID 2018 DIGEST, 2018, 49(1): 358-361.
- [7] ZHANG Y L, LIAO Y P, PENG Z Y, et al. Driving technology of super large full in cell touch LCD[J]. SID 2022 DIGEST, 2022, 53(1): 1404-1407.
- [8] YANG G, LIU L, ZHENG Z, et al. A portable driving system for high-resolution active matrix electrowetting display based on FPGA [J]. Journal of the Society for Information Display, 2020, 28(3): 287-296.
- [9] KIM T J, BAEK C, CHUN S, et al. A timing controller embedded driver IC with 3.24-Gbps eDP interface for chip-on-glass TFT-LCD applications [J]. Journal of the Society for Information Display, 2016, 24(5): 299-306.
- [10] KIM T J, BAEK C, CHUN S, et al. A timing controller embedded driver IC with 3.24-Gbps eDP interface for Chip-on-glass TFT-LCD applications [J]. J SOC INF DISPLAY, 2016, 24(5): 299-306.
- [11] AMIRKHANY A, HEKMAT M, SANKARANARAYANAN S, et al. 9-5L: Late-News paper: 6 Gb/s ultra definition display interface (UDDI) for large-size 8K displays [C]. SID Symposium Digest of Technical Papers, 2017, 48(1): 108-111.
- [12] 吴迪飞. DVI 双链路图像编解码系统算法研究 [D]. 西安:西安电子科技大学, 2018.

- WU D F. Research on algorithm for dual link DVI image coding and decoding system [D]. Xi'an: Xidian University, 2018.
- [13] GENG L, WU C, RAO T, et al. P-32: 4K-UHD broadcast monitor display system based on FPGA [C]. SID Symposium Digest of Technical Papers, 2021, 52(1): 1182-1185.
- [14] LI T Y, ZHANG F, GUO W, et al. An FPGA-based JPEG preprocessing accelerator for image classification [J]. The Journal of Engineering, 2022, 2022(9): 919-927.
- [15] WANG C C, CAO Y P, TANG Y M, et al. An adaptive video scaling system implementation based on FPGA [J]. ICDT 2020, 2021, 52(S1): 531-534.
- [16] LI Y F, GENG L H, MA X T, et al. An 8K image processing optimization system based on double FPGA chip [J]. ICDT 2019, 2019, 50(S1): 842-845.
- [17] ZHANG Y Z, ZHANG S S, ZHANG J Y, et al. Key frame extraction of surveillance video based on frequency domain analysis [J]. Intelligent Automation and Soft Computing, 2019, 29(1): 259-272.
- [18] TRAN Q N, YANG S H. Video frame interpolation via Down-up scale generative adversarial networks [J]. Journal of Visual Communication and Image Representation, 2022, 220.
- [19] 彭宇, 姬森展, 于希明, 等. 语义分割网络的 FPGA 加速计算方法综述 [J]. 仪器仪表学报, 2021, 42(9): 1-12.
PENG Y, JI S ZH, YU X M, et al. A review of FPGA-accelerated computing methods for semantic segmentation network [J]. Chinese Journal of Scientific Instrument, 2021, 42(9): 1-12.
- [20] 马家麟, 孙海洲, 任贵珊, 等. 高集成度多种格式并行输出的视频测试信号源研制 [J]. 电子测量与仪器学报, 2022, 36(3): 217-223.
MA J L, SUN H ZH, REN G SH, et al Implementation of the high-integration video signal-source with the multi-format and parallel-output function [J]. Journal of Electronic Measurement and Instrumentation, 2022, 36(3): 217-223.
- [21] 刘阳, 冯进良, 黄伟, 等. 基于 FPGA 的三目半全局匹配算法设计与实现 [J]. 仪器仪表学报, 2021,

42(12): 202-210.

LIU Y, FENG J L, HUANG W, et al. Triple semi-global matching algorithm and implementation on FPGA [J]. Chinese Journal of Scientific Instrument, 2021, 42(12): 202-210.

作者简介



苗其军, 2020 年于青岛大学获得学士学位, 现为青岛大学硕士研究生, 主要研究方向为视频传输技术研究和 FPGA 应用技术研究。

E-mail: wmiaojun2010@163.com

Miao Qijun received his B. Sc. degree from Qingdao University of Technology in 2020. Now he is a M. Sc. candidate in Qingdao University. His main research interests include video transmission technology research and FPGA application technology research.



赵瑞康, 2021 年于青岛大学获得学士学位, 现为青岛大学硕士研究生, 主要研究方向为视频传输技术研究和 FPGA 应用技术研究。

E-mail: aweg365@163.com

Zhao Ruikang received his B. Sc. degree from Qingdao University of Technology in 2021. Now he is a M. Sc. candidate in Qingdao University. His main research interests include video transmission technology research and FPGA application technology research.



王素珍 (通信作者), 1988 年于东北师范大学获得学士学位, 2000 年于内蒙古大学获得硕士学位, 2010 年于山东科技大学获得博士学位, 现为青岛大学教授, 硕士生导师, 主要研究方向为视频传输技术与 SOPC 应用技术研究。

E-mail: fnwsz111@126.com

Wang Suzhen (Corresponding author) received her B. Sc. degree from Northeast Normal University in 1988, M. Sc. degree from the Inner Mongolia University in 2000, and Ph. D. degree from the Shandong University of Science and Technology in 2010. Now she is a professor in Qingdao University. Her main research interests include video transmission technology and SOPC application technology.