

DOI: 10.13382/j.jemi.B2306213

基于 STR 的两级差分的高精度低功耗 TDC *

汪玉传 梁华国 鲁迎春 肖远

(合肥工业大学微电子学院 合肥 230009)

摘要:随着集成电路工艺的发展和集成度的提高,电路延时显著降低,传统的时间数字转换器(TDC)的研究趋向于兼具高分辨率和高精度的电路设计。近年来,摩尔定律逐渐失效,物联网大背景下轻量化、微型化、低功耗的边缘设备得到了飞速发展,用于片上延时测量的微型化 TDC 的研究重点逐步转向高精度的低功耗设计。基于 Xilinx Virtex-6 XC6VLX240T 现场可编程门阵列(FPGA)开发平台,提出了一种以游标自定时环(vernier self timing ring, VSTR)代替直接计数法的粗测结构,和两条对称的延迟链组成的细测结构。通过边沿重合检测单元和锁存单元将粗测结构的游标 STR 与细测的对称延迟链结合,设计结果表明该结构量程可达到 491 ns,分辨率为 14.8 ps,最高精度为 12.9 ps,功耗为 0.068 W,说明了提出的两级差分结构具有高精度低功耗的特点。

关键词:差分延迟链;游标自定时环(STR);FPGA;边沿检测;时间数字转换器(TDC)

中图分类号: TN791 **文献标识码:** A **国家标准学科分类代码:** 0809

STR-based two-stage differential high-precision and low-power TDC

Wang Yuchuan Liang Huaguo Lu Yingchun Xiao Yuan

(School of Microelectronics, Hefei University of Technology, Hefei 230009, China)

Abstract: With the development of integrated circuit technology and increased integration, circuit delay has significantly decreased. The research on traditional time-to-digital converters (TDC) tends to focus on circuit designs that combine high resolution and high accuracy. In recent years, as Moore's law has gradually become less effective and with the rise of the Internet of Things (IoT), lightweight, miniaturized, and low-power edge devices have rapidly developed. The research focus on miniaturized TDCs for on-chip delay measurement has gradually shifted towards high-precision and low-power designs. Based on the Xilinx Virtex-6 XC6VLX240T FPGA development platform, a coarse measurement structure using a self-timed ring (STR) instead of direct counting method and a fine measurement structure consisting of two symmetrical delay chains are proposed. The coarse measurement structure's STR is combined with the fine measurement's symmetrical delay chains using edge coincidence detection units and latch units. The design results show that the range of the structure can reach 491 ns, with a resolution of 14.8 ps and a maximum accuracy of 12.9 ps. The power consumption is 0.068 W, indicating that the proposed two-stage differential structure has the characteristics of high precision and low power consumption.

Keywords: differential delay chain; vernier self-timing ring (STR); FPGA; edge detection; time to digital convert (TDC)

0 引言

时间数字转换器(time to digital convert, TDC)是一

种测量两个输入事件或脉冲宽度之间的时间差的电路^[1],广泛应用于激光测距仪^[2]、真随机数生成器^[3]、飞行时间测量^[4]、正电子发射断层扫描仪^[5]、精密仪器^[6-8]以及全数字锁相环(all digital phase-locked loop, PLL)^[9]

收稿日期: 2023-01-18 Received Date: 2023-01-18

* 基金项目:国家自然科学基金重大科研仪器研制项目(62027815)、国家自然科学基金重点项目(61834006)、国家自然科学基金(62174048)项目资助

等设备中。

早在 20 世纪 80 年代, TDC 已应用于高能粒子检测中, 早期 TDC 采用互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 工艺, 首先将时间间隔转换为模拟电压, 称为时间电压转换器 (time-to-voltage converter, TVC) 或第一代 TDC^[10]。第一代 TDC 由模拟电路构成, 它将启动和结束信号之间的时间间隔通过积分器转换成电压信号, 再通过模拟数字转换器 (analog-to-digital converter, ADC) 得到数字码输出, 但功耗和面积较大, 且从根本上无法最大化利用制造工艺线宽减小带来的益处。随着 CMOS 工艺不断发展, 越来越多的设计被数字模块取代。与模拟方法相比, 基于数字电路的 TDC, 其面积小, 功耗低, 集成度高。因此, 为满足低功耗和高分辨率的要求, 出现了全数字 TDC。

目前, TDC 的实现方式主要为基于现场可编程门阵列 (field programmable gate array, FPGA) 实现的 TDC 设计^[11-22] 和基于应用型专用集成电路 (application specific integrated circuit, ASIC) 实现的 TDC 设计^[23-25]。与基于 ASIC 平台的 TDC 相比, 基于 FPGA 的 TDC 具有设计周期短, 开发成本低, 灵活性高, 适应不同测量领域等优点。随着工艺不断发展, 基于 FPGA 的 TDC 已成为实现 TDC 的独立分支^[15]。

基于 FPGA 实现的 TDC 电路, 其分辨率受到 FPGA 器件中固有延迟单元的均匀性和最小延迟时间的限制。为此, 研究者提出了不同的方法来解决这一问题, 如游标延迟链型 TDC^[18, 24]、多链型 TDC^[16]、脉冲衰减型 TDC^[22]、抽头延迟链型 TDC^[6, 11, 14]、环形振荡器 (ring oscillator, RO) TDC^[2, 21, 23]、游标环形振荡器 (vernier ring oscillator, VRO) TDC^[8, 12, 17]。

文献[6]在 IEEE TIM 上提出一种双模抽头延迟链 TDC, 为了改善 TDC 线性度, T 抽头延迟链采样序列针对每个操作模式分别进行调整, 使其非线性度降低, 但结构的精度较低且功耗偏高。

文献[8]在 IEEE TIM 上提出的游标 RO TDC, 用 FPGA 中的进位链搭建 RO 环, 其非线性降低。但由于使用的延迟线没有补偿, 当振荡次数较大时, 精度降低。

文献[14]在 IEEE TIM 上提出一种可调整码宽的抽头延迟链 TDC, 与其他类型的抽头延迟链相比, 其精度提高, 但占用 FPGA 资源增大。

综合分析近年来所提出 TDC 结构的性能, 可以发现它不能够在保证高精度的前提下, 同时降低功耗和资源开销, 所以本文提出了一种基于自定时环 (self timing ring, STR) 的两级差分 TDC 结构:

1) 粗测阶段采用游标 STR 代替传统粗测阶段中采用的直接计数法, 降低粗测阶段的测量误差, 进而缩短细测阶段待处理的时间间隔, 使延迟链长度缩短, 资源开销

和功耗降低。该结构的功耗仅为 0.068 W, 占用 271 个 LUT, 259 个触发器。

2) 相比以往细测阶段采用的游标 RO TDC 结构, 提出了一种边沿检测结构, 精准定位边沿重合时刻, 并在细测阶段处理边沿偏差, 进一步提高精度, 本文结构的精度可达 12.9 ps。

3) 针对延迟链结构的量程小, 不宜过长的特点, 将其与游标 STR 结合, 量程可达 491 ns, 分辨率为 14.8 ps, 兼顾分辨率和量程的同时, 电路鲁棒性更强。

1 研究基础

传统的时间间隔测量技术由基于系统参考时钟的直接计数法实现, 由于时间测量技术自身高度依赖于所在系统的参考时钟, 必然导致其测量分辨率被系统时钟限制。随着分辨率的提高, 需要提高系统时钟的频率, 时间测量的分辨率若提高到 100 ps, 相应的时钟频率就要达到 10 GHz 标准, 这会给硬件设计带来巨大挑战。此外, 在高分辨率的工程应用下, 直接计数法得到的测量值与实际值误差为 1~2 个时钟周期大小, 系统自身的非线性也愈发明显。

因此, 为了提高直接计数法的分辨率, 在系统参考时钟频率不变的情况下, 采用时间内插技术可以将时间间隔测量分辨率提高到几百甚至几十皮秒。在 FPGA 中实现高性能 TDC 最常用的方法是结合用于扩展动态范围的粗时间测量和用于产生高分辨率的细时间测量。

细测量阶段多采用时间内插计数实现, 基于 FPGA 平台实现 TDC 所用的时间内插技术主要包含基于延时链结构的 TDC 和基于环形振荡器结构的 TDC。基于延时链结构的 TDC 主要包含以下几种变体结构: 抽头延迟链 TDC^[6, 11, 14], 游标延迟链型 TDC^[18, 24]。

抽头延迟链 TDC 基于 FPGA 中的缓冲器, 反相器及专用快速进位链 (CARRY4) 实现, 可提供亚纳秒的分辨率。然而, 抽头延迟链 TDC 的分辨率受到单个逻辑门的最小延迟时间和逻辑门的延迟时间不均匀分布的限制。

多链型 TDC 结构, 其操作原理是基于抽头延迟链中使用的延迟单元的延时之间的差异。在同一 FPGA 中实现两个不同的延迟链将有不同的传输曲线, 使两个延迟链采样相同的信号, 将得到两个不同的温度计码。通过平均两个输出, 可降低系统的非线性和延迟单元的平均延时, 从而实现更高的分辨率。其主要缺点是用于在线校准的内存单元和额外的逻辑块需要大量的设计工作和硬件资源。

游标延迟链 TDC 中, 启动 (START) 和停止信号 (STOP) 都被延迟, 停止信号对应的延迟链的延时单元的传播延迟必须小于开始信号对应的延迟链的传播延迟。

否则,所有采样元件将始终处于高电平。分辨率由两条链各自的延迟单元的延时差决定,同一平台下,相比抽头延迟链,其分辨率更高,游标延迟链结构如图 1 所示。

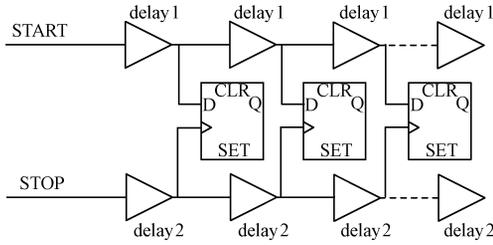


图 1 游标延迟链 TDC 原理

Fig. 1 Schematic of the vernier delay chain TDC

此外,相同量程下,游标延迟链 TDC 往往比正常抽头延迟链 TDC 长得多,增加了整个链的非线性,需要大量的 FPGA 片内资源,资源消耗大。为了得到更大的量程,所需延时单元的数量大大增加,转换速率变低,功耗增大。

针对游标延迟链 TDC 动态范围小的问题,具有宽动态范围和高分辨率的环形振荡器 TDC 成为研究者的关注对象。

基于环形振荡器的 TDC^[2] 由奇数个反相器级联组成,用于以相对较高的频率产生多个相位,其最后一阶输入到循环计数器中,该循环计数器由 START 信号开启,以 STOP 信号结束。循环计数器在每次转换期间记录 RO 中的总迭代次数。在开始和停止信号到达时触发采样逻辑,记录每个延迟阶段的状态。其中, SL_{start} 和 SL_{stop} 分别为开始和停止信号到达时触发逻辑的输出,其结构如图 2 所示。

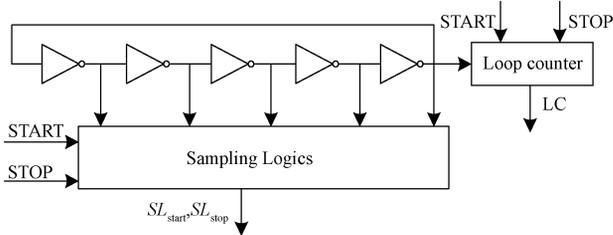


图 2 基于环形振荡器 TDC 原理

Fig. 2 Schematic based on the ring oscillator TDC

相比于延时链 TDC,环形振荡器 TDC 具有宽动态范围的优势,但它也存在一些问题,如环形振荡器的功耗与噪声较大,并且需要高精度、稳定的振荡器。

因此,针对上述结构存在的问题,本文提出了一种基于 STR 的两级差分的高精度低功耗 TDC。游标 STR 由两个工作于不同振荡频率的 STR 组成,粗测阶段采用游标 STR,相比传统粗测量阶段采用的直接计数法,本文结构中粗测阶段的误差为百皮秒级别。相比以往 TDC 结

构中的环形振荡器,本文的 TDC 结构以 STR 代替环形振荡器,兼顾量程的同时,稳定性更高,电路鲁棒性更好。为降低环形振荡器对电源电压噪声和衬底耦合噪声的敏感度,本文的两个 STR 在游标模式下工作。本文提出了一种边沿检测结构,精准定位边沿重合时刻。细测阶段采用两条对称的延迟链,处理边沿偏差,进一步提高精度。针对延迟链结构量程小,链不宜过长的特点,本文将与其与游标 STR 结构结合,不影响分辨率的同时,减小延迟链长度,降低资源开销和功耗。所以本文结构可以在实现宽测量量程,高分辨率,高精度的同时,兼顾资源开销。

2 整体电路架构

本文 TDC 整体架构如图 3 所示,由时钟控制模块,两个频率不同的 STR,快慢环计数器,边沿重合检测结构,锁存单元,边沿偏差处理结构及数据传输模块组成。

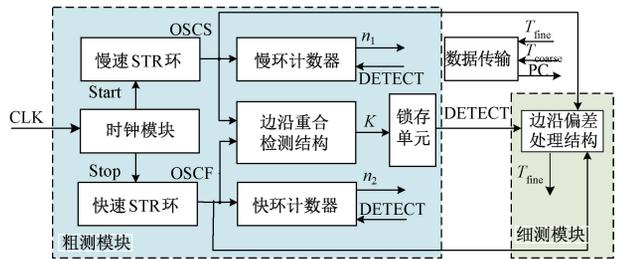


图 3 TDC 整体框图

Fig. 3 TDC overall block diagram

待测时间间隔 T_m 为图 3 中起始信号 Start 的上升沿与停止信号 Stop 的上升沿之间的时间差。OSCS 和 OSCF 分别为慢速 STR 和快速 STR 的输出,慢环和快环的频率略有差异,本文的游标 STR 基于 FPGA 平台实现,可通过手动布局布线,精细调节两个环的振荡频率。 n_1 和 n_2 分别为慢环和快环的计数值。锁存单元输出一个持续为高电平的脉冲信号 DETECT,使慢环计数器和快环计数器在边沿重合时刻停止计数,即粗测量阶段停止,进入下一个测量阶段,测量结果为 T_{coarse} 。

Start 信号作为慢环的输入端,使慢环起振,慢环在 $F_s = 1/T_s$ 的频率下工作。Stop 信号作为快环的输入端,使快环起振,快环在 $F_f = 1/T_f$ 的频率下工作。Start 信号先输入到慢环, T_m 之后, Stop 信号输入到快环,一段时间后, Stop 信号追上 Start 信号,其上升沿重合,此刻通过 DETECT 信号使慢环计数器和快环停止计数来结束粗测量阶段。细测量阶段的待测时间间隔为粗测量阶段的剩余误差,即 Stop 信号追赶上 Start 信号时刻,两者上升沿之间的时间差,记为 T_{fine} 。

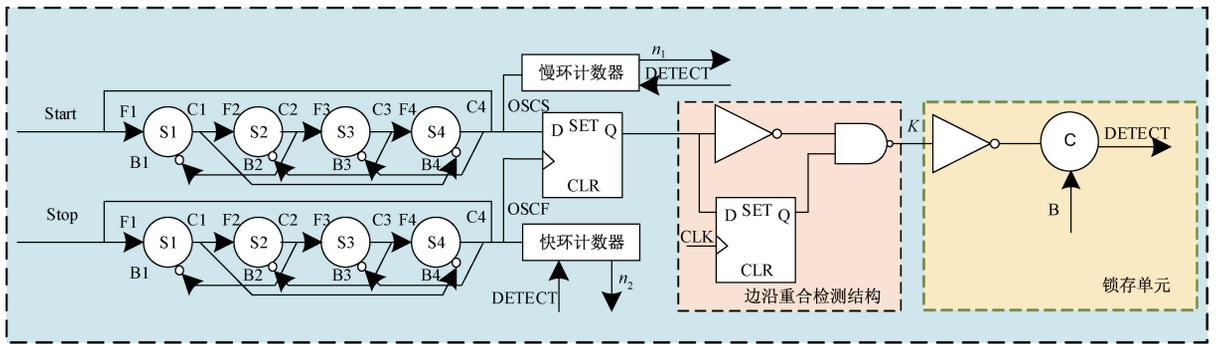
2.1 粗测模块结构

图 4(a) 左侧为 STR 结构图, 每一阶 S_i 的正向输入端 F_i 都与前一阶的输出端 C_{i-1} 相连, 每一阶 S_i 的反向输入端 B_i 都与后一阶的输出端 C_{i+1} 相连, 组成振荡结构。由于其反馈互连的结构特点, 可以在时域中提供均匀分布的事件。同时, 可以根据需要调整配置改变各个事件之间的时间间隔, 从而达到改变 STR 振荡频率和相位的目的。STR 通常用于数字电路来产生时钟信号, 相较环形振荡器, 其电路更稳定, 在实验中具体表现为频率和占空比更加稳定。

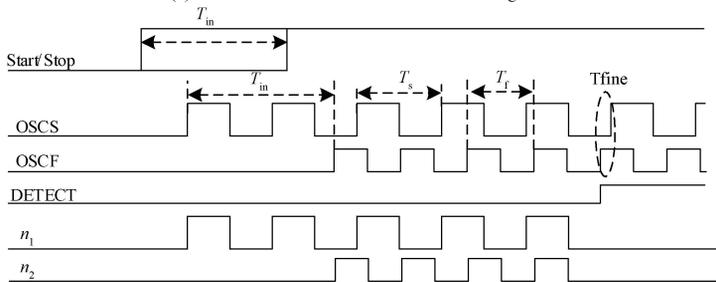
粗测模块整体结构图, 由游标 STR, 两个计数器, 一个 D 触发器, 边沿重合检测结构, 锁存单元组成, 如图 4(a) 所示。图 4(b) 为粗测模块时序图, 慢速 STR 的输出信号为 OSCS, 慢环计数器对 OSCS 的上升沿计数, 快速 STR 的输出信号为 OSCF, 快环计数器对 OSCF 的上升沿计数。粗测阶段, 边沿重合检测结构对 OSCS 的上升沿与 OSCF 的上升沿进行监测, 若二者的上升沿重合,

边沿重合检测结构输出一个高电平窄脉冲信号 K 时, 锁存单元的输出 DETECT 信号作为反馈信号使慢环和快环计数器停止计数, 防止边沿重合后, 计数器仍然工作, 带来测量误差。STR 启动之后, 从 Start/Stop 端到输出 OSCF/OSCS 的传播延迟会影响 TDC 的线性, 所以振荡环不宜太长, 但 STR 为反馈互连结构, 增加 STR 的阶数, 有利于增加其电路稳定性。因此, 综合考虑整体结构的线性及资源开销, 本文结构采用四阶 STR。本文通过调整构建 STR 的查找表输入, 得到多组频率差, 若游标 STR 的频率过于相近, 某一时刻慢环的频率将高于快环, 导致测量误差。若游标 STR 频率相差大, 则边沿重合时刻, 快环和慢环上升沿的边沿偏差接近慢环的半个周期, 则细测所用延迟链变长, 资源消耗增加。

综合考虑电路运行时间, 资源消耗大小, 细测量程, 选取慢环频率为 610 MHz, 快环频率为 630 MHz。通过手动布局布线使游标 STR 严格对称, 使得温度, 电压, 等环境变化对两条 STR 的影响程度近似相等。



(a) 粗测模块结构图
(a) Coarse measurement module structure diagram



(b) 粗测模块时序图
(b) Coarse measurement module timing diagram

图 4 粗测模块结构及时序图

Fig. 4 Coarse measurement module structure and time sequence diagram

图 5 显示两种 T_{in} 情况下波形, 以往文献中^[12,18], Start 信号使慢环起振, 上升沿计数 (NC), 此时为粗测量阶段, Stop 信号到来时, 粗计数立即结束, 快环起振, 细计数开始。对于图 5(a), T_{IN} 在 $T_s < T_{IN} < T_s + \tau_m$ 的范围内, 粗计数的值 n_1 为“1”, 计数正确。对于图 5(b), T_{IN} 在 $T_s + \tau_m < T_{IN} < 2T_s$ 的范围内, 粗计数的值 n_1 为“2”, 此时

计数错误。

导致粗计数产生错误的原因是, 对 Start 信号和 Stop 信号使用了不同的参考时间, 在 Start 信号到达之后, 粗测量阶段经过传播延迟 τ_m 之后粗计数开始。然而, 当 Stop 信号到达时, 粗计数却立刻被停止, 这种可以扩展到从 $(K \cdot T_s + \tau_m)$ 到 $(K + 1) \cdot T_s$ 的情况, 图 5(a) 是当 $K=1$

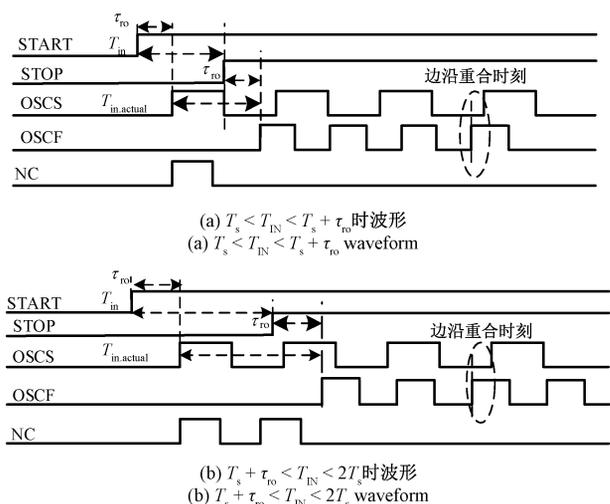


图 5 不同参考时间下计数值

Fig. 5 Count at different reference times

的情况,如图 5(b) 所示,这种不正确的计数会在每个粗循环后重复,它会导致 TDC 传输曲线的非线性。而本文采用游标 STR 作为粗测阶段的结构,Start 信号与 Stop 信号使用相同的参考时间,边沿重合时,粗计数完成,产生高电平脉冲信号 DETECT,控制慢环计数器和快环计数器,使其停止计数。慢环计数器与快环计数器同时停止计数,避免了不正确的计数给 TDC 的线性度带来不利影响。

2.2 边沿重合检测结构

边沿重合检测结构由一个 D 触发器,一个反相器和一个与非门组成,如图 6 所示。快速 STR 的输出信号 OSCF 作为时钟采样慢速 STR 的输出信号 OSCS,采样结果分别作为边沿检测结构中组合逻辑与时序逻辑的输入端,当边沿重合检测的输出信号 K 为 1 时,表示此时快速 STR 追赶上慢速 STR,OSCF 的上升沿与 OSCS 的上升沿重合。

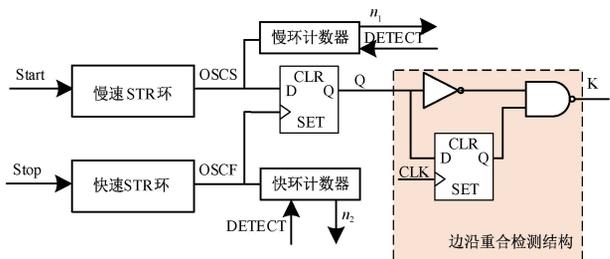


图 6 边沿重合检测结构

Fig. 6 Structure diagram of edge coincident detection

如何依据快速 STR 采样慢速 STR 的结果,准确表征边沿重合是设计的关键,如图 7 所示。

a: 初始状态下, OSCF 处于 OSCS 的高电平期间,通

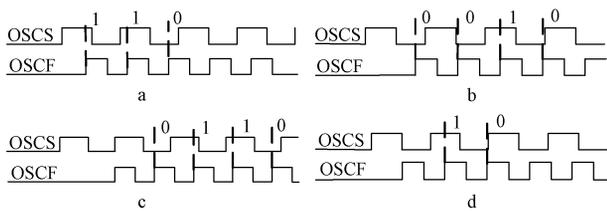


图 7 快速 STR 环采样慢速 STR 环时序图

Fig. 7 Fast STR Sampling Slow STR Timing Diagram

过采样波形可发现, OSCF 采样 OSCS 的输出从高电平跳变为低电平时,游标 STR 的输出端的上升沿重合,表征此刻快速 STR 追上慢速 STR。

b: 初始状态下, OSCF 处于 OSCS 的低电平期间,采样结果从高电平跳变为低电平时,表征此刻快速 STR 追上慢速 STR。

c: 初始状态下, OSCF 恰好处于 OSCS 的上升沿,采样结果从高电平跳变到低电平时,表征此刻快速 STR 追上慢速 STR。

d: 初始状态下, OSCF 恰好处于 OSCS 的下降沿,采样结果从高电平跳变到低电平时,表征此刻快速 STR 追上慢速 STR。

综上所述,快速 STR 采样慢速 STR 的结果从高电平跳变为低电平时,能够准确表征边沿重合。

如图 8 所示,为快速 STR 采样慢速 STR 结果。如何根据采样结果,准确判断快速 STR 采样慢速 STR 的结果何时从高电平跳变到低电平是设计的关键。

a: 当边沿重合检测结构输入 Q (Q 为 OSCF 采样 OSCS 的结果) 为低电平时,边沿重合检测结构输出信号 K 为低电平;

b: 当边沿重合检测输入 Q 为高电平时,边沿重合检测输出信号 K 为低电平;

c: 当边沿重合检测输入 Q 从低电平跳变到高电平时,边沿重合检测输出信号 K 为低电平;

d: 当边沿重合检测输入 Q 从高电平跳变到低电平时,边沿重合检测输出信号 K 为高电平。

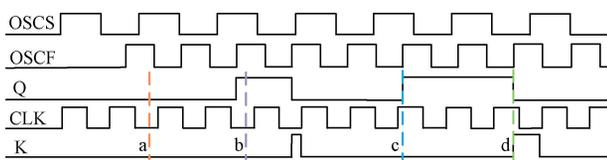


图 8 边沿重合检测结构的时序图

Fig. 8 Timing diagram of edge coincident detection structure

综上所述,边沿重合检测输出只在 OSCF 的上升沿与 OSCS 的上升沿重合时为高电平,其余情况下,边沿重合检测输出皆为低电平。因此,边沿重合检测输出为高

电平时,表示 OSCF 采样 OSCS 的结果从高电平跳变到低电平。当快速 STR 追赶上慢速 STR 时,边沿重合检测输出为一个高电平窄脉冲,其可作为标志信号使慢环计数器与快环计数器同时停止计数。由于环振荡并未停止,边沿检测输出随后变为低电平,一段时间后,又变为高电平窄脉冲,只有首次出现的高电平窄脉冲能正确表示快速 STR 追赶上慢速 STR 的时刻。因此,须在边沿重合检测输出首次出现高电平窄脉冲时,将其锁存。

2.3 锁存单元

锁存单元由一个反相器,一个 Muller-C 单元组成,有两个输入分别为 B、K 和一个输出 DETECT,如图 9 所示。输入端 K 为边沿重合检测结构的输出,输出端 DETECT 作为粗测阶段停止的标志信号,使慢环计数器和快环计数器停止计数。如表 1 所示为锁存单元的真值表。

表 1 锁存单元真值表
Table 1 Latch unit truth table

K	B	DETECT
0	0	0
1	0	0
0	1	0
1	1	1

锁存单元逻辑功能:输入 B 设为高电平,当输入端 K 为低电平,输入端 B 为高电平时,电路不锁存。当输入端 K 为高电平,输入端 B 为高电平时,立即将其锁存,此后无论输入端 K 是何种状态,输出端 DETECT 皆为高电平。锁存单元将快速 STR 环采样慢速 STR 环的结果首次从高电平跳变到低电平的时刻锁存,输出信号 DETECT 反馈到快慢环计数器使粗测量阶段停止。

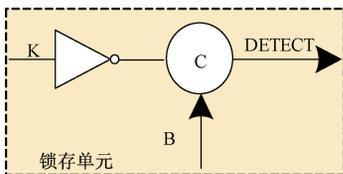


图 9 锁存单元结构图

Fig. 9 Latch unit structure diagram

由于不同路径上延时不同,一些内部节点可能会出现毛刺从而影响电路实现效果。因此,通过手动布线将锁存单元与粗测模块放置在相同的区域来优化电路延时。

2.4 细测模块结构

如图 10 所示,细测模块的边沿偏差处理结构由两条延迟链组成,二者延迟单元的延时略有不同,延时大小分别为 delay1 和 delay2, delay1 > delay2 延时单元的延时为

delay1 的链为慢链,延时单元的延时为 delay2 的链为快链。

OSCS 与 OSCF 分别作为慢链和快链的输入。通过手动布局布线,慢链中每个延时单元的延时为 15.0 ps,快链中每个延时单元的延时为 14.8 ps。锁存单元的输出 DETECT 信号作为标志信号,当 DETECT 信号为高电平时,如图 10 所示,慢链和快链对应的 D 触发器采样此刻 STR 在延迟链中的传播状态,进而得到 T_{fine} 。细测阶段的量程即延迟链的长度取决于粗测阶段的测量误差,最大为慢环的半个时钟周期。

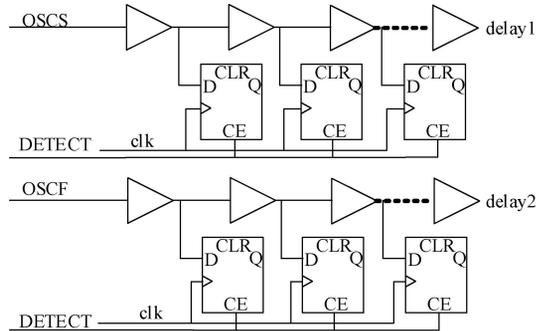


图 10 边沿偏差处理结构

Fig. 10 Structure diagram of edge deviation treatment

本文 TDC 结构中的两条延迟链分别选用 Virtex-6 中不同位置的 CARRY4 作为最基本的延迟单元。CARRY4 单元内部有 4 个 MUXCY,每个 CARRY4 有四位输出,对应配置 4 个用以采样的 D 触发器。信号从一个 CARRY4 的 CI 端输入,从 CO(3) 端输出,输出又被连接到下一个 CARRY4 单元的 CI 输入端,这种级联方式可将若干个 CARRY4 单元配置成线型结构。同时,每个 CARRY4 的 CO[3:0] 引出 4 个抽头,输入到临近 D 触发器的 D 输入端,用于数据锁存。所设计的延迟链经布局布线后,在芯片内部呈线型结构排列,相邻 CARRY4 单元的布线路径很短,有效降低了由 CARRY4 级联引入的额外走线延迟,从而降低布局布线对 TDC 的积分非线性(INL)和微分非线性(DNL)误差的影响。

3 实验结果

3.1 分辨率测量结果

在 Xilinx Virtex-6 XC6VLX240T FPGA 设备上评估了本文 TDC 的性能,从分辨率,精度,微分非线性与积分非线性和资源消耗等多个指标对其进行评价。分辨率为 TDC 结构中,最小测量步距。计数器的最低有效位(LSB)决定了电路结构的分辨率,所以对 LSB 的测量与分析可以等效于对分辨率的测量与分析,本文 TDC 结构的分辨率为细测量阶段两条对称延迟链中快链的延时单

元的延时。

本文中延时单元的延时测量方式如图 11 所示,图 11(a)是由一个与非门和若干个 CARRY4 构建的振荡环,图 11(b)是由一个与非门及两个分别放置在图 11(a)中振荡环的首尾相同位置的 CARRY4 构建的振荡环,图 11(c)是由一个与非门和两个相邻的 CARRY4 构建的振荡环。

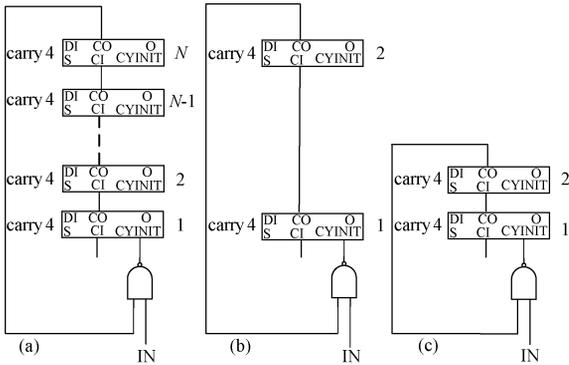


图 11 延时单元的延时测量结构图

Fig. 11 Delay measurement block diagram of the delay unit

在相同的时间内,分别统计 3 个振荡环的振荡次数并计算振荡周期,记为 α, β, γ 。 α 为 N 个 CARRY4 的延时,一个与非门的延时以及布线延时之和。 β 为首尾两个 CARRY4 的延时,一个与非门的延时以及布线延时。 γ 为相邻两个 CARRY4 的延时,一个与非门的延时以及布线延时之和。对 3 个振荡环的振荡周期 α, β, γ 进行处理得到的延时单元延时并不是实际延时,具有很大的测量误差。因此,本文提出了如图 12 所示的均值法对测量结果进一步处理, $(\beta - \alpha)$ 为布线延时与 $(N - 2)$ 个 CARRY4 的延时之差, $(\alpha - \gamma)$ 为布线延时与 $(N - 2)$ 个 CARRY4 的延时之和,二者相减可以抵消布线延时,得到两倍 $(N - 2)$ 个 CARRY4 的延时,进而可以得到一个 CARRY4 的延时,公式如下。

$$[(\alpha - \gamma) - (\beta - \alpha)] / 2(N - 2) \quad (1)$$

结合式(1)与图 12 可得出,本文对延时单元的计算方法可抵消 FPGA 中布线的延时,得到准确值。本文两条延迟链的延迟单元的延时分别为 15.0 与 14.8 ps,因此分辨率为 14.8 ps。

3.2 延时计算模型

以往文献中^[19]采用的粗-细时间测量体系结构,粗测量阶段通常采用直接计数法,细测量阶段通常采用抽头延迟链结构或游标延迟链结构。由于粗测的测量误差大,所以细测阶段需要更长的延迟链,不利于整体结构有良好的微分非线性,且会增加资源开销。

而本文的粗-细测量阶段采用游标 STR 与两条对称的延迟链的结合,粗测阶段的误差最大为慢速 STR 的半

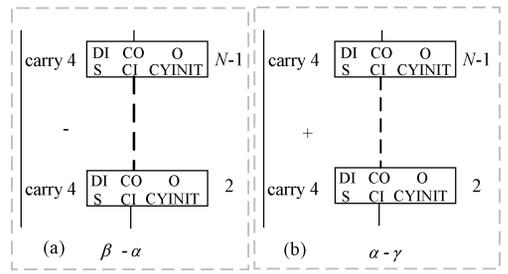


图 12 均值法延时测量图

Fig. 12 Diagram of the mean method of delay measurement

个周期(0.8 ns),细测阶段的待测时间间隔最大为慢速 STR 的半个周期,因此细测阶段的量程最小要覆盖慢环的半个周期,但为了采样结果的准确性,细测阶段的量程最大需覆盖快环的一个周期。由于粗测阶段的误差更小,故细测阶段待处理的时间间隔更小,进而可以缩短细测阶段所用延迟链的长度,降低 FPGA 中资源开销,减小对其线性度的影响。

在本文的工作中,对以往研究^[18]中被忽略的 T_{fine} 进一步处理,以提高分辨率,本文所提出的 TDC 结构,其测量公式如下,输入的时间间隔 T_{in} 可以表示为:

$$T_{in} = T_{coarse} - T_{fine} = (n_1 - n_2)T_s + n_2(T_s - T_f) - T_{fine} \quad (2)$$

$$T_{fine} = N_1 delay_1 - N_2 delay_2 \quad (3)$$

其中, n_1, n_2 分别为慢环计数器的计数值与快环计数器的计数值, N_1 为边沿重合时刻,慢链中经过的延迟单元个数, $delay_1$ 为慢链中延迟单元的延时, N_2 为边沿重合时刻,快链中经过的延迟单元个数, $delay_2$ 为快链中延迟单元的延时。 T_s, T_f 分别为慢速 STR 与快速 STR 的振荡周期,当检测到边沿重合时,由于 OSCF 的上升沿先于 OSCS 的上升沿,因此从 T_{in} 中减去 T_{fine} 。

本文粗测阶段采用游标 STR,细测阶段的待测时间间隔为游标 STR 重合时刻上升沿之间延时差(最大为慢环半个周期 800 ps 左右)。因此,本文 TDC 结构采用的延迟链长度缩短,节省 FPGA 片内资源,保证高分辨率的同时,避免由于延迟链过长,加剧对线性度的不良影响。

3.3 精度测量结果

TDC 的精度是描述测量值与期望值之间接近程度的指标,一般可由标准差表示。本文的精度测量采用如下的测试方法,通过 FPGA 内部的锁相环结构给定 4 组恒定的待测时间间隔,分别为 2、4、8、16 ns。对提出的 TDC 结构在给定时间间隔下分别进行了 500 组测试,统计出了各时间间隔内采样数据出现的频次以及 500 组数据的标准差。通过 MATLAB 处理测试数据,得到图 13 所示的 4 张直方图。当待测时间间隔为 2 ns,均值(Mean)为

2.114 0 ns, 标准差 (StdDev) 为 12.9 ps, 当待测时间间隔为 4 ns, 均值为 4.028 7 ns, 标准差为 21.6 ps, 当待测时间间隔为 8 ns, 均值为 7.993 0 ns, 标准差为 15.4 ps, 当

待测时间间隔为 16 ns, 均值为 16.012 7 ns, 标准差为 15.8 ps。

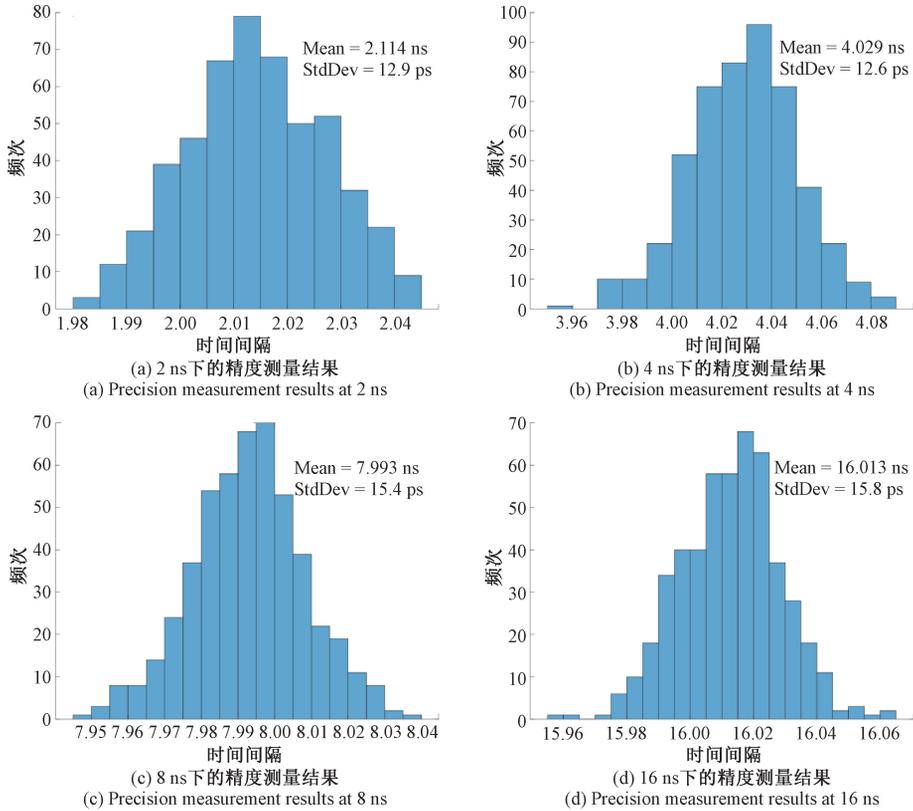


图 13 不同时间间隔的测量结果直方图

Fig. 13 Histograms of measurement results at different time intervals

通过直方图比较 4 个恒定时间间隔的测量结果, 所有测量结果的分布均服从高斯分布, TDC 精度在 12.9~21.6 ps 之间变化, 3.1 与 3.3 节的实验结果表明, 本文 TDC 结构在保证分辨率的同时, 实现了高精度。

3.4 微分非线性与积分非线性

延迟单元不均匀性会对线性度产生不利影响, DNL 是指实际延时单元的延时和理论延时之间的差值, 用来评估延时单元的均匀性。INL 是指微分非线性的累加值, DNL 和 INL 的计算公式如下^[6], τ_i 是第 i 个延迟单元的延时, LSB 为最低有效位。码密度法^[6]用于测量每一个延迟单元的真实延迟时间。使用大量均匀分布在一个时钟周期内的随机脉冲作为 TDC 系统中要测量的输入信号, 输入信号是随机的, 所以信号落在一个周期内任何一点上的概率相等。记录落在各级延迟单元上的次数, 当随机事件的数量足够大时, 延迟时间与事件的数量成正比, 进而得到每个延迟单元的具体大小, 本文按照码密度测量^[6]方法, 分别测量了两条长链上 500 个延时单元的延时数据, 通过 MATLAB 对数据统计并处理后得到

图 14 所示结果。

$$DNL_i = \frac{\tau_i - LSB}{LSB} INL_i = \sum_{i=1}^n DNL_i \quad (4)$$

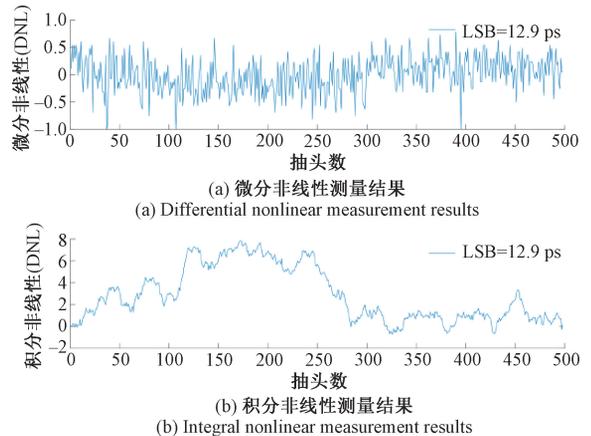


图 14 微分非线性 (DNL) 与积分非线性 (INL)

Fig. 14 Differential nonlinearity and integral nonlinearity

由图 14 可知, 提出结构的 DNL 值、INL 值, 其范围分

别在 $[-0.94, 0.79]$ 倍 LSB 和 $[0.70, 7.99]$ 倍 LSB 之间波动。

3.5 实验结果对比

相比以往文献中^[8,23]采用的环形振荡器,本文粗测阶段采用的 STR 电路发生抖动的概率更小,稳定性高,电路鲁棒性更好,且增加计数器的位数,可成指数级扩大量程。将本文提出的 TDC 结构的各项指标与近年发布的基于 FPGA 的 TDC 结构对比,对比结果如表 2 所示。本文提出的两级差分的 TDC 结构基于 Xilinx Virtex-6 XC6VLX240T 平台实现,分辨率为 14.8 ps,精度为 12.9 ps,微分非线性为 $[-0.94, 0.79]$ 倍 LSB,积分非线性为 $[0.70, 7.99]$ 倍 LSB,消耗 271 个 LUT 和 259 个触发器,功耗为 0.068 W。

文献[6]是基于 Artix-7 平台实现的双模 TDC,分辨率为 22.1 ps,精度为 22.4 ps,功耗为 0.678 W,与其相比,本文提出的 TDC 结构在分辨率、精度、资源开销这 3 个方面性能表现更佳。

文献[8]是基于 Stratix III 平台实现的游标 RO 环 TDC,分辨率为 24.5 ps,精度为 28 ps,功耗为 0.534 W,

与其相比,本文提出的 TDC 结构粗测阶段采用游标 STR 与细测阶段的延迟链结合,保证分辨率的同时,提高测量精度,在分辨率、精度、功耗方面表现更佳。

文献[11]是基于 Artix-7 平台实现的调谐 TDL 型 TDC,分辨率 22.9 ps,精度 26.9 ps,消耗 216 个 LUT,638 个触发器,与其相比,本文结构的性能更佳。

文献[13]是基于 Kintex-7 平台实现的非均匀单调多相 TDC,消耗 828 个 LUT,634 个触发器,本文提出的 TDC 结构资源开销更少。

文献[14]是基于 Virtex-6 平台实现的抽头延迟链 TDC,消耗 577 个 LUT,1 641 个触发器,与其相比,本文提出的 TDC 结构资源开销显著降低。

DNL 和 INL 是对延时均匀性的表征,其主要的受影响因素为工艺因素与环境噪声,本文的测试结果表明二者在一个合适的范围内,证明了提出的结构中放置于 40 nm 工艺下 Virtex-6 FPGA 上的延时链具有均匀性和稳定性。3.3 与 3.4 节的实验结果说明提出的基于 STR 的两级差分 TDC 电路结构具有较好的均匀性和较高的鲁棒性。

表 2 与基于 FPGA 的 TDC 的对比
Table 2 Comparison with FPGA- TDC

参考文献	工艺平台/nm	电路架构	分辨率/ps	精度/ps	DNL/LSB	INL/LSB	LUTs	Flip flops	功耗/W
[6]	Artix-7, 28	双模 TDC	22.1	22.4	$[-0.71, 1.05]$	$[-0.85, 0.86]$	228	678	0.678
[8]	Stratix III, 65	游标 RO TDC	24.5	28	$[-0.20, 0.25]$	$[0.03, 0.82]$	200	968	0.534
[11]	Artix-7, 28	调谐 TDL	22.2	26.9	$[-0.95, 1.18]$	$[-2.75, 1.23]$	216	638	0.164
[12]	Stratix III, 65	游标 RO TDC	37	39	$[-0.4, 0.4]$	$[-0.7, 0.7]$	104	319	N/S
[13]	Kintex-7, 28	非均匀单调多相 TDC	20	12.8	$[-0.05, 0.06]$	$[-0.15, 0.08]$	828	634	0.435
[14]	Virtex-6, 40	抽头延迟链	10.1	9.8	$[-1, 1.18]$	$[-3.03, 2.46]$	577	1 641	N/S
[19]	Virtex-7, 28	多通道 TDL	10.5	10.6	$[-0.05, 0.08]$	$[-0.09, 0.11]$	1 145	1 916	N/S
本文工作	Virtex-6, 40	两级差分结构 TDC	14.8	12.9	$[-0.94, 0.79]$	$[-0.70, 7.99]$	271	259	0.068

4 结 论

本文提出了一种结构简单,易于实现的两级差分的高精度低功耗 TDC,该结构于 Xilinx Virtex-6 XC6VLX240T 上实现,仅需通过手动布局布线改变延迟链及游标 STR 的位置,即可适应不同的 FPGA 平台,具有可移植的特点。本文采用 STR 替代传统的 RO 环,由于 STR 本身反馈互联的结构特性,使其相较 RO 环电路更稳定,在实验中具体表现为占空比和频率更加均匀与稳定。粗测阶段以游标 STR 代替传统的直接计数法,有效减少了细测阶段需要处理的时间差。同时本文的粗细两级结构有效缩短延迟链的长度,减少资源占用。同时本文研究了多时钟域下导致粗计数错误的原因,利用单时钟域设计方法避免了其对 TDC 线性度的不利影响。与

以往工作^[15,28]的粗测阶段采用一个系统参考时钟驱动,误差为 1~2 个周期的直接计数法相比,本文粗测阶段的误差为皮秒量级,且能达到更高的分辨率。

本文提出的基于 STR 的两级差分 TDC 结构对分辨率、测量范围和功耗做出有效权衡。实验结果表明,基于 STR 的两级差分的电路结构设计,使电路的资源开销及功耗得到了显著降低,且该结构在保证高分辨率(14.8 ps),大量程(491 ns)的同时,实现了测量结果的高精度(最低精度为 12.9 ps)。

参考文献

- [1] 庞高远,孟煦,郭围围,等. 新型两步式高精度 TDC 的设计[J]. 电子测量与仪器学报, 2021, 35(7): 115-122.
PANG G Y, MENG X, GUO W W, et al. Design of a

- new two-step high-precision TDC [J]. *Journal of Electronic Measurement and Instrumentation*, 2021, 35(7): 115-122.
- [2] CHENG Z, ZHENG X, DEEN M J, et al. Recent developments and design challenges of high-performance ring oscillator CMOS time-to-digital converters [J]. *IEEE Transactions on Electron Devices*, 2016, 63(1): 235-251.
- [3] LIN J, WANG Y, CAO Q, et al. True random number generation based on arrival time and position of dark counts in a multichannel silicon photomultiplier [J]. *Review of Scientific Instruments*, 2019, 90(11): 114704.
- [4] LI Y, YU H, LIU S, et al. A cmos time-to-digital converter for real-time optical time-of-flight sensing system [J]. *IEEE Communications Magazine*, 2018, 56(8): 113-119.
- [5] CHENG Z, DEEN M J, PENG H, et al. A low-power gateable vernier ring oscillator time-to-digital converter for biomedical imaging applications [J]. *IEEE Transactions on Biomedical Circuits and Systems*, 2016, 10(2): 445-454.
- [6] PARSAKORDASIABI M, VORNICU I, RODRÍGUEZ-VÁZQUEZ Á, et al. An efficient TDC using a dual-mode resource-saving method evaluated in a 28 nm FPGA [J]. *IEEE Transactions on Instrumentation and Measurement*, 2022, 71(2000413): 1-13.
- [7] SUI T, ZHAO Z, XIE S, et al. A 2.3 ps RMS resolution time-to-digital converter implemented in a low-cost cyclone V FPGA [J]. *IEEE Transactions on Instrumentation and Measurement*, 2019, 68(10): 3647-3660.
- [8] CUI K, LI X. A High-linearity vernier time-to-digital converter on FPGAs with improved resolution using bidirectional-operating vernier delay lines [J]. *IEEE Transactions on Instrumentation and Measurement*, 2020, 69(8): 5941-5949.
- [9] WU J, WANG Z, CHEN C, et al. A 2.4 GHz all-digital PLL with a 1 ps resolution 0.9 mW edge-interchanging-based stochastic TDC [J]. *IEEE Transactions on Circuits and Systems II*, 2015, 62(10): 917-921.
- [10] 叶焱, 韩威力, 林福江, 等. 基于环形振荡器的时间数字转换器前期研究进展 [J]. *微电子学*, 2017, 47(6): 876-880.
- YE Y, HAN W L, LING F J, et al. Preliminary research progress of time-to-digital converters based on ring oscillators [J]. *Microelectronics*, 2017, 47(6): 876-880.
- [11] PARSAKORDASIABI M, VORNICU I, RODRÍGUEZ-VÁZQUEZ Á, et al. A low-resources TDC for multi-channel direct ToF readout based on a 28 nm FPGA [J]. *Sensors*, 2021, 21(1): 308.
- [12] CUI K, LI X, LIU Z, et al. Toward implementing multichannels, ring-oscillator-based, vernier time-to-digital converter in FPGAs: Key design points and construction method [J]. *IEEE Transactions on Radiation and Plasma Medical Sciences*, 2017, 1(5): 391-399.
- [13] DENG J, YIN P, LEI X, et al. A tunable parameter, high linearity time-to-digital converter implemented in 28 nm FPGA [J]. *IEEE Transactions on Instrumentation and Measurement*, 2021, 70(2007012): 1-12.
- [14] WON J Y, LEE J S. Time-to-digital converter using a tuned-delay line evaluated in 28-, 40-, and 45-nm FPGAs [J]. *IEEE Transactions on Instrumentation and Measurement*, 2016, 65(7): 1678-1689.
- [15] MACHADO R, CABRAL J, ALVES F S, et al. Recent developments and challenges in FPGA-based time-to-digital converters [J]. *IEEE Transactions on Instrumentation and Measurement*, 2019, 68(11): 4205-4221.
- [16] KERÄNEN P, KOSTAMOVAARA J. 256 × TDC array with cyclic interpolators based on calibration-free 2× time amplifier [J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2019, 66(2): 524-533.
- [17] LIU S, ZHENG Y. A low-power and highly linear 14 bit parallel sampling TDC with power gating and DEM in 65 nm CMOS [J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2016, 24(3): 1083-1091.
- [18] ZHANG J, ZHOU D. An 8.5-ps two-stage vernier delay-line loop shrinking time-to-digital converter in 130-nm flash FPGA [J]. *IEEE Transactions on Instrumentation and Measurement*, 2018, 67(2): 406-414.
- [19] CHEN H, LI D. Multichannel, low nonlinearity time-to-digital converters based on 20 and 28 nm FPGAs [J]. *IEEE Transactions on Industrial Electronics*, 2019, 66(4): 3265-3274.
- [20] CHEN H, ZHANG Y, LI D D U, et al. A low nonlinearity, missing-code free time-to-digital converter based on 28-nm FPGAs with embedded bin-width calibrations [J]. *IEEE Transactions on Instrumentation and Measurement*, 2017, 66(7): 1912-1921.
- [21] CUI K, LI X. A high-linearity vernier time-to-digital converter on FPGAs with improved resolution using bidirectional-operating vernier delay lines [J]. *IEEE*

Transactions on Instrumentation and Measurement, 2020, 69(8): 5941-5949.

- [22] LU P, WU Y, ANDREANI P. A 2. 2-ps two-dimensional gated-vernier time-to-digital converter with digital calibration [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2016, 63(11): 1019-1023.
- [23] CHUNG H, ISHIKURO H, KURODA T, et al. A 10-bit 0-MS/s decision-select successive approximation TDC in 65-nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2012, 47(5): 1232-1241.
- [24] LIU Y, VOLLENBRUCH U, CHEN Y, et al. A 6 ps resolution pulse shrinking time-to-digital converter as phase detector in multi-mode transceiver [C]. 2008 IEEE Radio and Wireless Symposium, 2008: 163-166.
- [25] 郭围围, 尹勇生, 龚号, 等. 基于时间放大技术的时间数字转换器的设计[J]. 电子测量与仪器学报, 2022, 36(4): 98-105.
- GUO W W, YING Y SH, GONG H, et al. Design of time-to-digital converters based on time amplification technology [J]. Journal of Electronic Measurement and Instrumentation, 2022, 36(4): 98-105.

作者简介



汪玉传(通信作者), 2019 年于安徽师范大学获得学士学位, 现为合肥工业大学微电子学院硕士研究生, 主要研究方向为集成电路小延时测试。

E-mail: 18297518689@qq.com

Wang Yuchuan (Corresponding author)

obtained a B. Sc. degree in 2019 from Anhui Normal University and is currently a M. Sc. candidate at the School of Microelectronics, Hefei University of Technology. Her main research interest includes small delay testing of integrated circuits.



梁华国, 2003 年于德国斯图加特大学获得博士学位, 现为合肥工业大学教授, 博士生导师, 主要研究方向为容错计算、嵌入式系统综合与测试。

E-mail: huagulg@hfut.edu.cn

Liang Huaguo received his Ph. D.

degree from the University of Stuttgart in Germany in 2003. He is currently a professor and doctoral supervisor at Hefei University of Technology. His main research interests include fault-tolerant computing, embedded system synthesis, and testing.