

DOI: 10.13382/j.jemi.B2104205

# 数字多道中双指数脉冲梯形成形算法的实现与测试\*

曾家骏<sup>1,2,3</sup> 何剑锋<sup>1,2,3,4</sup> 袁兆林<sup>1,2,3</sup> 汪雪元<sup>1,2,3</sup> 祝翔<sup>1,2,3</sup> 陈谢熠阳<sup>1,2,3</sup>

(1. 东华理工大学 信息工程学院 南昌 330013; 2. 江西省放射性地质学大数据技术工程实验室 南昌 330013;

3. 江西省核地质学数据科学与系统工程技术研究中心 南昌 330013;

4. 放射性地质与勘探技术国防重点学科实验室 南昌 330013)

**摘要:**数字化谱仪的实际应用中探测器输出的脉冲信号可以近似看作双指数脉冲,由于探测器存在电荷收集时间等原因造成采集的脉冲幅度存在弹道亏损,不利于后续准确提取幅度,影响了探测系统的能量分辨率。在 MATLAB 中对理想双指数脉冲信号的梯形成形进行了仿真并在 Simulink 平台上建立模型使用理想双指数脉冲序列测试可行性;使用 HDLCoder 将 Simulink 逻辑模型转换成 VerilogHDL 代码并在 ModelSim 上进行测试。搭建硬件平台测试代码并将硬件平台应用到实测数据的处理中,通过串口分别发送单峰多峰脉冲测试,使用嵌入式逻辑分析仪捕捉成形数据同时通过串口输出成形后的数据观察,结果显示双指数脉冲信号梯形成形算法在 FPGA 中得到了较好的实现,恢复误差在 0.2% 以内。实现的硬件平台对存在弹道亏损的脉冲有较好的成形效果并具有一定的噪声滤除能力,可以作为数字多道脉冲幅度分析器设计开发的参考。

**关键词:**梯形成形;双指数核脉冲信号;FPGA;多道脉冲幅度分析器

**中图分类号:** TH842 **文献标识码:** A **国家标准学科分类代码:** 490.25

## Implementation and testing of double exponential pulse trapezoidal shaping algorithm in DMCA

Zeng Jiajun<sup>1,2,3</sup> He Jianfeng<sup>1,2,3,4</sup> Yuan Zhaolin<sup>1,2,3</sup> Wang Xueyuan<sup>1,2,3</sup> Zhu Xiang<sup>1,2,3</sup> Chen Xieyiyang<sup>1,2,3</sup>

(1. School of Information Engineering, East China University of Technology, Nanchang 330013, China;

2. Big Data Technology Engineering Laboratory of Radiogeology, Nanchang 330013, China;

3. Jiangxi Institute of Nuclear and Geoscience Data Science and Systems Engineering Technology, Nanchang 330013, China;

4. National Key Laboratory of Radioactive Geology and Exploration Technology, Nanchang 330013, China)

**Abstract:** In the actual application of the digital spectrometer, the pulse signal output by the detector can be approximately regarded as a double exponential pulse. Due to the charge collection time of the detector, the collected pulse amplitude has ballistic loss, which is not conducive to the subsequent accurate amplitude extraction and affects the energy resolution of detection system. In this paper, the trapezoidal forming of ideal double exponential pulse signal is simulated in MATLAB, and the model is built on Simulink platform, and the feasibility is tested by ideal double exponential pulse sequence. Use HDLCoder to convert Simulink logic model into VerilogHDL code and test it on ModelSim. Build the hardware platform test code and apply the hardware platform to the processing of the measured data, send single-peak and multi-peak pulse tests through the serial port, and use the embedded logic analyzer to capture the forming data and output the formed data observation through the serial port. The trapezoidal algorithm of exponential pulse signal has been well implemented in FPGA, and the recovery error is within 0.2%. The implemented hardware platform has a good shaping effect on pulses with ballistic losses and a certain noise filtering ability, which can be used as a reference for the design and development of digital multi-channel pulse amplitude analyzers.

**Keywords:** trapezoidal shaping; double exponential nuclear pulse; FPGA; DMCA

收稿日期: 2021-04-21 Received Date: 2021-04-21

\* 基金项目: 国家自然科学基金(11865002)、江西省重点研发计划(20203BBG73069)、江西省放射性地质学大数据技术实验室开放基金(JELRGT201703)项目资助

## 0 引言

核辐射能谱测量技术作为应用核技术及核物理分析中的一门关键技术,其能通过放射性能谱分析检测被测物体的物质成分及含量,在如环境监测、资源勘探、地质测量、医疗放射诊断、考古发掘和核物理实验等领域具有重要意义<sup>[1-5]</sup>。从核辐射探测器输出的电脉冲信号波形上升时间短下降缓慢,具有符合指数衰减和脉冲峰顶部尖锐等特性<sup>[6]</sup>,同时由于 ADC 采样频率存在限制,使得提取准确脉冲幅度较为困难。在数字化能谱仪中对捕获的电脉冲信号做滤波成形可以让能谱分析更加便捷与准确。当前在数字多道脉冲幅度分析器中使用的滤波成型方法主要有梯形成形(平顶宽度调整为 0 时称为三角成形)和高斯成形<sup>[7]</sup>。

针对核脉冲信号的滤波成形问题,许多专家学者做了大量研究并取得了丰硕的成果。文献[8-12]进行了高斯脉冲成形算法的数字化研究与应用,该方法虽然具有较好的能量分辨率特性且实现较为简单,但在峰值保持和弹道亏损抑制能力上较弱。文献[13]对双指数脉冲梯形成型算法进行了基于 Z 变换的理论推导并从减少死区时间的角度进行应用与分析,但并未在讨论双指数脉冲梯形成型算法在抑制弹道亏损方面的优势。文献[14-15]分析了双指数脉冲梯形成型算法的滤波特性和弹道亏损特性,阐述了梯形参数优化调整的参考办法。

梯形成形算法在 FPGA 上实现具有更加简单、脉宽窄以及参数调节更加灵活等优点<sup>[16]</sup>。为在数字多道脉冲幅度分析器中应用双指数脉冲梯形成型算法,本文工作在 MATLAB 和 Simulink 中分别进行了双指数梯形成型算法的时域公式模拟和模型仿真,验证算法可行性之后通过 HDLCoder 实现了从仿真模型到硬件描述语言的转换,采用 VerilogHDL 语言在 FPGA 中实现双指数梯形成型算法并搭建硬件测试平台。最后进行了能量色散 X 荧光分析仪采集到的铜合金实测数据测试并取得较好的实用结果。

## 1 双指数脉冲梯形成型算法

双指数脉冲尖锐的峰顶不利于脉冲幅度提取,对脉冲做梯形成型使得原脉冲能够转换成同幅度的梯形脉冲以增加峰顶宽度。同时,算法具有的滤波特性能够在保存脉冲低频有效成分的同时滤除一部分高频噪声。通过调节梯形脉冲平顶宽度有效消除弹道亏损影响,确保提取准确的脉冲幅度。梯形成型算法有助于提高能谱测量系统的适应性和灵活性,适用于高速率的核脉冲滤波成形<sup>[17]</sup>。

理想双指数脉冲信号的时域表达式为:

$$v_i(t) = A \cdot (e^{-\frac{t}{\tau_f}} - e^{-\frac{t}{\tau_u}}) \quad (1)$$

式中:  $A$  为双指数脉冲幅度;  $\tau_f$  与  $\tau_u$  为时间常数。

等腰梯形脉冲的时域表达式为:

$$v_{tra}(t) = \left(\frac{A}{t_r}\right) \cdot [t \cdot u(t) - (t - t_r) \cdot u(t - t_r) - (t - t_r) \cdot u(t - t_r) + (t - t_d) \cdot u(t - t_d)] \quad (2)$$

式中:  $v_{tra}(t)$  为等腰梯形脉冲;  $u(t)$  为单位阶跃函数;  $t_r$  为图 1 梯形脉冲上升结束点;  $t_i$  为梯形脉冲平顶结束点;  $t_d$  为梯形脉冲下降结束点。

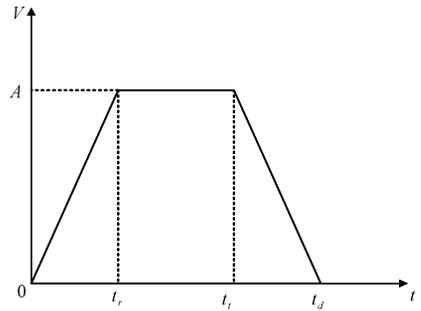


图 1 梯形脉冲

Fig. 1 Trapezoidal pulse

将式(1)、(2)分别进行以  $T_s$  为采样周期离散化并作 Z 变换得到:

$$v_{i(z)} = n_r \cdot (\alpha - \beta) \cdot (1 - z^{-1})^2 \quad (3)$$

$$v_{tra}(z) = (1 - z^{-n_r} - z^{-n_i} + z^{-n_d}) \cdot (1 - \alpha \cdot z^{-1}) \cdot (1 - \beta \cdot z^{-1}) \quad (4)$$

式中:  $n_r = \frac{t_r}{T_s}$  决定梯形脉冲上升边长度;  $n_i = \frac{t_i}{T_s}$  决定梯形

脉冲平顶宽度;  $n_d = \frac{t_d}{T_s}$  决定梯形脉冲下降长度;  $\alpha = e^{-\frac{T_s}{\tau_f}}$ ;

$$\beta = e^{-\frac{T_s}{\tau_u}}$$

将式(4)除以式(3)后再作 Z 反变换即可得出双指数脉冲梯形成型算法时域表达式:

$$v_o(n) = 2 \cdot v_o(n-1) - v_o(n-2) + [(v_i(n) - v_i(n-n_r)) - v_i(n-n_i) + v_i(n-n_d)] - (\alpha + \beta) \cdot (v_i(n-1) - v_i(n-n_r-1) - v_i(n-n_i-1) + v_i(n-n_d-1)) + \alpha \cdot \beta \cdot (v_i(n-2) - v_i(n-n_r-2) - v_i(n-n_i-2) + v_i(n-n_d-2)) \quad (5)$$

式中:  $v_i(n)$  为输入双指数脉冲序列;  $n$  为采样序列号;  $v_o(n)$  为输出梯形成型后序列。

## 2 算法仿真及逻辑模型搭建

### 2.1 MATLAB 脚本程序仿真

根据式(5)编写双指数脉冲梯形成型算法的

MATLAB 脚本程序,并模拟一组双指数脉冲信号序列。脉冲序列设定采样频率为 50 MHz,采样点数为 1 024,理想脉冲幅度设置为 500 mV,  $\tau_f$  和  $\tau_u$  分别为 2 ms 和 200  $\mu$ s。梯形序列的平顶宽度为 100 上升沿和下降沿宽度为 150。实验中模拟的双指数脉冲序列上升速度较缓对应探测器较长的电荷收集时间,如图 2 所示,双指数脉冲存在明显的弹道亏损,脉冲幅度仅为 348.4 mV,经过算法的脚本程序处理过后得到的梯形脉冲幅度与设置的理想脉冲幅度一致,弹道亏损消除效果良好。

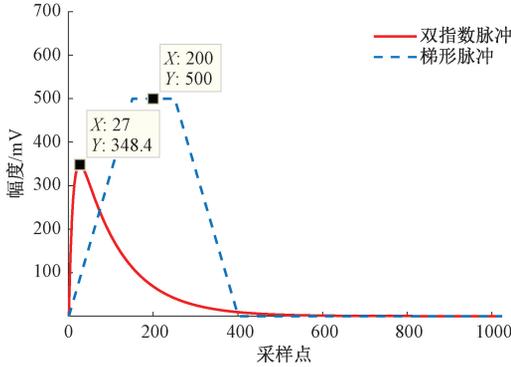


图 2 脚本程序运行结果

Fig. 2 Matlab script program running results

为进一步测试算法成形效果,后续增加 4 组不同幅度的模拟数据进行测试,测试结果如表 1 所示。

表 1 脚本模拟测试结果

Table 1 Script program simulation test results

脉冲编号	理想幅度/mV	双指数脉冲幅度/mV	梯形脉冲幅度/mV
1	700	487.7	700
2	300	209	300
3	1 000	696.8	1 000
4	600	418.1	600

### 2.2 逻辑模型搭建

MATLAB 中 Simulink 组件提供的可视化系统建模平台,可以在算法进行硬件测试之前对其优化设计的同时不必再做大量的代码修改。Simulink 中包含的 HDLCoder 标准模块库可以用于搭建双指数脉冲梯形成形算法的逻辑模型。

使用标准库中的延时模块、加(减)法模块、常数模块、增益模块、乘法模块和数据转换模块等基本模块搭建了算法的逻辑模型,并在设计上进行了优化以便后续简化代码。设计如图 3 所示,In1 为脉冲数据入口,Out1 为成形数据出口。

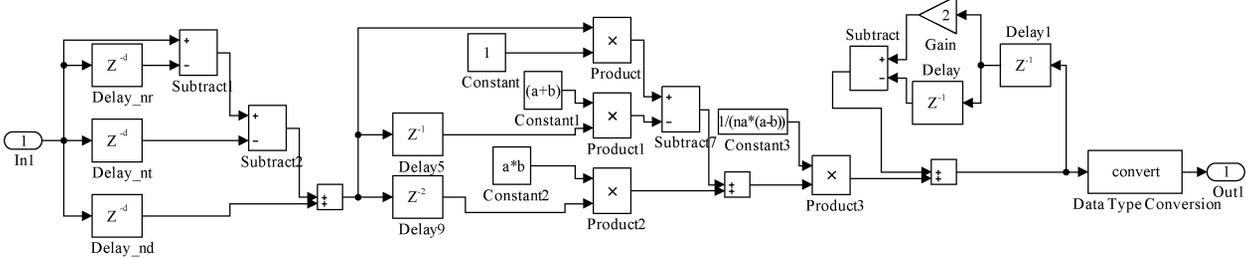


图 3 双指数脉冲梯形成形算法的模型化设计

Fig. 3 Modeling design of double exponential pulse trapezoidal algorithm

模型搭建过程中需注意的问题如下:从脚本仿真得到的双指数脉冲序列中读取的数据为浮点型,需要将浮点型数据转换成定点型以模拟数据流在硬件设备上的真实计算情况。在 FPGA 内部实现双指数脉冲梯形成形算法过程中需要进行加(减)法和乘法操作,长度为  $m$  的定点型数据在经过加(减)法器时长度增长为  $m+1$ ,长度分别为  $m, n$  的两个数据经过乘法器之后输出数据长为  $(m+n)$ ,算法实现过程中进行的多个加(减)法和乘法操作使得输出的数据长度较原始数据数据长度上大得多,为节约片内有限的资源,在满足数据精度要求的基础上每一次运算后都对产生的高位数数据进行截位操作。

设定模型中的参数与 MATLAB 脚本程序中一致,In1 口连接至 FromWorkspace 模块读取脚本程序生成的模拟双指数脉冲序列送入设计中运算,将数据输出出口 Out1 连

接至示波器模块,运行模型得到结果如图 4 所示,模型仿真结果与脚本程序结果一致。

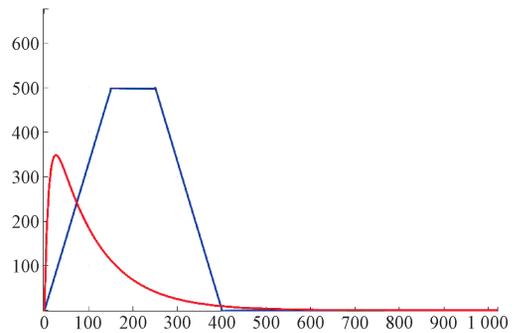


图 4 逻辑模型仿真结果

Fig. 4 Logic model simulation results

### 3 FPGA 硬件实现

#### 3.1 ModelSim 仿真

通过 Simulink 逻辑模型仿真之后使用 HDL Coder 中的 HDL Workflow Advisor 将模型转换成 Verilog HDL 代码,在完整实现算法功能的前提下极大的简化了开发步骤。在进行硬件调试之前 ModelSim 仿真是极其必要的,

代码中存在不明显的问题可以通过这种方式即时发现并解决,避免在硬件调试时耗费不必要的时间精力。

代码的综合、适配、优化、布局布线等操作在 Quartus Prime 中进行,编写测试文件并导出模拟的多个峰组合双指数脉冲序列到数据文件,ModelSim 仿真时测试文件读取数据文件中脉冲序列送入梯形成形模块中处理后输出的结果如图 5 所示。测试文件输入 4 个幅度不同的脉冲序列均得到了较好的成形效果。

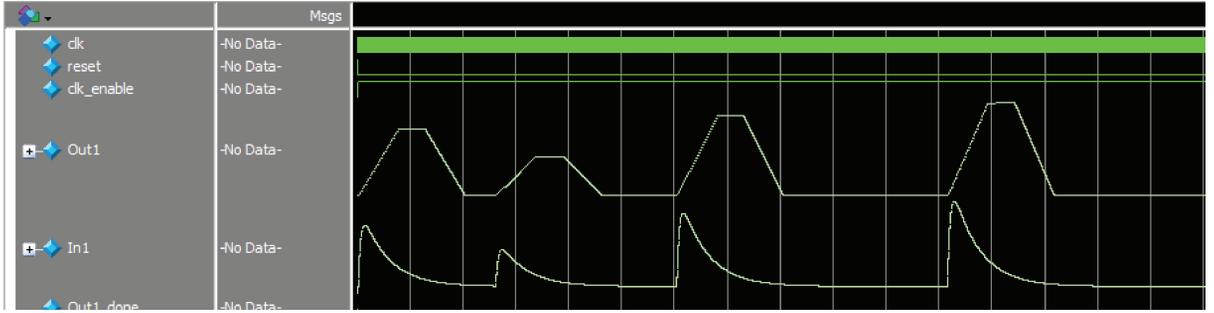


图 5 ModelSim 仿真结果  
Fig. 5 ModelSim simulation results

#### 3.2 硬件测试平台设计

测试平台器件选择上,FPGA 芯片使用 Alter 公司的 CycloneIVE 系列中的 EP4CE10F17C8,为方便脉冲序列的传输使用 RS232 串口作为与上位机的通信接口。

设计测试数据类型为十六位的定点型,为了完整的接收每个输入数据,设计了一个数据转换器实现八位数据与十六位数据的转换。由于串口传输的速率相对较慢,为保证针对测试平台各器件时序的同步在实现测试平台时各器件的驱动代码中加入了统一的标志位以协调各器件<sup>[18-19]</sup>。如图 6 所示,数据流从串口接入,经过数据转换成十六位定点型之后送入梯形成形模块计算,成形结果由输出模块拆分成符合标准串行接口发送的数据后发出。

号 2 随代码部署嵌入式逻辑分析仪。使用 Power Analyzer Tool 得到功耗情况如表 3 所示。

表 2 硬件平台资源使用  
Table 2 Hardware platform resource usage

编号	逻辑单元	寄存器	引脚	存储位	嵌入式乘法器 9 bit 单元
1	563/10 320 (5%)	386	4/180 (2%)	6 272/ 423 936(1%)	24/46 (52%)
2	8 834/10 320 (86%)	6249	4/180 (2%)	137 344/ 423 936(32%)	24/46 (52%)

表 3 设计功耗

Table 3 Design power consumption (mW)

核心动态功耗	核心静态热功耗	I/O 热功耗	总功耗
6.49	44.10	16.74	67.32

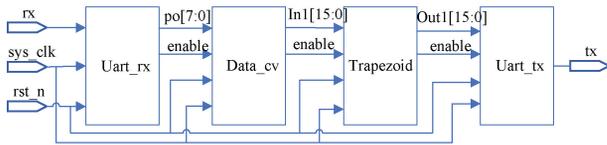


图 6 硬件平台测试设计

Fig. 6 Simulink model simulation results

#### 3.3 理想双指数硬件测试

为了能够直观的观察输出的梯形脉冲,使用 Quartus Prime 中提供的嵌入式逻辑分析仪,将其随经过软件编译、综合和布局布线后的 sof 文件通过其 Programmer 一同部署到芯片中运行。硬件测试平台 FPGA 内部资源使用情况如表 2 所示,编号 1 未部署嵌入式逻辑分析仪,编

设置好 SignalTapII 逻辑分析仪的基本参数开启并等待捕捉成形数据;在 PC 端使用设置好串口调试助手传输码率与硬件测试平台一致,发送前述仿真中使用的数据文件。捕捉输入输出梯形成形模块的数据,结果如图 7 所示,In1 为输入双指数脉冲信号,Out1 为输出的梯形成形信号。

后续在硬件测试平台上测试了一组含有 8 个幅度不同波峰的脉冲数据,由设定理想脉冲幅度通过式(1)生成,将其与输出的梯形脉冲进行分析对比,结果如表 4 所示。

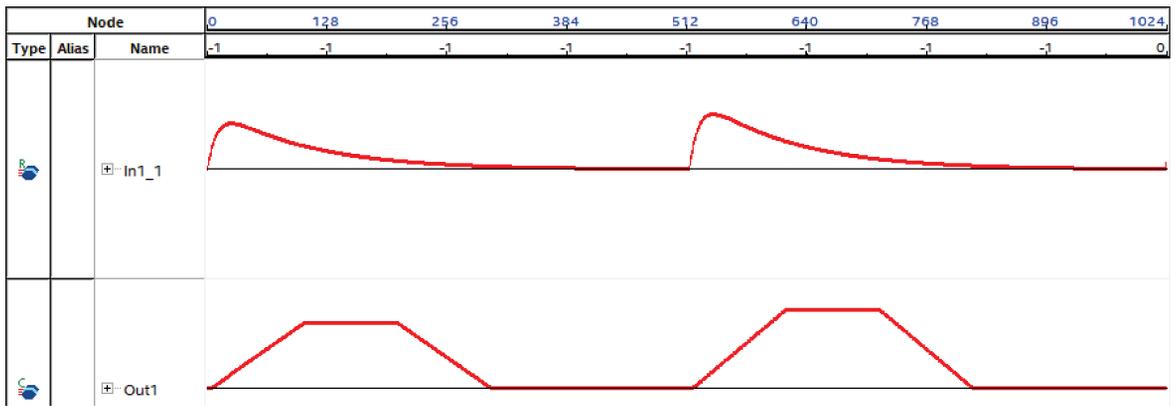


图 7 SignalTapeII 捕捉波形  
Fig. 7 SignalTapeII capture waveform

表 4 硬件测试结果

Table 4 Analysis of hardware test results

脉冲峰 编号	理想幅度/ mV	双指数脉冲 幅度/mV	梯形脉冲幅 度/mV	误差/%
1	500	348.39	500.85	0.17
2	300	209.02	300.42	0.14
3	600	418.06	600.66	0.11
4	700	487.77	700.24	0.03
5	1 000	696.78	1 000.24	0.02
6	550	383.20	550.73	0.13
7	800	557.42	800.78	0.10
8	400	278.71	399.85	0.03

由表 4 可知,理想双指数脉冲经硬件测试平台进行梯形成形之后基本消除了弹道亏损的影响,幅度误差在 0.2% 以下,有较好滤波成形效果。误差主要来源于定点型数据计算过程中的截位操作,实际操作时需要在 FPPA 内部资源和幅度误差之间寻找平衡。

#### 4 实际数据测试与结果分析

将硬件测试平台应用于能量色散 X 荧光分析仪采集到铜合金的部分数据分析中,截取其中含有多个脉冲峰的片段进行实测数据处理,如图 8 所示,片段中含有幅度不同的 4 个脉冲峰,4 个峰都存在不同程度的弹道亏损,在脉冲下降缓慢处有较明显噪声。

梯形脉冲的上升沿宽度决定高频噪声的抑制效果,确定实测脉冲的梯形成形算法参数需要在高频噪声滤除性能和脉冲堆积概率之间综合考虑,较长的上升沿宽度在提升算法的高频噪声抑制效果同时也会增加脉冲堆积的概率<sup>[20]</sup>。在实际中,梯形脉冲的幅度与入射粒子的能量成正比即与脉冲的电荷量成正比,这说明弹道亏损能够通过梯形成形算法消除,设置梯形平顶宽度等于电荷收集时间时,梯形成形后得到的脉冲序列即消除了弹道

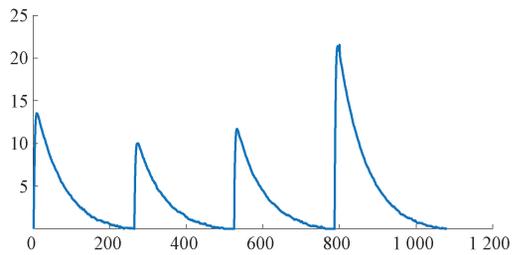


图 8 铜合金原始波形片段  
Fig. 8 Copper alloy original waveform fragment

亏损<sup>[21]</sup>。为了达到最佳的成形效果,对这段脉冲片段中的单个峰进行了多次拟合最终确定  $\tau f$  和  $\tau u$  的取值分别为 1.4 ms 和 5  $\mu$ s。  $\tau f$ 、 $\tau u$  两个参数与具体探测器有关,对同一探测器得到的脉冲具有相同的值,进行其他探测器得到的数据实验时需重新确定。在避免梯形脉冲整体宽度过长的同时保证算法滤波和消除弹道亏损效果,算法中梯形脉冲的斜边长度和平顶宽度均设置为 50。

嵌入式逻辑分析仪的采样深度设置为 4 K,分为 1 024 段,每段 4 个采样点。通过串口调试助手将实测数据发送至硬件测试平台得到图 9 所示的实测数据与成形数据的捕捉波形。

实测数据的脉冲上升时间较短,理论上来说其弹道亏损较小,观察图 9 成形波形,梯形的平顶较为平整,对成形数据的分析显示实测脉冲多个峰的成形效果良好且弹道亏损也得到了较好的抑制。另外,图 8 原始波形的脉冲峰在衰减较缓的后半段波形存在的抖动也并未对成形效果产生太大影响,说明应用双指数脉冲梯形成形算法的测试平台具有一定的抗噪能力。

#### 5 结 论

针对双指数脉冲信号,本文首先在 MATLAB 中进行

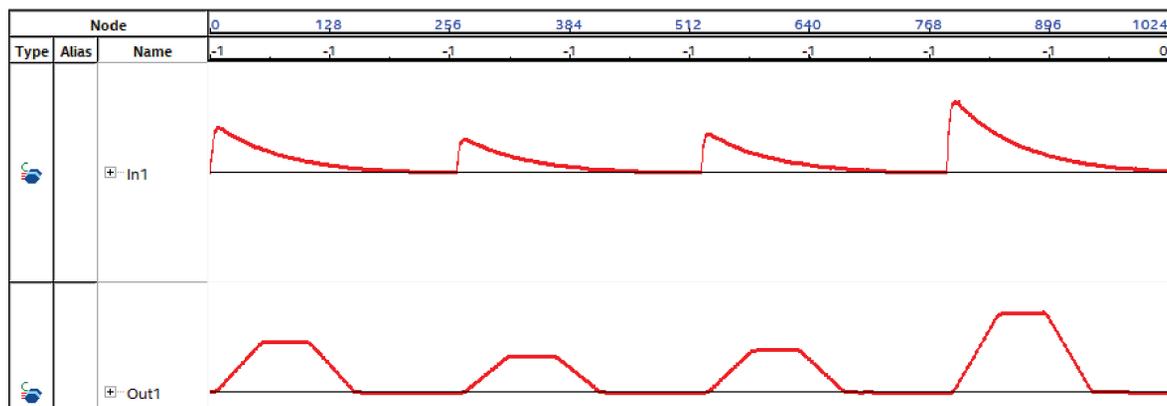


图 9 实测数据成形结果

Fig. 9 Measured data forming result

了双指数脉冲梯形成形算法的脚本仿真并搭建了算法逻辑上的 Simulink 模型,使用模拟的理想双指数脉冲序列得到了良好的成形效果;然后使用 HDLCoder 工具将逻辑模型转换成 VerilogHDL 代码并在 ModelSim 上进行代码仿真之后搭建了以串口为数据传输接口的硬件测试平台;最后将硬件平台应用到实测数据的处理中,捕捉到的成形结果显示测试平台对双指数脉冲信号存在的弹道亏损具有良好的抑制作用并具有一定的噪声滤除效果,成形效果达到预期。

### 参考文献

- [ 1 ] 周世融,何剑锋,任印权,等. X 射线荧光光谱中低分离度重叠峰分解的方法研究[J]. 光谱学与光谱分析, 2020, 40(4): 1221-1226.  
ZHOU SH R, HE J F, REN Y Q, et al. Research on a decomposing method of low-resolution overlapping peaks in X-Ray fluorescence spectra [J]. Spectroscopy and Spectral Analysis, 2020, 40(4): 1221-1226.
- [ 2 ] 董根旺,王琴,黄金辉,等. 利用航空伽马能谱数据进行铀成矿预测——以皖南夏林一带为例[J]. 铀矿地质, 2021, 37(1): 87-95.  
DONG G W, WANG Q, HUANG J H, et al. Airborne gamma spectrum data based uranium prognosis: A case study of xialin area in south anhui province[J]. Uranium Geology, 2021, 37(1): 87-95.
- [ 3 ] 李钰龙,王忠海,高泰,等. 口袋式伽马能谱仪研制[J]. 四川大学学报(自然科学版), 2021, 58(3): 111-116.  
LI Y L, WANG ZH H, GAO T, et al. Development of pocket energy spectrometer [J]. Journal of Sichuan University (Natural Science Edition), 2021, 58(3): 111-116.
- [ 4 ] ZENG W. The Design of digital multi-channel analyzer based on FPGA [J]. Energy Procedia, 2013, 39:

428-433.

- [ 5 ] 何剑锋,王远,余加东,等. 新型便携式谱仪的异构嵌入式系统构建与移植[J]. 核电子学与探测技术, 2015, 35(2): 133-137.  
HE J F, WANG Y, YU J D, et al. The building and porting of heterogeneous embedded systems for a new portable spectrometer [J]. Nuclear Electronics & Detection Technology, 2015, 35(2): 133-137.
- [ 6 ] 朱玉玉,焦波,杨民. 数字多道中梯形成形算法的 FPGA 实现[J]. 核电子学与探测技术, 2014, 34(1): 78-82.  
ZHU Y Y, JIAO B, YANG M. FPGA-based trapezoidal shaping algorithm in the digital multi-channel system[J]. Nuclear Electronics & Detection Technology, 2014, 34(1): 78-82.
- [ 7 ] LI Z, TANG Q, LIU Z. Review of research on nuclear signal pulse shaping[J]. 2020, 2(7): 3.
- [ 8 ] 张怀强,颜苗苗,刘进洋. 核脉冲信号滤波成形电路的数字化研究[J]. 核技术, 2019, 42(7): 41-46.  
ZHANG H Q, YAN M M, LIU J Y. Digitalization of filter shaping circuit for nuclear pulse signal[J]. Nuclear Electronics & Detection Technology, 2019, 42(7): 41-46.
- [ 9 ] 李强,虞先国,石睿,等. 快速核素识别仪设计[J]. 核电子学与探测技术, 2018, 38(02): 278-283.  
LI Q, TUO X G, SHI R, et al. Design of fast nuclide identification instrument [J]. Nuclear Electronics & Detection Technology, 2018, 38(2): 278-283.
- [ 10 ] 洪旭,倪师军,周建斌,等. 数字高斯脉冲成形算法仿真研究[J]. 核技术, 2016, 39(11): 53-58.  
HONG X, NI SH J, ZHOU J B, et al. Simulation study on Gaussian pulse shaping algorithm [J]. Nuclear Techniques, 2016, 39(11): 53-58.
- [ 11 ] 任印权,何剑锋,周世融,等. 核信号高斯与梯形数

- 字成形方法仿真及其评价[J]. 核电子学与探测技术, 2018, 38(01): 105-110.
- RENG Y Q, HE J F, ZHOU SH R, et al. Nucleus signal Gaussian and trapezoidal digital forming method simulation and evaluation [J]. Nuclear Electronics & Detection Technology, 2018, 38(1): 105-110.
- [12] 王海涛, 周建斌, 谈扬宁, 等. 基于FPGA的伽马射线脉冲数字高斯成形算法研究[J]. 核电子学与探测技术, 2013, 33(11): 1334-1337.
- WANG H T, ZHOU J B, TAN Y N, et al. Research on digital sharpening algorithm of gamma-ray pulse on FPGA[J]. Nuclear Electronics & Detection Technology, 2013, 33(11): 1334-1337.
- [13] LIU Y, WANG M, WAN W, et al. Counting-loss correction method based on dual-exponential impulse shaping[J]. Journal of Synchrotron Radiation, 2020, 27(6): 1609-1613.
- [14] 孙超, 饶开友, 郭景富, 等. 数字化多道中双指数脉冲梯形成形算法研究[J]. 核电子学与探测技术, 2017, 37(7): 752-756.
- SUN CH, RAO K Y, GUO J F, et al. Study of trapezoidal shaping algorithm based on double exponential pulse in digital multichannel pulse analyzer[J]. Nuclear Electronics & Detection Technology, 2017, 37(7): 752-756.
- [15] 洪旭, 倪师军, 周建斌, 等. 梯形成形算法中成形参数与成形脉冲波形关系研究[J]. 核电子学与探测技术, 2016, 36(2): 150-153, 158.
- HONG X, NI SH J, ZHOU J B, et al. Study on the relationship between the shaping parameters of trapezoidal pulse shaping algorithm and the trapezoidal pulse shape[J]. Nuclear Electronics & Detection Technology, 2016, 36(2): 150-153, 158.
- [16] 刘寅宇, 王玉东, 周荣, 等. 数字化能谱获取中梯形成形研究[J]. 核技术, 2017, 40(2): 37-42.
- LIU Y Y, WANG Y D, ZHOU R, et al. Design of fast nuclide identification instrument [J]. Nuclear Techniques, 2017, 40(2): 37-42.
- [17] 汤建文, 王仁波, 王海涛. 基于FPGA的数字多道梯形成形算法研究[J]. 测试技术学报, 2018, 32(5): 405-410.
- TANG J W, WANG R B, WANG H T. Research on FPGA-based digital multi-channel ladder forming algorithm [J]. Journal of Test Technology, 2018, 32(5): 405-410.
- [18] 张松, 李筠. FPGA的模块化设计方法[J]. 电子测量与仪器学报, 2014, 28(5): 560-565.
- ZHANG S, LI J. Modular design of FPGA design methodology [J]. Journal of Electronic Measurement and Instrumentation, 2014, 28(5): 560-565.
- [19] 翟华, 闫梦飞, 吕庆洲, 等. 组合FPGA光电传感器阵列的顶管机激光姿态测量系统[J]. 电子测量与仪器学报, 2020, 34(7): 50-57.
- ZHAI H, YAN M F, LV Q ZH, et al. Laser attitude measurement system of pipe jacking machine based on fpga photoelectric sensor array [j]. Journal of Electronic Measurement and Instrumentation, 2020, 34 (7): 50-57.
- [20] 黄宇雁, 宫辉, 李荐民. 高计数率下的实时梯形成形算法[J]. 清华大学学报(自然科学版), 2017, 57(5): 521-524.
- HUANG Y Y, GONG H, LI J M. Real time trapezoidal shaping algorithm at high count rates [J]. Journal of Tsinghua University (Science and Technology), 2017, 57(5): 521-524.
- [21] XIONG C Y, LIU M Z, ZUO Z, et al. Ballistic deficit compensation method for a large-volume HPGc detector at high count rates[J]. Nuclear Science and Techniques, 2016, 27(3): 67.

## 作者简介



曾家骏, 2019年于东华理工大学获得学士学位, 现为东华理工大学硕士研究生, 主要研究方向为嵌入式系统应用与开发。

E-mail: jiajun@ecut.edu.cn

Zeng Jiajun received his B. Sc. degree from East China University of Technology in 2019. Now he is currently a M. Sc. candidate at East China University of Technology. His main research interests include embedded system application and development.



何剑锋(通信作者), 1999年于江西科技师范大学获得学士学位, 2008年于成都理工大学获得硕士学位, 2013年于成都理工大学获得博士学位, 2017年于清华大学博士后出站, 现为东华理工大学教授, 主要研究方向为核辐射探测技术与智能信息

处理。

E-mail: hjf@yeah.net

He Jianfeng (Corresponding author) received his B. Sc. degree from Jiangxi Science & Technology Normal University in 1999, M. Sc. degree from Chengdu University of Technology in 2008, and Ph. D. degree from Chengdu University of Technology in 2017, Post-doctorate out of Tsinghua University in 2017. Now he is an professor at East China University of Technology. His main research interests include nuclear radiation detection technology and intelligent information processing.