

DOI: 10.13382/j.jemi.B1902504

嵌入式存储器动态故障诊断数据压缩设计

陈佳楠^{1,2} 马永涛^{1,2} 李松¹ 刘丰³

(1. 天津大学 微电子学院 天津 300072; 2. 天津市成像与感知微电子技术重点实验室 天津 300072; 3. 恩智浦半导体(天津)有限公司 天津 300385)

摘要:在微纳米级工艺中,嵌入式存储器出现开路故障的概率增高,从而带来动态故障。当静态故障与动态故障同时存在时,传统的暂停导出内建自测试设计虽然可以将故障诊断数据正确输出,但存在诊断数据冗余的问题。因此,提出一种动态故障诊断数据压缩的内建自测试设计。在不影响诊断数据完好性的前提下,识别故障模式为行故障、列故障与单元故障,并对其诊断数据进行压缩解决诊断数据冗余的问题。仿真结果表明,该设计能够正确压缩动态故障诊断数据,大幅度提高输出效率,减少输出时间,并且面积开销较小。在8 K×16的存储器的面积开销为3.16%,20%行列故障与5%动态故障下诊断数据压缩比为3.96%。

关键词:存储器内建自测试;步进算法;诊断数据压缩;故障模式识别;动态故障

中图分类号: TP333;TN402 **文献标识码:** A **国家标准学科分类代码:** 510.3010

Design of embedded memory dynamic fault diagnosis data compression

Chen Jianan^{1,2} Ma Yongtao^{1,2} Li Song¹ Liu Feng³

(1. School of Microelectronics, Tianjin University, Tianjin 300072, China; 2. Tianjin Key Laboratory of Imaging and Sensing Microelectronic Technology, Tianjin 300072, China; 3. NXP Semiconductors (Tianjin) Co., Ltd. Tianjin 300385, China)

Abstract: In the process of micro and nano scale, the probability of an open circuit fault in the embedded memory increased, which resulting in dynamic faults. When static faults and dynamic faults coexisted, the traditional pause-and-export design of built-in self-test designs could correctly output fault diagnosis data, but there was a problem of diagnostic data redundancy. Therefore, a built-in self-test design for dynamic fault diagnosis data compression was proposed. Under the premise that it was not affecting the integrity of the diagnostic data, the problem of redundancy of diagnostic data was solved by identifying the fault modes as line faults, column faults and unit faults, and compressing the diagnostic data. The simulation results show that the design can correctly compress the dynamic fault diagnosis data, greatly improve the output efficiency, reduce the output time, and the area overhead is small. The area overhead of the 8 K×16 memory is 3.16%, and the diagnosis data compression ratio is 3.96% under 20% row failure and 5% dynamic failure.

Keywords: memory built-in self-test; march algorithms; diagnostic data compression; fault models identification; dynamic faults

0 引言

随着微电子工艺水平的提高,嵌入式存储器在片上系统比例不断增高;由于存储器制造对工艺缺陷十分敏感,存储器的成品率主导着芯片产量。为了保证存储器的成品率,内建自测试(built-in self-test, BIST)技术被广泛用于测试和诊断嵌入式存储器^[1-5], BIST提供了一种

简单且低成本的方法,并且不会影响存储器性能。为了故障分析, BIST电路通常需要向自动测试设备(auto test machine, ATE)输出诊断数据。由于测试电路输入输出接口的限制, BIST电路通常串行输出诊断数据。显然,因为逐位输出数据,诊断数据输出非常耗时。为了减少诊断数据输出时间,文献[6-9]提出了几种诊断数据压缩技术。文献[6-7]检测出功能故障后,中断 BIST,输出诊断数据(pause and export, PAE),文献[8-9]提出了诊断

数据的高速压缩算法,但都是以有损形式压缩诊断数据,不能根据接收的压缩诊断数据精确地重建故障位图。

另一方面,在微纳米级 RAM 中,由于互连层的数量增加,电阻开路缺陷出现的概率变高^[10],电阻开路缺陷常引起动态故障^[11]。此外,一些动态故障是与时序相关,只能通过高速测试模式检测^[12]。若 BIST 使用这种模式测试 RAM,则传统的 PAE 设计将会频繁中断输出静态故障诊断数据,造成诊断数据的冗余输出,并且无法测试出与时序相关的动态故障。为此一些文献提出了改进方法,文献[13]提出一种 MEB(march-element-based)设计,消除 March 算法产生的静态故障冗余诊断数据来提高效率;文献[14]对文献[13]进行了改进,提出一种 DMEB(differential march-element-based)设计,增添地址差分器对故障地址进行差分压缩。但都是基于存储单元逐个检测,没有考虑到存储器存在的行列故障情况。根据文献[15],存储器中的故障 54.19%为单元故障,42.3%为列故障,在故障存储单元中,97.34%为单故障位。当遇到行列故障时,诊断数据冗余极大地降低了输出效率。

因此,针对存储器动态故障造成的诊断数据冗余,提出一种识别故障模式并压缩其诊断数据的设计。由于可以根据不同模式的压缩形式进行数据压缩,本文提出的设计可以有效提高输出效率,减少输出时间。结果显示,该设计以较小的面积开销实现了比现有的数据压缩设计更低的诊断数据压缩率。

1 内建自测试背景

根据敏化操作序列中敏化操作数量的不同,RAM 的功能故障可以分为静态故障和动态故障。静态故障定义为通过执行一次敏化操作来检测的故障。动态故障为通过执行多个敏化操作来检测的故障。检测 RAM 的功能故障一般应用 March 算法, March 算法由多个 March 元素组成。为了检测动态故障, March 元素必须包含多个读操作,以读操作激活故障,例如 March RAW^[16] { ↑(w0); ↑(r0, w0, r0, r0, w1, r1); ↑(r1, w1, r1, r1, w0, r0); ↓(r0, w0, r0, r0, w1, r1); ↓(r1, w1, r1, r1, w0, r0); ↑(r0) }。March 元素由许多具有预定地址序列的测试操作组成,可以升序(↑)、降序(↓),其中 w 表示写操作, r 表示读操作, 0 和 1 代表逻辑值。

诊断数据由 3 个部分组成,分别为故障地址、会话号、校正码。会话号记录 March 算法中的读操作是否识别出故障,校正码是由检测值与预测值进行异或操作获得。校正码的信息指示故障存储单元的故障信息。通常, BIST 电路以 PAE 设计执行测试和诊断数据输出。即 BIST 电路检测到故障,则暂停测试并输出故障诊断数

据,诊断数据输出完成后,将恢复测试。但若应用的 March 算法的 March 元素中包含多个读操作,则可能导致诊断数据冗余输出,大大增加了输出时间。

使用 March RAW 算法检测 16×4 的存储器,如图 1 所示,其中存在固定为 1(Stack at 1, SA1)静态故障的存储单元为 0001, 0010 与 0011。使用 March RAW 的第 2 个 March 元素(r0, w0, r0, r0, w1, r1)检测,故障存储单元 0001 导出的诊断数据为(0001 1000 0100)(0001 0100 0100)(0001 0010 0100)一共 36 位,其中故障地址与校正码存在 2 次冗余。另一方面,存储单元 0010、0011 与 0001 存在相同的会话号与校正码,更加提高了诊断数据的冗余率,增加了诊断数据的输出时间。

		行地址			
		0	1	1	1
列地址	000				
	001	X	SA1		
	010	X	SA1		
	011	X	SA1		
	100				
	101	2			
	110	0			
	111	3			

图 1 存储器故障示意图

Fig. 1 Memory failure diagram

2 诊断数据压缩

针对动态故障诊断数据冗余问题,本文提出了一种可以识别故障模式并压缩其诊断数据的设计。设计流程如图 2 所示。

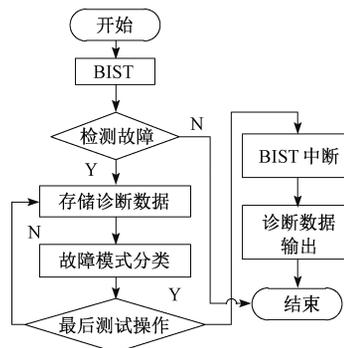


图 2 BIST 流程

Fig. 2 The flow of BIST

2.1 故障模式识别

文献[17]指出存储器故障模式分为行故障、列故障、集群故障和单元故障 4 种,由于集群故障可以看作是

由较短的行故障、列故障组成,为了简单操作将集群故障进行分解为行故障和列故障。为了说明简单,将存储单元标上序号,如图 1 所示。

行故障:当被测试存储单元 0 出现故障时,在相同行中测试下一个存储单元 1,若存储单元 1 与 0 的校正码相同,继续测试下一个,直到校正码与存储单元 0 不同的存储单元或行尾。

列故障:存储单元 0 与 1 的校正码不同;测试相同列上存储单元 2,存储单元 2 的校正码与 0 相同,则说明故障存储单元 0 已被较早的列故障覆盖;若不相同,则测试同列的下存储单元 3,若校正码相同,继续测试下一个,直到校正码与存储单元 0 不同的存储单元或列尾。

单元故障:当故障存储单元无法构成行故障和列故障时,即为单元故障。

2.2 诊断数据构成

改进诊断数据由 4 个部分组成,分别为故障地址、会话号、压缩校正码和有效位。不同故障模式诊断数据构成如图 3 所示。

单元故障	地址	会话号	压缩校正码	有效位	
行故障	地址	会话号	压缩校正码	有效位	结束列
列故障	地址	会话号	压缩校正码	有效位	结束行

图 3 不同故障模式的诊断数据

Fig. 3 Diagnostic data for different fault modes

故障地址、会话号与 PAE 产生的诊断数据相同。压缩校正码比特数比 PAE 产生的校正码小,这是因为比较压缩了一些读操作产生的冗余校正码。有效位是在多个读操作下,标志诊断数据有效,一般为 March 元素检测出动态故障的第一个读操作产生,当没有检测到动态故障时,为检测出所有静态故障的第一个读操作产生。对于单元故障,该校正码一般比原始校正码短。行故障诊断数据需要记录第一个和最后一个故障单元地址。由于具有相同的行地址,因此只需要多存储最后一个故障单元的列地址。列故障诊断数据类似于行故障诊断数据。由于所有故障单元都在同一列中,因此只需要多存储最后一个故障单元的行地址。

2.3 诊断数据压缩率

压缩率 (compression ratio, CR) 定义为压缩后的诊断数据比特数与原始诊断数据比特数之比。定义单个故障存储单元的数目为 N_s , 列故障和行故障数目分别为 N_c 和 N_r , L_s , L_c 与 L_r 表示单元故障、行故障与列故障的诊断数据比特数;总单元故障数目为 N_f , 单元故障使用 PAE 方式产生的诊断数据约为 L_f 。则压缩率 CR 表示为:

$$CR = (N_s L_s + N_c L_c + N_r L_r) / (N_f L_f) \quad (1)$$

若 March 元素中进行检测故障的读操作数为 k , 行故障或列故障包含的存储单元数目为 m 。假设第 1 个读操作检测出单个静态故障,第 k 个读操作检测出动态故障,即第 2 ~ ($k - 1$) 个读操作产生的静态故障诊断数据为冗余数据。故在此 March 元素输出的诊断数据中,对于单元故障,则校正码压缩率为 $2/k$;对于行故障或列故障,由于故障地址的压缩,诊断数据压缩比小于 $2/km$ 。

对于故障存储单元 0001,则故障单元数目为 1,压缩诊断数据比特数为 13,使用 PAE 产生的诊断数据比特数为 36,则故障存储单元 CR 为 13/36。同理,对于故障存储单元 0001、0010、0011 构成的列故障,其诊断数据压缩率为 16/108。

2.4 诊断数据重建

诊断数据重建主要依靠有效位的判断。假设故障存储单元 0010,使用 March RAW 的第 2 个 March 元素检测出固定为 1 的动态故障,则输出的诊断数据是 (0010 [1100 0100 0] [0010 0110 1]), 一共 22 位。由于在故障单元中检测到不同的故障,因此导出两个校正码。此外,第 1 个校正码的有效位为 0,第 2 个校正码的有效位为 1,则说明第 2 个校正码有效。根据有效的诊断数据,可以重建故障位图。如果使用 PAE 设计进行诊断数据导出,则产生的诊断数据为 (0010 1000 0100) (0010 0100 0100) (0010 0010 0010), 一共 36 位。若故障存储单元 0001、0010、0011 构成列故障,则其诊断数据压缩率为 25/108。

3 硬件实现

3.1 BIST 框图

本文提出的 BIST 设计框图如图 4 所示。BIST 设计主要包括两个模块:控制器和数据压缩器。控制器主要包括模式分类状态机、测试数据、测试地址和控制生成。数据压缩器是在 March 算法的基础上使用可寻址存储器执行比较功能来收集和压缩诊断数据。BIST 设计的信号主要包括时钟、复位、使能、输出,错误标志和测试完成信号。选中在正常操作模式和测试模式之间切换 RAM。错误标志指示 March 算法是否检测到故障。一旦 BIST 完成测试过程,完成信号就会变为高状态。否则,它保持低状态。输出信号用于导出压缩的诊断数据。

3.2 核心状态机

分类模式状态机分为 8 个状态如图 5 所示。

行故障:当 BIST 应用状态下检测到故障时,继续测试同一行下一个存储单元,除非已经到达行尾。当下一个存储单元与故障存储单元的校正码相同,状态机进入

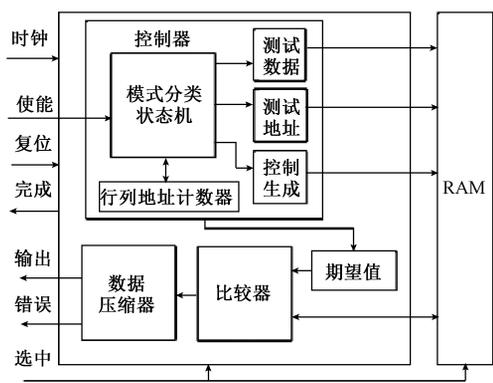


图 4 BIST 框图

Fig. 4 Block diagram of the BIST

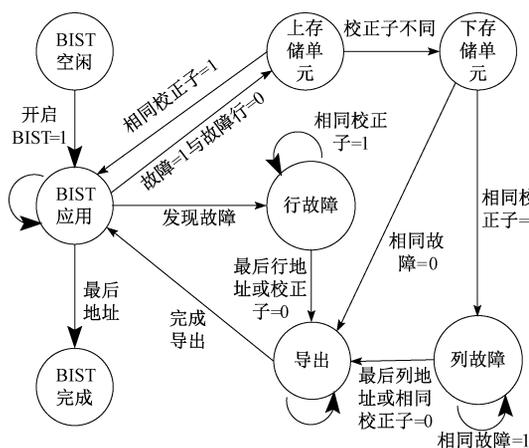


图 5 分类模式状态机

Fig. 5 Classification mode state machine

行故障状态,并保持该状态直到到达校正码与故障存储单元不同的存储单元或行尾。然后进入导出状态将诊断数据输出。

上存储单元:当 BIST 应用状态中检测到故障并且同一行中的下一存储单元的校正码与故障存储单元不同,进入上存储单元状态,除非被测试存储单元在列的顶部。此状态用于确认被测试存储单元是否被先前列故障覆盖。如果相同列上存储单元与故障存储单元校正码相同,则说明故障存储单元已被较早的列故障覆盖,并且将返回到 BIST 应用状态而不会改变任何数据。

下存储单元:若故障存储单元相同列的上存储单元的校正码与故障存储单元不同,则进入下存储单元状态;若下存储单元与故障存储单元的校正码不同,说明故障存储单元为单个故障存储单元,则进入导出状态。

列故障:在下存储单元测试中,如果存储单元与故障存储单元的校正码相同,状态机进入列故障状态,并保持该状态直到到达校正码与故障存储单元不同的存储单元或列尾。然后进入导出状态。

3.3 压缩机

与传统的 PAE 设计相比,提出的诊断数据压缩设计输出一个故障地址或压缩行列地址,而不管 March 算法中的读操作的数量,这就大大减少故障地址的数据量。数据压缩器的简化框图如图 6 所示,主要包括上/下计数器,状态机,内容可寻址存储器,并行输入和串行输出寄存器,以及读状态寄存器。核心部分为可寻址存储器,进行存储和压缩来自比较器的诊断数据。其中可寻址存储器存储单元数等于 March 元素中最大的读操作数 K 。读状态寄存器将读操作是否检测出故障记录下来。

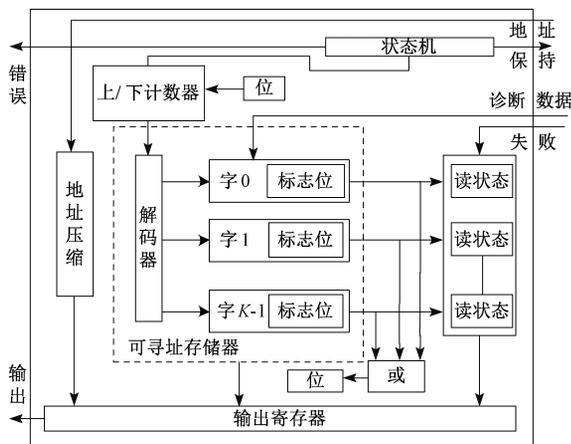


图 6 诊断数据压缩器

Fig. 6 Diagnostic data compressor

压缩器的操作可分为两个阶段:校正码压缩和压缩诊断数据输出。在校正码压缩阶段,压缩器中的可寻址存储器的所有存储单元标志位与对应的读状态位初始化为 0。当 March 算法的第 1 个读操作检测到故障时,其产生的校正码存储在第一个存储单元 0 中,相应的标志位与读状态位置为 1。如果 March 算法中的后续读操作检测到故障,则将新的校正码与存储在存储单元 0 的校正码进行比较。如果相同,则相应的读状态位置 1。否则,上/下计数器向上计数 1,新产生的校正码存储在存储单元 1 中。执行此过程,直到完成故障存储单元的 March 算法的所有测试操作。在压缩诊断数据输出阶段,上/下计数器向下计数,存储在可寻址存储器中的校正码被逐个单元的读出到输入输出寄存器,接着输入输出寄存器中的数据逐位输出。最后,包括故障地址、读状态、校正码和有效位的诊断数据通过输入输出端口串行输出。

4 实验结果

诊断数据压缩设计的主要性能指标有数据压缩比与

存储器面积开销率。数据压缩比越低,则输出效率越高,输出时间越少。影响数据压缩比的因素有动态故障占比、行列故障占比与 March 算法。动态故障典型检测算法有 March RAW、March DD^[18]和 March 100N^[12],它们的 March 元素的相同读操作数分别为 3、5 和 7,连续读操作数为 2、3、3。

4.1 参数分析

影响诊断数据压缩比有动态故障检测算法与行故障或列故障所占故障存储单元的百分比。为了便于比较,将故障类型设置为单个存储单元故障。注入了动态故障和平均值为 7.8 的泊松分布静态故障,动态故障均为两次连续读操作检测。选用 0.18 μm 工艺库中的存储器的配置为 8 K \times 16。

针对 3 种典型 March 检测算法进行了仿真分析,如图 7 所示,其中行列故障占比为 0%。

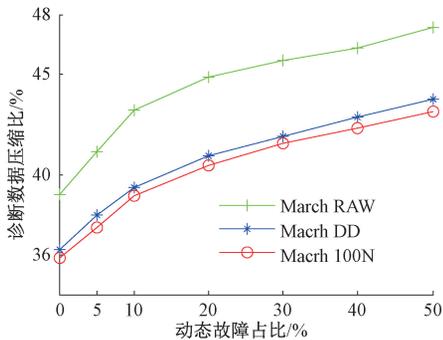


图 7 不同 March 算法对压缩比影响

Fig. 7 The CR of different March algorithms

由图 7 可得,随着动态故障在功能故障的占比增加,数据压缩比逐渐增大,这是由于检测存储器时产生的重复校正码的数量减少。此外, March 元素中有更多相同读操作数的 March 算法可以得到更低的诊断数据压缩比。虽然 March DD 与 March 100 N 有相同的连续读操作数,但 March DD 元素中相同读操作数较少,其数据压缩比 March 100 N 高。

对影响数据压缩比的另一关键因素——行列故障进行分析,如图 8 所示,其中动态故障占比 5%。

由图 8 可得,随着行列故障占比的增加,压缩比迅速下降。这是因为更多的故障存储单元有着相同的校正码,减少了诊断数据输出。在行列故障占比刚开始增加,压缩比减小缓慢,这是由于相同校正码的故障存储单元较少;随着行列故障比变大,相同故障单元增多,压缩比迅速下降。使用 March 100 N 算法,在行列故障比达到 20%时,压缩比可低至 3.96%。

4.2 性能分析

将现有的无损动态故障诊断数据压缩设计 MEB、

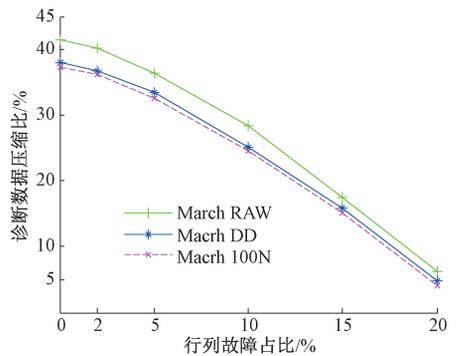


图 8 行列故障占比对压缩比影响

Fig. 8 The CR of row and column failure

DMEB 与本文提出的设计进行比较。其中动态故障检测算法为 March DD,动态故障占比 50%,存储器配置为 8 K \times 16,压缩比如图 9 所示。

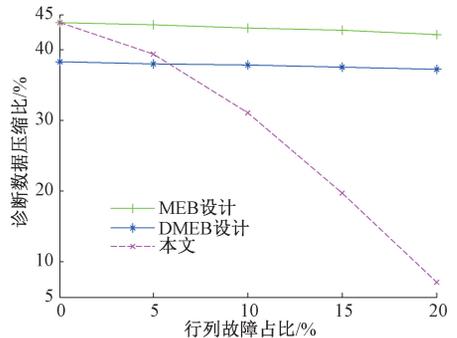


图 9 不同压缩设计的压缩比

Fig. 9 The CR of different compression designs

随着行列故障占比的增大,3 种设计的压缩比都呈下降的趋势。由于 DMEB 设计进行了故障地址差分压缩,所以 DMEB 设计的诊断数据压缩比一直低于 MEB 设计。当仅存在单元故障时,DMEB 设计的数据压缩比最低,因为 DMEB 设计进一步压缩了故障地址。随着行、列故障占比的变大,3 种设计的压缩比不断变小;当行、列故障占比增大到 20%时,本文所提出的设计性能远远优于 MEB 和 DMEB 设计,压缩比为 6.96%,这是因为 MEB 和 DMEB 设计针对故障单元设计,没有识别行与列故障的功能。

BIST 电路占用一部分片上面积对存储器进行测试,一般来说,BIST 电路在保证测试效果的前提下,面积开销越小越优。本文测试了 3 种压缩设计在不同存储器配置下的面积开销,如表 1 所示。

其中,工艺库为 0.18 μm ,存储器的配置有 4 K \times 16、4 K \times 32、8 K \times 16。在存储器容量相同下,校正码位数越大,压缩设计占用的面积开销越大,这是由于需要使用的可寻址存储器容量变大。由于本文添加了行列地址计数

表 1 不同压缩方案的面积开销

Table 1 Area overhead of different compression schemes

存储器配置	4 K×16	4 K×32	8 K×16
MEB 占比%	5.23	4.21	2.71
DEMB 占比%	5.45	4.36	2.95
本文占比%	6.18	4.51	3.16

器与诊断数据压缩器,导致面积开销较大,但随着存储器容量的增大,3种压缩设计面积开销比逐渐接近。在存储器容量为8 K×16下,面积开销占比为3.16%,以增长部分面积开销为代价,获得高效的输出效率,减少了诊断数据的输出时间。

5 结 论

本文基于存储器内建自测试,在不影响诊断数据可靠性的前提下提出一种通过识别存储器的故障模式并增添数据压缩器的设计,将动态故障与静态故障同时存在产生的冗余诊断数据进行比较压缩,降低了压缩比,提高了输出效率,减少了输出时间。仿真实验表明,本文提出的设计能够有效地压缩故障存储单元诊断数据,提高了输出效率,减少了输出时间,并且BIST电路面积开销较低。

参考文献

- [1] LEE H, HAN D, LEE S, et al. Dynamic built-in redundancy analysis for memory repair [J]. IEEE Transactions on Very Large Scale Integration Systems, 2019, DOI: 10.1109/TVLSI.2019.2920999.
- [2] HARUTYUNYAN G, SHOUKOURIAN S, ZORIAN Y. Fault awareness for memory BIST architecture shaped by multidimensional prediction mechanism [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2018, 38(3): 562-575.
- [3] OH C H, KIM S E, YANG J S. BIRA with optimal repair rate using fault-free memory region for area reduction [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 64(12): 3160-3171.
- [4] 胡聪,贾梦怡,许川佩,等.基于时间Petri网和THBA的3D NoC测试规划[J].仪器仪表学报,2018,39(1): 234-242.
HU C, JIA M Y, XU CH P, et al. Research on test planning of 3D NoC based on timed Petri net and THBA [J]. Chinese Journal of Scientific Instrument, 2018,39(1):234-242.
- [5] 张阿敏,王春华,杜高明,等.兼顾热优化的TSV容错设计[J].电子测量与仪器学报,2018,32(7): 180-186.
ZHANG A M, WANG CH H, DU G M, et al. TSV

- redundancy strategy considering thermal optimization [J]. Journal of Electronic Measurement and Instrumentation, 2018,32(7):180-186.
- [6] HUANG R F, SU C L, WU C W, et al. A memory built-in self-diagnosis design with syndrome compression[C]. IEEE International Workshop on Current and Defect Based Testing, 2004: 99-104.
- [7] SU C L, HUANG R F, WU C W, et al. Embedded memory diagnostic data compression using differential address[C]. IEEE VLSI-TSA International Symposium on Design, Automation and Test, 2005: 20-23.
- [8] SAHA M, SIKDAR B K. A cellular automata based high speed test hardware for word-organized memories [C]. 2012 International Conference on Devices, Circuits and Systems (ICDCS), IEEE, 2012: 345-349.
- [9] MUKHERJEE N, POGIEL A, RAJSKI J, et al. High volume diagnosis in memory BIST based on compressed failure data[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2010, 29(3): 441-453.
- [10] BORRI S, HAGE H M, DILILLO L, et al. Analysis of dynamic faults in embedded-SRAMs: Implications for memory test[J]. Journal of Electronic Testing: Theory and Applications, 2005, 21(2):169-179.
- [11] HAMDIOUI S, WADSWORTH R, REYES J D, et al. Importance of dynamic faults for new SRAM technologies[C]. Eighth IEEE European Test Workshop, 2003: 29-34.
- [12] HARUTUNYAN G, VARDANIAN V A, ZORIAN Y. Minimal March tests for detection of dynamic faults in random access memories [J]. Journal of Electronic Testing, 2007, 23(1): 55-74.
- [13] HOU C S, LI J F, FU T J. A BIST scheme with the ability of diagnostic data compression for RAMs [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2014, 33(12): 2020-2024.
- [14] KOSHY T, ARUN C S. Diagnostic data detection of faults in RAM using different march algorithms with BIST scheme [C]. International Conference on Emerging Technological Trends (ICETT),IEEE, 2016: 1-6.
- [15] WU T H, CHEN P Y, LEE M, et al. A memory yield improvement scheme combining built-in self-repair and error correction codes[C]. 2012 IEEE International Test Conference, 2012: 1-9.
- [16] HAMDIOUI S, AL-ARS Z, VAN DE GOOR A J. Testing static and dynamic faults in random access memories[C]. 20th IEEE VLSI Test Symposium, 2002:

395-400.

- [17] LIN B Y, LEE M, WU C W. A memory failure pattern analyzer for memory diagnosis and repair[C]. IEEE 30th VLSI Test Symposium (VTS), 2012: 234-239.
- [18] HARUTUNYAN G, VARDANIAN V, ZORIAN Y. An efficient March-based three-phase fault location and full diagnosis algorithm for realistic two-operation dynamic faults in random access memories[C]. 26th IEEE VLSI Test Symposium, 2008: 95-100.

作者简介



陈佳楠, 2017年于河北工业大学获得学士学位, 现为天津大学硕士研究生, 主要研究方向为可测试电路设计。
E-mail: 896595028@qq.com

Chen Jianan received his B. Sc. degree from Hebei University of Technology in 2017. Now he is a M. Sc. candidate at Tianjin University. His main research interest includes testable circuit design.



马永涛, 2001年于天津大学获得学士学位, 2005年于天津大学获得硕士学位, 2009年于天津大学获得博士学位, 现为天津大学副教授, 主要研究方向为室内定位、电路设计。

E-mail: mayongtao@tju.edu.cn

Ma Yongtao received his B. Sc. degree from Tianjin University in 2001, M. Sc. degree from Tianjin University in 2005, and Ph. D. degree from Tianjin University in 2009. Now he is an associate professor at Tianjin university. His main research interests include indoor localization, circuit design.