

DOI: 10.13382/j.jemi.B2205921

基于 Farrow 结构的多径信道小数时延模拟方法

胡雪南¹ 姜雪松¹ 程远杰¹ 刘景鑫² 李 添²

(1. 中国移动通信有限公司研究院 北京 100053; 2. 创远信科(上海)股份有限公司 上海 201600)

摘 要:在信道模拟的过程中,为了更加逼近真实的通信场景,信道模拟器需要达到非常高的多径时延精确度,这对信道模拟器的仿真能力提出了更高的要求。信道模型的处理和加载任务通常在数字基带内实现,其时钟分辨率是有限的,需要借助 Farrow 结构小数滤波器来实现更高时延精度。为实现超高精度的时延模拟,根据信道模拟算法的特点,采取 DSP 与分布式乘法混用的方式对 Farrow 结构小数滤波器进行了优化设计。设计方案在创远信科的信道模拟器 Pathrror-X80 上执行了验证和测试。结果表明,改进的 Farrow 滤波器的结构设计大幅度降低了 FPGA 计算资源的消耗,使得小数延时算法能够在高时延精度和低资源开销之间达到平衡;多径时延精度在低频段的测试结果与理论推算基本吻合,满足信道模拟所期望的 0.1 ns 的要求;时延精度在高频段与理论推算出入较大,为了达到更好的性能或更小的信号失真,可以考虑提升滤波器阶数,或寻找更优的系数计算算法。

关键词:信道模拟器;小数时延;Farrow 滤波器;FPGA

中图分类号: TN98 **文献标识码:** A **国家标准学科分类代码:** 510.40

Multipath channel fractional delay simulation method based on Farrow structure

Hu Xuenan¹ Jiang Xuesong¹ Cheng Yuanjie¹ Liu Jingxin² Li Tian²

(1. China Mobile Research Institute Co., Ltd., Beijing 100053, China; 2. Transcom Instruments, Shanghai 201600, China)

Abstract: It is needed to achieve very high multipath delay accuracy to better approximate the real communication scenario in the process of channel simulation, which puts higher requirements on the simulation ability of the channel emulator. Channel models is processed and loaded usually within the digital baseband, and so the clock resolution is limited. It is necessary to make use of Farrow structured fractional filters to achieve higher delay accuracy. In according to the characteristics of channel simulation algorithms, the Farrow structure fractional filter was designed and optimized by mixing DSP and distributed multiplication to achieve ultra-high precision delay simulation. The design scheme was validated and tested on the TRANSCOM Pathrot X80 channel emulator. The results show that, the improved Farrow filter's structural design significantly reduces the consumption of FPGA computing resources, enabling the fractional delay algorithm to achieve a balance between high delay accuracy and low resource overhead; the multipath delay accuracy is consistent with theoretical calculations in the low frequency range, meeting the expected 0.1 ns requirement for channel simulation; the delay accuracy differs significantly from theoretical calculations in the high-frequency range. In order to achieve better performance or reduce signal distortion, it can be considered to increase the order of the filter or find a better coefficient calculation algorithm.

Keywords: channel emulator; fractional delay; Farrow filter; FPGA

0 引 言

随着 5G 通信技术的发展,大量新技术新场景的出现给无线设备的测试带来很多挑战。信道模拟器的出现能

够在实验室环境下模拟外场的信道环境,为无线通信设备的测试提供一个可靠的可重复的模拟环境,提高研发和测试工作的效率^[1-3]。实现信道模拟的过程中,为了更好地贴近真实的信道场景,信道模型的多径时延精确度越来越高^[4],对信道模拟器的仿真能力提出了更高要求,

而信道模型的施加和计算任务通常在数字基带内实现,其时钟分辨率是有限的,需要借助 Farrow 结构滤波器实现高精度的小数延时^[5]。

现有文献中存在大量针对 Farrow 结构及分数时延滤波器的研究和实现的讨论,但是鲜有文献针对信道模拟器这种特定超高时延精度(0.1 ns)具体实现的相关研究和讨论。

文献[6-7]提出了一种 Farrow 结构的优化结构,在一定程度上降低了 DSP 的资源消耗。文献[8]提出了基于 Farrow 结构的拉格朗日分数时延滤波器,并且无需更新滤波器系数就能实现可变分数倍时延。文献[9]本文介绍了一种基于新型并行架构的高速转置 Farrow 结构的 FPGA 的设计方法,方法兼顾了灵活性、复杂性和吞吐量之间的权衡和改善。文献[10]提出的实现基于多速率 Farrow 结构分数时延滤波器,这种方式降低了算术复杂性,并允许在线分数延迟值更新。文献[11]提出了一种在 FPGA 上实现可变小数延迟滤波器的方案,该实现利用了一种称为泰勒结构的有效结构,与传统 Farrow 结构相比,这种结构的主要优点是减少了乘法器和加法器的数量。文献[12-13]分别给出了 1 ns 和 10 ns 时延精度的具体实现方案。以上文献均未对信道模拟器 0.1 ns 这种特定高时延精度的具体实现开展具体的分数时延滤波器的研究和设计,本文按照 0.1 ns 的特定延时精度的目标对分数时延滤波器的实现进行了专门的分析和研究,探索该滤波器在信道模拟器上的 FPGA 具体设计和实现方案,并针对信道模拟器 FPGA 资源节约的特别要求,探索资源利用率提升的改进方案。Farrow 结构复杂,在大规模 MIMO 信道模拟器的应用中,需要例化大量 Farrow 结构才能实现每条径的高精度延时,计算资源消耗巨大。本文针对信道模拟算法的特点,优化改进 Farrow 滤波器的结构设计,减轻计算资源的消耗,实现高精度的时延模拟。在算法实现过程中,根据 Farrow 架构不同位置的计算单元特点,采取 DSP 与分布式乘法混用的方式,实现对 FPGA 资源的最大化利用。最后进行了实测,测试了单条径和多条径情况下的时延,验证信道模拟多径时延的效果以及本方法的有效性。

1 算法介绍

1.1 信道模拟器模拟多径原理

信道模拟器中多径传播特性的模拟主要通过 FPGA 实现,不同传播路径的信号具有不同的时延、功率以及相位,在时延模拟的实现上,将其分为整数时延和小数时延两部分^[14],此处的小数及整数是相对于 FPGA 计算模块工作时钟而言,其中小数时延部分即通过运用 Farrow 滤波器来实现,多径信道模拟整体的实现过程如图 1 所示。

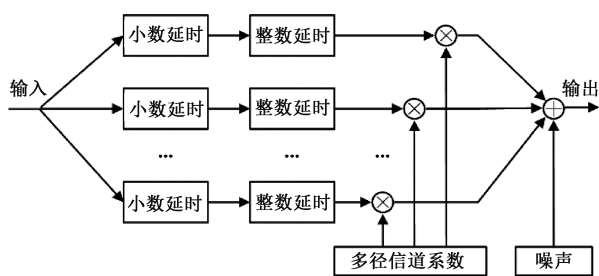


图 1 信道模拟器的简要架构

Fig. 1 Brief architecture of channel emulator

模拟多径信道的过程,首先 ADC 采样得到的输入信号并分为多条路径,根据需要模拟的延时大小对信号施加不同的延迟,信号先经过小数延时,之后再继续进行整数延时,延时之后的信号与信道参数相乘,施加每条路径的功率和相位变化特性,多径数据最终叠加在一起输出给信号接收机^[15]。

1.2 Farrow 滤波器原理

Farrow 滤波器主要通过乘法器和加法器实现,传统上把完整结构分为上下两部分^[16],如图 2 所示。

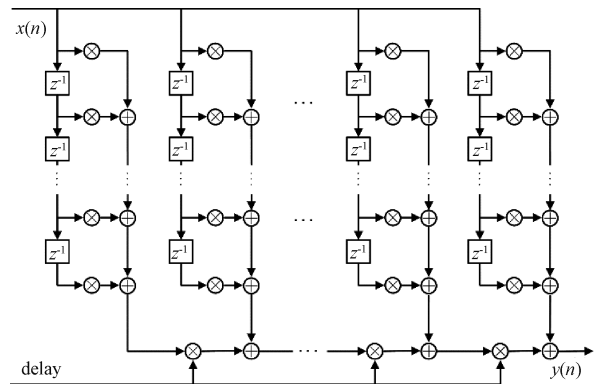


图 2 Farrow 滤波器结构图

Fig. 2 Farrow filter structure diagram

N 阶 Farrow 滤波器上半部分为 $N+1$ 条并列的 N 阶 Fir 滤波器^[17],其中 $N+1$ 条 N 阶 Fir 滤波器的每个滤波器系数为固定系数, N 阶 Fir 滤波器表达式为^[18]:

$$g(n) = \sum_{k=0}^N \gamma(k)x(n-k) \quad (1)$$

式中: $\gamma(k)$ 为滤波器系数, N 为滤波器阶数, $x(n-k)$ 为 $x(n)$ 延时 k 个周期。

下半部分是基于多项式逼近原理,将延时系数 λ 与 N 条 Fir 滤波器的结果不断乘加拟合所得。因此一个完整的 N 阶 Farrow 滤波器的表达式为:

$$y(n) = \lambda(\cdots(\lambda(\lambda g(n,N) + g(n,N-1)) + g(n,N-2)) + \cdots + g(n,1)) + g(n,0) = \lambda^N g(n,N) +$$

$$\lambda^{N-1}g(n,N-1)+\cdots+\lambda g(n,1)+g(n,0)=\sum_{i=0}^N\lambda^ig(n,i)$$

(2)

式中:λ 为延时系数,N 为滤波器阶数,g(n,i) 为每列 Fir 滤波器的输出结果。

延时系数 λ 设置的位宽越大,则时延分辨率越高,设位宽为 a,则延时精确度可达到 1/2a。

通过分析以上 Farrow 结构,可以得出上下两部分所占用的乘法器与加法器资源,如表 1 所示。

表 1 N 阶 Farrow 滤波器上下部分占用资源分析

Table 1 Analysis table of resources occupied by upper and lower parts of N-order Farrow filter

	乘法器 占用资源	加法器 占用资源
N 阶 Farrow 滤波器上半部分	(N+1) ²	N(N+1)
N 阶 Farrow 滤波器下半部分	N	N

由表 1 分析可得:N 阶 Farrow 滤波器的上半部分占用了大多数的资源,对于需要多径传播功能的信道模拟器来说,例化多个完整的 Farrow 滤波器将占用掉 FPGA 内大量的逻辑资源,造成资源紧张,挤占其他逻辑空间等问题。因此,将占用资源量大的上半部分复用只例化一次,多次例化下半部分,给予不同的延时系数 λ,满足同一输入信号得到多路不同的小数延时,实现多径信道模拟。

1.3 Farrow 系数的获取

Farrow 滤波器系数获取的基本思想是设计一组滤波器逼近要求范围内的分数时延,并利用 N 阶多项式来逼

近每一个系数。通过 Lagrange 公式来实现多项式内插,Lagrange 内插公式如式(3)和(4)所示。

$$y(t)=\sum_{i=I_1}^{I_2}C_ix(I_1+I_2-i)$$

(3)

$$C_i=\prod_{j=I_1,j\neq i}^{I_2}\frac{t-t_j}{t_i-t_j}$$

(4)

与内插基本公式的形式一样,令:

$$t=(i+\mu_k)T_s$$
$$h_i[(i+\mu_k)T_s]=C_i(\mu_k)$$

(5)

式中:在每一段 T_s 内,系数公式本身就是 t 或者 μ_k 的多项式,其冲激响应 h_i(t) 都为分段多项式(i=I₁~I₂)。

代入 Lagrange 内插公式就可以得到内插滤波器的系数。然后,基于多项式逼近原理,用代数多项式近似地表示连续函数,每个滤波器的系数通过要求阶数的多项式架构进行逼近,基于多项式拟合原理^[19],选取偏差平方和最小的最小二乘法将多个 FIR 滤波器结构进行拟合,达到小数延时的效果。其过程如式(6)和(7)所示。

$$h(x)=\sum_{n=0}^N\gamma_n(x)D^n$$

(6)

式中:γ_n(x) 为逼近系数,计算滤波器的传递函数为:

$$H(\varpi)=\sum_{n=0}^Nh(x)e^{-j\varpi n}=\sum_{n=0}^NC_n(\varpi)D^n$$

(7)

式中:C_n(ϖ)=∑_{n=0}^NC_n(x)e^{-jϖn} 是一个 N 阶滤波器的表达形式。Farrow 架构共包含了 N 个滤波器,每个滤波器共 N 阶,由式(7)可以看出,这是一个由多个滤波器组成的并联结构,每一个抽头都要乘一个权重系数,其架构如图 2 所示。8 阶 Farrow 滤波器计算得到的系数如表 2 所示。

表 2 8 阶 farrow 系数

Table 2 8th order farrow coefficient

	1	2	3	4	5	6	7	8	9
1	2.48×10 ⁻⁵	-9.90×10 ⁻⁵	-4×10 ⁻⁴	0.001 4	0.001 2	-0.004 9	-9×10 ⁻⁴	0.04	0
2	-0.000 2	0.005 95	0.004 2	-0.012 5	-0.017	0.05	0.012 7	-0.038	0
3	0.0006 94	-0.001 39	-0.018	0.036 1	0.117 4	-2.347 2	-0.1	-0.2	0
4	-0.001 39	0.001 389	0.040 3	-0.040 3	-0.339	0.338 9	0.8	-0.8	0
5	0.0017 36	0	-0.052	0	0.474	0	-1.424	0	1
6	-0.001 39	-0.001 39	0.040 3	0.040 3	-0.339	-0.338 9	0.8	0.8	0
7	0.000 694	0.0013 89	-0.018	-0.036 1	0.117 4	0.234 7	-0.1	-0.2	0
8	-0.000 2	-0.000 6	0.004 2	0.012 5	-0.017	-0.05	0.012 7	0.004	0
9	2.48×10 ⁻⁵	9.92×10 ⁻⁵	-4×10 ⁻⁴	-0.001 4	0.001 2	0.004 9	-9×10 ⁻⁴	-0.004	0

2 逻辑实现

2.1 FPGA 实现结构

针对无线信道模拟器多径延时的算法结构特点,输入信号分多路模拟不同同时延的多径信号,因而复用 Farrow 滤波器的上半部分,只需要多次例化下半部分插

值流水线,就可以同时做多组不同延时的插值,达到节省资源消耗的目的。结构如图 3 所示。

5G 信道模型对信道模拟器的时延分辨率提出了更高的要求,需要使用足够的计算位宽来实现高分辨率的小数延时,FPGA 计算模块工作时钟为 245.76 MHz,因而整数时延分辨率 4.069 ns,Farrow 滤波器延时参数位宽定为 8 bit,分辨率达到 4.069 ns/2⁸=0.016 ns,能够满足

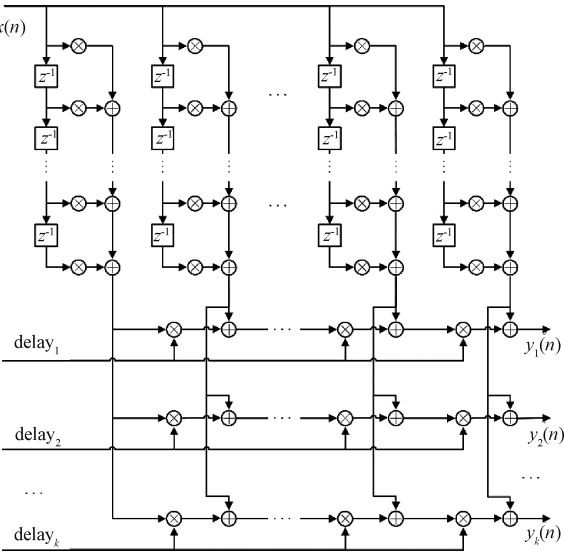


图 3 优化后的 Farrow 小数时延模拟结构

Fig. 3 Optimized Farrow fractional delay simulation structure

信道模拟的需求。

2.2 资源开销

选用 Xilinx UtralScale 系列的 XCKU115 作为开发和测试平台,其内部的逻辑资源丰富,包含大量的编程输入输出接口 (input output block, IOB)、查找表 (look up table, LUT) 专用数字信号处理单元 (digital signal processor, DSP)、布线资源、存储资源等^[20-21]。

为了最大化 FPGA 资源使用效率,针对 FIR 滤波器组 (Farrow 上半部分) 计算位宽较大的特点,并且基于 DSP 实现 FIR 滤波器组的乘法,对于插值流水线 (Farrow 下半部分) 的乘法器,由于延时系数仅有 8 bit,计算位宽较小,本文选用基于 LUT 的分布式乘法 (distributed arithmetic, DA) 来实现。

DA 算法在做乘加运算时,先将输入信号每一个二进制位所产生的的部分积预先相加,再将各个部分积移位相加得到最终的结果。这种运算方式完全摒弃了 DSP48 资源的消耗,仅用加法器配合查找表便可完成复杂的乘加运算^[22]。查找表的作用是将计算机的逻辑运算替换成查询操作,因此可以将多次重复的复杂运算的结果预存起来,当再次需要进行复杂运算时,直接从查找表中取值即可。

通过 DSP 乘法器与分布式乘法器混合使用,避免计算开销全部集中于单一资源,分摊了资源压力,提高 FPGA 资源的利用效率。

表 3 对比了 8 阶 Farrow 滤波器下,原始结构与改进结构的资源消耗,Farrow 上半部分 FIR 的乘法运算基于 DSP48 实现,下半部分插值流水线基于 DA 实现,模拟 8 条径的时延,相比于传统结构,改进后的结构 DSP 资源

开销减少了 80%,LUT 资源开销减少了 50%。

表 3 8 阶 Farrow 滤波器的资源消耗

Table 3 Resource consumption of 8-order farrow filter		
资源类别	插值流水线复用结构资源消耗	常规 Farrow 结构资源消耗
DSPs	154	784
LUTs	4 006	9 928

3 实 测

基于创远信科的 Pathrrrot-X80 信道模拟器平台进行测试验证。测试环境如图 4 所示,使用信号源产生特定频率的单音信号,输入信道模拟器的射频接收通道,信号经过 ADC 后进入基带 FPGA,基带平台的处理带宽为 200 MHz,FPGA 工作主时钟 245.76 MHz。信号在基带中经过包含小数延时在内的一系列处理算法,施加了多径信道模拟,最后由 DAC 输出,进入频谱仪或矢量网络分析仪进行信号分析。

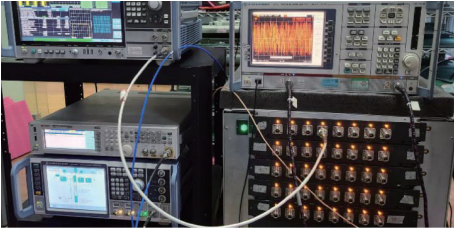


图 4 测试环境

Fig. 4 Testing environment

3.1 单路延时测试

首先验证 8 阶 Farrow 滤波器在实测中的频响表现。仅开启一条固定衰落径,输入给定 10~100 M(相对于零中频)的信号,FPGA 处理单元内整数时延的分辨率为 4.069 ns,借助 Farrow 模块,在信道模拟器中分别模拟 0.8 ns,2 ns,3.5 ns 的单径时延,直接测试基带数字域信号的频响结果,频响实测曲线如图 5 所示。

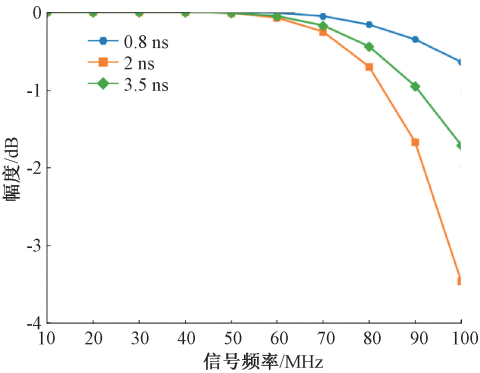


图 5 频响实测曲线图

Fig. 5 Frequency response measured curve

从图上可以看出,信号频率越高,越接近通带频率上限,Farrow 滤波器频响越差,信号衰减幅度越大;时延越接近 0 或 4.069 ns 即延时系数 λ 越接近 0 或 1 时,频响曲线越接近平直,信号衰减幅度越小。

频率固定的情况下,观测不同时延值下的幅度响应,结果如图 6 所示,可以看到在 2.5 ns 时延左右,即延时系数 λ 接近 0.5 时,幅度误差最大,延时系数 λ 趋近于 0 或 1 时,幅相变化误差越小且趋近于 0。

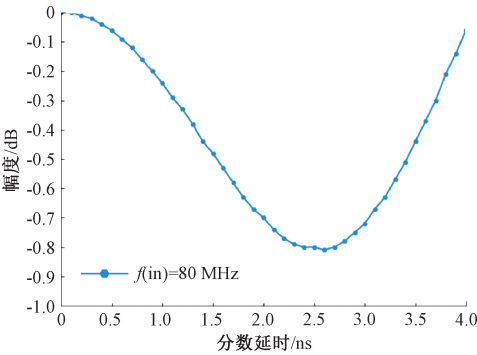


图 6 不同时延下的幅度响应

Fig. 6 Amplitude response under different time delay

小数延时越接近整数点,意味着 Farrow 滤波器的插值位置越接近插值参考点,因而插值结果更加精确,误差和失真更小。

3.2 多径时延测试

针对信道模拟的场景,测试模拟多条衰落径的性能表现。为了方便验证,配置两路衰落功率相同、时延不同的径,观测并验证单独开任意一条径或者径全开情况下的输出。可以通过间接手段测量并推算时延值。

信道模拟器配置两条径,一条设置为 0.5 ns 时延,另一条设置为 2 ns 时延,信号输入保持固定功率,频率从 10~100 M(相对于零中频)。输出的结果可以等效成一种向量模型,如图 7 所示。

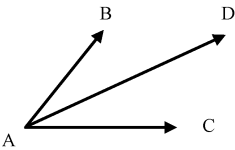


图 7 等效向量模型

Fig. 7 Equivalent vector model

$\overrightarrow{AB}$ 代表第 1 条径, $\overrightarrow{AC}$ 代表第 2 条径, $\overrightarrow{AD}$ 代表两条径叠加之后的结果,理想的 $\overrightarrow{AB}$ 、 $\overrightarrow{AC}$ 所形成的夹角 α 可通过 $\alpha = \frac{a}{\frac{1}{1000}f} \times 360$ 得到,其中 a 代表时延(单位 ns), f 代表输入信号的频率(单位 MHz),式 $|\overrightarrow{AD}| =$

$\sqrt{|\overrightarrow{AB}|^2 + |\overrightarrow{AC}|^2 + 2 \cdot |\overrightarrow{AB}| \cdot |\overrightarrow{AC}| \cdot \cos \alpha}$ 得到理想状态下 $\overrightarrow{AD}$ 的长度,再由 $y = 20\log x$ 得到理想状态下 $|\overrightarrow{AD}|$ 的功率,将 $|\overrightarrow{AD}|$ 的功率值与实测功率值相比较,可间接验证两条径之间所形成的夹角是否满足时延要求。测试结果如表 4 所示。

表 4 时延差 1.5 ns 测试结果表

Table 4 Test result table of delay difference of 1.5 ns

频率/ MHz	Tap1 功率/ dB	Tap2 功率/ dB	全开功率/ dB	理想功率/ dB	时延差/ ns
10	-15.44	-15.44	-9.43	-9.43	1.54
20	-15.44	-15.44	-9.45	-9.45	1.50
30	-15.44	-15.44	-9.51	-9.50	1.50
40	-15.44	-15.44	-9.57	-9.57	1.49
50	-15.44	-15.45	-9.66	-9.66	1.49
60	-15.44	-15.48	-9.78	-9.79	1.47
70	-15.44	-15.61	-9.93	-9.98	1.42
80	-15.44	-15.92	-10.16	-10.29	1.34
90	-15.44	-16.56	-10.46	-10.42	1.15
100	-15.44	-17.61	-10.84	-11.41	0.97

从表 4 中可以看出, Tap 1 为 0.5 ns,单开 Tap 1 其功率值变化幅度不大,而 Tap 2 为 2 ns,受到频率响应曲线的影响,其功率值在 50 MHz 后逐渐降低。对于较低频信号,实测情况下两条径全开的叠加功率与理想结果近似,推算验证得到两者时延差与理想值相差不大。而到更高频率,无论是合成功率,还是推算得到的时延差值,误差变得越来越大,说明 Farrow 插值滤波器越到高频表现越不理想。

3.3 CDL-D 模型时延测试

3GPP TR 38.901 内的 CDL-D 模型是较常用的典型 LOS(line of sight)信道模型^[4],模型包含 1 条 LOS 簇和 13 条 NLOS(non-LOS)簇,时延拓展尺度选择 100 ns,各簇参数如表 5 所示。

表 5 CDL-D 模型 14 条簇参数

Table 5 CDL-D model with 14 clusters parameters

Cluster # 簇序号	Cluster PAS 簇角度扩展分布	延时值/ ns	功率/ dB
1	Specular(LOS path)	0	-0.2
2	Laplacian	0	-13.5
3	Laplacian	3.5	-18.8
4	Laplacian	61.2	-21.0
5	Laplacian	136.3	-22.8
6	Laplacian	140.5	-17.9
7	Laplacian	180.4	-20.1
8	Laplacian	259.6	-21.9
9	Laplacian	177.5	-22.9
10	Laplacian	404.2	-27.8
11	Laplacian	793.7	-23.6
12	Laplacian	942.4	-24.8
13	Laplacian	970.8	-30.0
	Laplacian	1 252.5	-27.7

使用矢量网络分析仪的时域分析功能,测试未使用 Farrow 小数延时滤波器和使用 Farrow 小数延时滤波的多径延时结果,实测结果如图 8、9 所示,由于矢网时域分析精度的原因,标注 8 条功率显著的径。

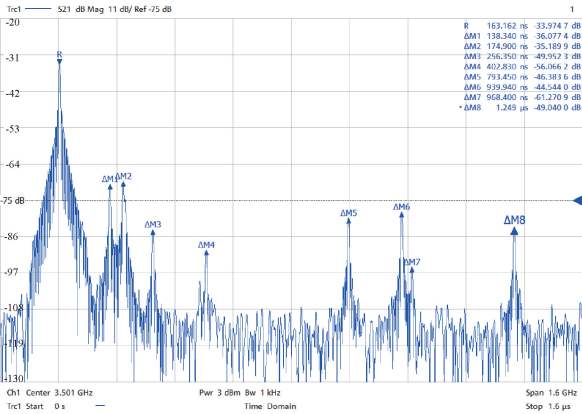


图 8 未使用 Farrow 时的多径时延情况
Fig. 8 Multipath delay when Farrow not used

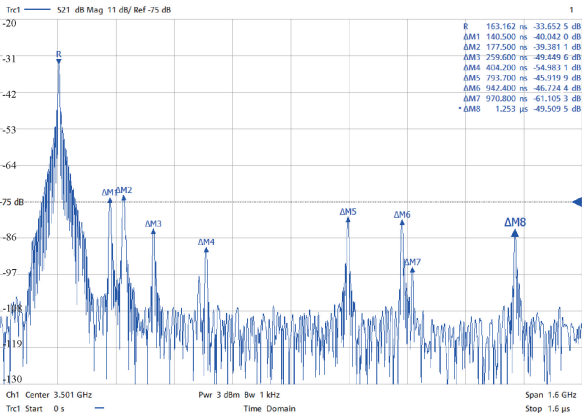


图 9 使用 Farrow 时的多径时延情况
Fig. 9 Multipath delay when using Farrow

检查各簇与 LOS 主径的时延差值,未使用 Farrow 与使用 Farrow 的时延模拟对比如表 6 所示,由于矢网时域分析精度的原因,测量时仅标注了 8 条功率显著的径。

对比数据可得,未使用 Farrow 小数时延,测得的时延存在约 ± 4.1 ns 的误差,对应整数时延的分辨率,使用了 Farrow 小数时延之后,得到的时延与预设基本一致。

4 结 论

本文根据多径信道模拟的算法特点,对 Farrow 结构进行优化,通过对 Farrow 上半部分 FIR 滤波器组的复用,大幅度降低了资源消耗,同时优化了资源效率,使得小数延时算法能够在精度和资源开销间达到平衡。

表 6 CDL-D 模型时延实测结果对比
Table 6 Comparison of CDL-D model time delay measurement results

簇序号	未使用 Farrow 时延值/ns	使用 Farrow 时延值/ns
1	0	0
2	0	0
3	未标注	未标注
4	未标注	未标注
5	138.3	140.5
6	未标注	未标注
7	256.4	259.6
8	174.9	177.5
9	402.8	404.2
10	793.5	793.7
11	939.9	942.4
12	968.4	970.8
13	1 249	1 253

同时实测了算法性能,测量了单径下的频响表现, Farrow 滤波器在低频下表现较好,高频下衰减较大性能有所降低。还验证了多径下的时延准确性,低频下其结果与理论推算基本吻合,满足信道模拟所需的精度、准确度要求。高频时误差较大,为了达到更好的性能或更小的信号失真,可以考虑提升滤波器阶数,或寻找更好的系数计算算法。

参考文献

[1] 吴凯. 无线衰落信道模拟的仿真研究与实现[D]. 成都:电子科技大学,2014.
WU K. Simulation research and implementation of wireless fading channel simulation [D]. Chengdu: University of Electronic Science and Technology of China, 2014.

[2] 彭光耀. MIMO 信道模拟器中射频技术研究[D]. 南京:东南大学,2019.
PENG G Y. Research on RF technology in MIMO channel simulation [D]. Nanjing: Souteeast University, 2019.

[3] 孙昊. 5G 通信测试技术发展分析[J]. 国外电子测量技术,2019(7):17-21.
SUN H. Development analysis of 5G communication testing technology [J]. Foreign Electronic Measurement Technology, 2019(7):17-21.

[4] 3GPP TR 38.901. Study on channel model for frequencies from 0.5 to 100 GHz [R]. 2020.

[5] 张辉,凌元,孙健. 基于 Farrow 结构的分数延时滤波器 FPGA 设计与实现[J]. 信息记录材料,2023, 24(5):108-110,113.

- ZHANG H, LING Y, SUN J. Design and implementation of fractional delay filter FPGA based on Farrow structure [J]. Information Recording Materials, 2023, 24 (5): 108-110,113.
- [6] CANESE L, CARDARILLI G C, DI NUNZIO L, et al. Efficient digital implementation of a multirate-based variable fractional delay filter for wideband beamforming[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(6): 2231-2235.
- [7] 李向闪. Farrow 结构分数延时滤波器设计[J]. 国外电子测量技术, 2019(10): 124-127.
- LI X SH. Design of Farrow structured fractional delay filters [J] Foreign Electronic Measurement Technology, 2019(10): 124-127.
- [8] 王亚涛. 无线通信衰落信道模拟器设计与 FPGA 实现[D]. 成都: 电子科技大学, 2023.
- WANG Y T. Design and FPGA implementation of wireless communication fading channel emulator [D]. Chengdu: University of Electronic Science and Technology of China, 2023.
- [9] PAGANI E, CORSINOVI N, BERTOLUCCI M, et al. Design and FPGA implementation of a high-speed transposed Farrow structure for arbitrary resampling in digital receivers [C]. 2023 18th Conference on Ph. D Research in Microelectronics and Electronics (PRIME). IEEE, 2023: 373-376.
- [10] RAMIREZ-CONEJO G, DIAZ-CARMONA J, RAMÍREZ-AGUNDIS A, et al. FPGA implementation of adjustable wideband fractional delay FIR filters[C]. 2010 International Conference on Reconfigurable Computing and FPGAs. IEEE, 2010: 406-411.
- [11] DHABU S, VINOD A P. Design of reconfigurable digital filter based on continuously variable fractional delay and interpolation technique [C]. 2015 38th International Conference on Telecommunications and Signal Processing (TSP). IEEE, 2015: 1-5.
- [12] 潘柳. 大量程高精度无线信道模拟器路径时延校准技术[J]. 国外电子测量技术, 2020, 39(5): 34-38.
- PAN L. Large range high precision wireless channel emulator path delay calibration technology [J] Foreign Electronic Measurement Technology, 2020, 39 (5): 34-38.
- [13] 叶佳, 李浩, 朱秋明. MIMO 信道建模及硬件模拟器研制[J]. 国外电子测量技术, 2018, 37(7): 82-88.
- YE J, LI H, ZHU Q M. MIMO channel modeling and hardware emulator development [J]. Foreign Electronic Measurement Technology, 2018, 37(7): 82-88.
- [14] 岳宇航, 孟志军, 郭熙业, 等. 卫星信道模拟中高精度延时设计方法研究[J]. 仪器仪表学报, 2015, 36(Z1): 227235.
- YUE Y H, MENG ZH J, GUO X Y, et al. Research on high precision delay design method in satellite channel simulation[J]. Chinese Journal of Scientific Instruments, 2015, 36(Z1): 227235.
- [15] 熊艳伟, 张建华, 张平. 宽带 MIMO 系统信道仿真仪设计[J]. 应用科学学报, 2014, 32(3): 229-236.
- XIONG Y W, ZHANG J H, ZHANG P. Design of channel simulation for broadband MIMO system [J]. Journal of Applied Science, 2014, 32(3): 229-236.
- [16] 刘艳茹, 田书林, 王志刚, 等. 一种基于 Farrow 滤波器的并行采样时间误差校正[J]. 电子测量与仪器学报, 2010, 24(1): 50-54.
- LIU Y R, TIAN SH L, WANG ZH G, et al. A parallel sampling time error correction based on Farrow filter [J]. Journal of Electronic Measurement and Instrumentation, 2010, 24(1): 50-54.
- [17] ZHAO C, GONG X. An efficient structure of variable fractional-delay filter for digital time-delay beamformer[C]. 2014 International Conference on Computer, Communications, and Control Technology (I4CT). IEEE, 2014: 26-29.
- [18] 贾伟强. 信道仿真仪的高精度、低资源实现方法研究[D]. 北京: 北京邮电大学, 2021.
- JIA W Q. Research on high precision and low resource implementation of channel simulation [D]. Beijing: Beijing University of Posts and Telecommunications, 2021.
- [19] 王建锋, 邓军, 杨路路. 全数字接收机中一种简化的插值滤波器的设计与实现[J]. 无线通信技术, 2015, 24(1): 15-18, 23.
- WANG J F, DENG J, YANG L L. Road design and implementation of a simplified interpolation filter in all digital receivers [J] Wireless Communication Technology, 2015, 24(1): 15-18, 23.
- [20] 熊艳伟. 先进信号处理技术的研究及其在信道仿真器中的应用[D]. 北京: 北京邮电大学, 2015.
- XIONG Y W. Research of advanced signal processing technologies and its applications in the channel emulation[D]. Beijing: Beijing University of Posts and Telecommunications, 2015.
- [21] 秦小芳, 龙兵, 曾洁, 等. 实现校正时间误差的 Farrow 结构滤波器设计[J]. 电子测量技术, 2011, 34(8): 27-30.

QIN X F, LONG B, ZENG J, et al. Design of Farrow structure filter for real-time correction of time error[J]. Electronic Measurement Technology, 2011, 34 (8): 27-30.

[22] 李柳. 软件无线电数字下变频研究及 FPGA 实现[D]. 长沙:湖南大学,2012.

LI L. Research and FPGA implementation of digital down conversion in software radio [D]. Changsha: Hunan University, 2012.

作者简介



胡雪南, 博士, 高级工程师, 中国移动通信有限公司研究院项目经理, 主要研究方向为无线通信测试技术与仪器仪表等。

E-mail: huxuenan@chinamobile.com

Hu Xuenan received Ph. D. degree in Engineering, a senior engineer, and a project manager at China Mobile Research Institute Co., Ltd. His main research interests include wireless communication testing technology and instrumentation, etc.



姜雪松, 硕士, 高级工程师, 中国移动通信有限公司研究院技术经理, 主要研究方向为无线移动通信测试技术、仪器仪表关键技术和产业推动、测试工具研发等。

E-mail: jiangxuesong@chinamobile.com

Jiang Xuesong received a M. Sc. degree in Engineering and is a senior engineer. He is the technical manager of the Research Institute of China Mobile Communications Co., Ltd. His main research interests include wireless mobile communication testing technology, key technologies and industry promotion of instruments and meters, and research and development of testing tools, etc.



程远杰, 硕士, 高级工程师, 主要研究方向为无线移动通信测试技术、仪器仪表关键技术和产业推动、测试工具研发等。

E-mail: chengyuanjie@chinamobile.com

Cheng Yuanjie received a M. Sc. degree in Engineering and is a senior engineer. His main research interests include wireless mobile communication testing technology, key technologies and industry promotion of instruments and meters, and research and development of testing tools, etc.



刘景鑫 (通信作者), 2016 年于南京大学获得学士学位, 现为创远信科信道模拟器产品线副总经理, 主要研究方向为仪器仪表、信道模拟器技术架构。

E-mail: jingxin. Liu@transcom.net.cn

Liu Jingxin (Corresponding author) received his B. Sc. degree from Nanjing University in 2016. Now he is the deputy general manager of the channel simulator product line of ChuanYuan XinKe. His main research interests include instrumentation and technical architecture of channel simulation.



李添, 2016 年于南京邮电大学获得学士学位, 现为创远信科信道模拟器产品线 FPGA 工程师, 主要研究方向为仪器仪表、信道模拟器技术架构。

E-mail: tian. Li@transcom.net.cn

Li Tian received his B. Sc. degree from Nanjing University of Posts and Telecommunications in 2016. Now he is a FPGA engineer of the channel simulator product line of ChuanYuan XinKe. His main research interests include instrumentation and technical architecture of channel simulation.