

DOI: 10.13382/j.jemi.2017.01.013

# NoC 中负载均衡的 AVOQ 路由器设计\*

欧阳一鸣<sup>1</sup> 陈静雯<sup>1</sup> 梁华国<sup>2</sup> 黄正峰<sup>2</sup> 杜高明<sup>2</sup> 安鑫<sup>1</sup>

(1. 合肥工业大学 计算机与信息学院 合肥 230009; 2. 合肥工业大学 电子科学与应用物理学院 合肥 230009)

**摘要:**针对片上网络中使用虚拟输出队列(VOQ)机制的路由器在网络拥塞时存在的头阻塞问题,提出负载均衡的 AVOQ 路由器架构。首先,输入缓冲区仍使用 VOQ 机制来处理头阻塞问题。其次,在路由计算模块自适应地选择输出端口,确保数据从较不拥塞的端口输出;在单个虚通道内自适应地读取数据包,确保下游不拥塞的流量能够在网络里流通。实验结果表明,相较于虚通道路由器和 VOQ 路由器,AVOQ 路由器平均延时最多减少 83.2% 和 57.1%,吞吐率最多增加 72.7% 和 33.3%,功耗和面积开销可接受。该方案通过两个层级的自适应均衡全网的流量分布,缓解拥塞,进而降低头阻塞出现的可能性,并在头阻塞出现时消除其影响,提升网络性能。

**关键词:**片上网络;头阻塞;VOQ;自适应;负载均衡

**中图分类号:** TP302; TN915.03 **文献标识码:** A **国家标准学科分类代码:** 510.3040

## Design of load-balancing AVOQ router in network-on-chip

Ouyang Yiming<sup>1</sup> Chen Jingwen<sup>1</sup> Liang Huaguo<sup>2</sup> Huang Zhengfeng<sup>2</sup> Du Gaoming<sup>2</sup> An Xin<sup>1</sup>

(1. School of Computer and Information, Hefei University of Technology, Hefei 230009, China;

2. School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei 230009, China)

**Abstract:** When congestion occurs in the network, VOQ routers still suffer a certain degree of head-of-line blocking (HoL) problem in the network-on-chip (NoC). Aiming at this issue, we propose the load-balancing AVOQ router architecture. Firstly, the VOQ mechanism is kept to deal with the HoL problem. Secondly, a flexible output port can be picked up in the routing computing module, making sure that the data is ported out to the less congested road and a single virtual channel (VC) can read the packet adaptively, so that the less congested flow in the downstream can be transmitted. The experimental results show that, compared to the VC router and the VOQ router, AVOQ router reduces the average latency by 83.2% and 57.1% and improves the throughput by 72.7% and 33.3% at most, while the area overhead and power consumption are affordable. By the use of above adaptive mechanism, the network load is balanced and the congestion is relieved, and the appearing of the HoL is decreased. Moreover, the impact of HoL is eliminated as long as it appears, and the network performance is improved greatly.

**Keywords:** network-on-chip; head-of-line blocking; virtual output queue; adaptiveness; load balancing

## 1 引言

随着片上系统(system on chip, SoC)<sup>[1-3]</sup>对计算能力的需求日益增长,单个芯片上嵌入了越来越多的计算模块,各模块之间的通信需要高带宽、低延迟的互连网络来支持,片上网络(network on chip, NoC)<sup>[4-5]</sup>应运而生。受

片上资源的限制, NoC 的设计面临许多挑战<sup>[6]</sup>, 拥塞管理问题即是其中之一。然而, 拥塞本身并不是难题, 影响恶劣的是由拥塞引起的队列头阻塞(head-of-line blocking, HoL)问题, 只有完全消除头阻塞的影响, 网络的性能才有保障<sup>[7]</sup>。

处理 NoC 中的头阻塞问题, 需要有效管理路由器输入缓冲区(buffer)的组织形式。Buffer pool<sup>[8]</sup>和 ViChaR

(dynamic virtual channel regulator)<sup>[9]</sup> 架构统一管理 buffer, 虚通道的数目和深度依流量状况动态分配, 避免了头阻塞的出现, 集中式 buffer 仲裁机制复杂, 硬件开销大; 虚拟输出队列 (virtual output queue, VOQ)<sup>[10]</sup> 机制将去往不同方向的数据包分开放置, 可以处理头阻塞问题, 通过排队机制, 降低了仲裁机制的复杂性, 硬件开销小; RECN (regional explicit congestion notification)<sup>[11]</sup> 机制, 将拥塞流量和非拥塞流量分离后存储, 阻止了头阻塞的发生, 该机制需要大量队列, 硬件开销太大; 基于目的地址的 buffer 管理机制 (destination-based buffer management, DBBM)<sup>[12]</sup>, 将目的地址不同的数据分开存放, 缓解了头阻塞, 基本达到与 VOQ 机制相同的吞吐率, 相较于 RECN 机制使用更少的逻辑部件, 然而数据存放于哪个队列需要依据目的地址实时选择, 路由器端口基数较少时, 其硬件开销大幅大于 VOQ 机制。

通过上述分析可以发现, VOQ 机制相较于其他方案有着良好的性能和低廉的开销, 有理由成为处理头阻塞问题的首选技术。事实上, 众多文献 [13-15] 选用 VOQ 机制来处理 NoC 中的头阻塞问题。

当网络不拥塞时, 使用 VOQ 机制管理 buffer, 网络中即不存在头阻塞问题, 然而当网络拥塞时, 即使使用了 VOQ 机制, NoC 中仍然存在一定程度的头阻塞问题。处理使用 VOQ 机制的 NoC 中存在的头阻塞问题是本文首次提出的议题, 目前已发表的文献尚无相关措施。鉴于此, 本文提出了负载均衡的 AVOQ (adaptive VOQ) 路由器架构, 通过设计双层的自适应机制, 缓解网络的拥塞状态, 降低头阻塞发生的可能性, 并在头阻塞出现时消除其影响。

## 2 头阻塞分析

头阻塞如图 1 所示, 是指排在队列头部的数据包, 其请求的输出端口是热点, 该数据包的微片被阻塞, 排在其后的数据包都被动阻塞。以图 1 的 VC0 为例, 若数据包

2 与数据包 1 的输出端口不同, 而数据包 2 的输出端口空闲, 称这种情况下的头阻塞为第一类头阻塞; 若数据包 2 与数据包 1 的输出端口相同, 但数据包 2 的下游路径不拥塞, 称这种情况下的头阻塞为第二类头阻塞。

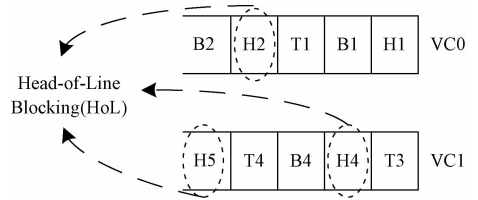


图 1 头阻塞

Fig. 1 Head-of-line blocking

VOQ 路由器微架构如图 2 所示, 使用前向路由策略 (look ahead routing computing, LARC), 提前一跳计算路由方向, 一旦计算出下一跳的输出方向, 到达下一跳要存放的 VC 编号即确定, 省去了虚通道分配 (VC allocator, VA) 模块, LARC 模块与交叉开关仲裁 (switch arbiter, SA) 模块互不依赖, 同时进行, 独立工作。

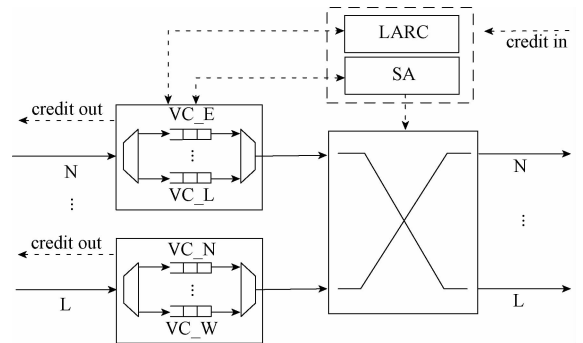


图 2 VOQ 路由器微架构

Fig. 2 Architecture of VOQ router

VOQ 路由器输入端口按照输出方向划分 buffer 空间, 在使用非原子结构 FIFO 时, 完全阻止了第一类头阻塞的发生, 极大地减轻了头阻塞的影响, 然而其仍然存在第二类头阻塞, 图 3 所示为一个实例。

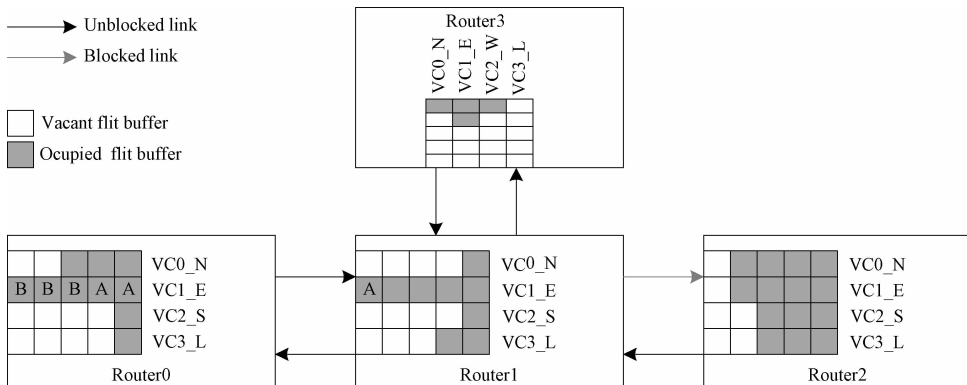


图 3 VOQ 路由器的头阻塞

Fig. 3 Head-of-line blocking of VOQ router

在 Router0 (R0), 数据包 A 和 B 都存放在 VC1\_E 中, 由 LARC 的结果可知数据包下一跳的输出端口, 假设 A 是 E 端口, B 是 N 端口, 则 A 去往 R2, B 去往 R3。R2 的 buffer 占用率高表示 R1 到 R2 的链路流量大, 这影响了 R1 中 VC1\_E 的排空, 进而导致 R0 中的数据包 A 被阻塞在队头, 数据包 B 被动阻塞。数据包 B 将要存放在 R1 的 VC0\_N 中, 路由经 R1 到 R3 之间的链路去往 R3, 其中 VC0\_N 有足够的空间, R1 到 R3 之间的链路流量不大, 表示 B 下游路径不拥塞, 网络里出现了第二类头阻塞。这就是 VOQ 路由器的头阻塞问题。

### 3 AVOQ 路由器整体设计

#### 3.1 头微片顺带传播机制

若 NoC 的链路带宽较大, 在头微片传输时将有部分位线未被使用。本文的设计方案将充分挖掘并利用头微片中的空闲位, 将端口选择信息及拥塞状态信息注释在

头微片中, 跟随头微片在网络里顺带传播, 各路由器节点通过搜集头微片的注释信息 (annotated information, AI) 拓展视野。

#### 3.2 AVOQ 路由器微架构

AVOQ 路由器微架构如图 4 所示, 颜色加深模块为在 VOQ 路由器基础上增加的模块, 其中深灰色模块为逻辑部件, 浅灰色模块为存储部件。

HM (head modification) 是头微片修改模块, 当头微片到来时, 卸载 AI 的信息, 传送到相应存储部件, 并将本地的信息装载到 AI 中。VR (value ruling) 是值裁决模块, 用于比较向量的原始值和阈值。PS (port select) 是端口选择模块, 基于拥塞程度选出合适的端口, 在 LARC 阶段自适应路由决策时使用, 称此自适应为 AVOQ 架构 RC 层级自适应。SA1 用于消除网络中第二类头阻塞的影响, 在单 VC 内自适应地读取数据包, 称此自适应为 AVOQ 架构 SA 层级自适应。

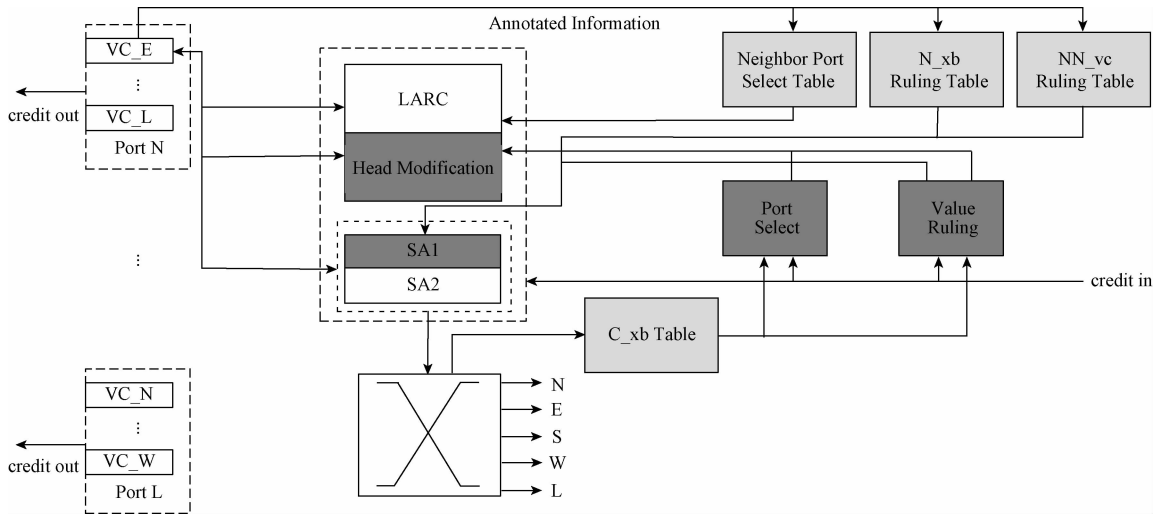


图 4 AVOQ 路由器微架构  
Fig. 4 Architecture of AVOQ router

CT (C\_xb table) 存储本地交叉开关的请求信息, NPST (neighbor port select table) 存储邻居路由器端口选择信息, NRT (N\_xb ruling table)、NNRT (NN\_vc ruling table) 存储下游的拥塞状态信息。

#### 3.3 AVOQ 路由器关键路径

AVOQ 路由器关键路径如图 5 所示, 数据包到来时, 由上游 LARC 结果写入对应 VC 中, 完成 BW (buffer write)。LARC 与 HM 以及两阶段的 SA 同时进行: LARC 阶段自适应地选择数据包到达下一跳路由器后的输出端口; HM 阶段执行卸载和装载 AI 的工作; SA1 阶段在单 VC 里自适应地读取数据包; SA2 阶段完成传统 SA 的配置交叉开关工作。交叉开关配置成功后即进行交叉开关传输

(switch transmission, ST), 最后经由链路传输 (link transmission, LT), 到达下游路由器, 完成一次存储转发过程。

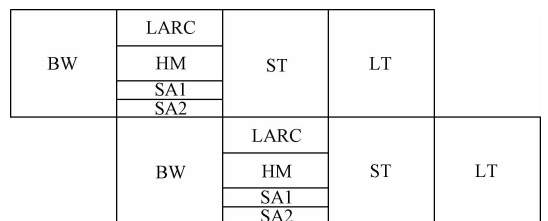


图 5 AVOQ 路由器关键路径  
Fig. 5 Critical path of AVOQ router

## 4 AVOQ 路由器详细设计

### 4.1 RC 层级自适应

#### 4.1.1 端口选择

端口选择逻辑模块如图 6 所示,选用对该输出端口的交叉开关请求数( $C_{xb}, 2$  bit 位)以及与该输出端口相连的输入端口的空闲 VC 数( $N_{vc}, 2$  bit 位),两个向量表征输出端口的拥塞状况,存储在拥塞值寄存器(congestion value registers, CVR)中。

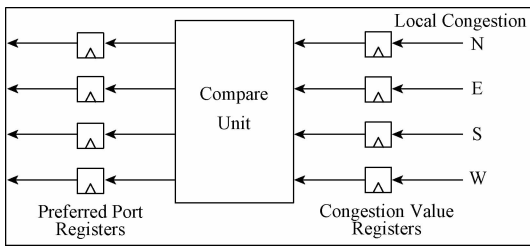


图 6 Port select 逻辑模块

Fig. 6 Port select logic module

Compare Unit 用于比较两向量的原始值与对应阈值,衡量各向量是否拥塞。有一个向量拥塞,整个端口即为拥塞,两候选端口相比,首选不拥塞的端口,若经上述比较后选不出合适的端口,则具体比较两个向量的原始值。

通过比较,从各象限两个候选端口(使用最短路径路由)中选出一个较不拥塞的端口,0 代表 X 轴方向的端口,1 代表 Y 轴方向的端口,1 bit 位的信息存放在对应各象限的合适端口寄存器(preferred port registers, PPR)中。

当头微片到来时,在 HM 阶段,将 4 bit 位的端口选择信息装载在 AI 中,跟随头微片传播一跳,到达邻居路由器,卸下并存储在 NPST 中。

#### 4.1.2 LARC 具体操作

在 LARC 阶段,首先基于目的地址,计算到达下一跳路由器后的输出象限,在 NPST 中,搜索到下一跳路由器对应象限的表项,得到该象限较不拥塞的端口信息,将该端口作为到达下一跳路由器后的输出端口,实现数据包的自适应路由,从而均衡全网的流量分布,缓解网络的拥塞状态,降低头阻塞发生的可能性。

至此,完成了 AVOQ 架构 RC 层级自适应。

### 4.2 SA 层级自适应

#### 4.2.1 双向 FIFO

本文设计了混合结构的双向 FIFO,其架构如图 7 所示。整个 FIFO 是非原子结构,允许存放两个数据包,头尾的各一半 FIFO 是原子结构,只允许存放一个数据包,队列头和尾各有一套读写指针,同一时刻,只有同一套读

写指针有效。

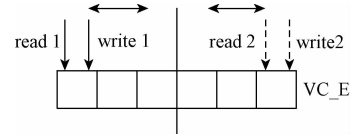


图 7 双向 FIFO

Fig. 7 Bi-directional FIFO

数据包的读写操作如下:第一个数据包的头微片到来时,使能队头的写指针有效,进行 BW,然后进入第二阶段流水。体、尾微片在头微片写入之后顺序进行 BW,不需要进行 LARC,下一跳直接存放进由头微片保持的 VC 中,没有 AI 部分因而不需要进行 HM,路由器使用虫孔交换技术,其流控单位是微片,体、尾微片仍需重新配置交叉开关,在头微片读走之后顺序进行 SA。在第一个数据包没排空之前,有第二个数据包的头微片到来时,使能队尾的写指针有效,进行 BW,然后进入第二阶段流水,体、尾微片的流水顺序同第一个数据包。当第一个数据包下游不拥塞时,在该 VC 得到 SA 授权之后,使能第一个数据包的读指针有效,第二个数据包继续等待 SA 授权;当第一个数据包下游拥塞时,其被阻塞在队头,若第二个数据包下游不拥塞,在该 VC 得到 SA 授权之后,使能第二个数据包的读指针有效,若第二个数据包下游拥塞,仍使能第一个数据包的读指针有效。

#### 4.2.2 SA1 具体操作

在 SA1 阶段衡量单 VC 里两个数据包的下游拥塞程度,确保让下游不拥塞的数据包能够在网络里流通,在头阻塞发生时消除其影响。本文选取了 3 个向量来表征数据包下游的流量状况,如表 1 所示。为精简 AI 的负载,裁决各向量值及其阈值,只将拥塞状态告知邻居,用 RV 表示裁决后的向量。

表 1 向量表

Table 1 Vector table

向量	定义	阈值
V1	数据包下一跳存放的 VC 的空闲 buffer 数; $N_{bf}$	2
V2	对数据包下一跳的输出端口的交叉开关请求数; $N_{xb}$	3
V3	数据包下两跳到达的路由器输入端口空闲 VC 数; $NN_{vc}$	1

首先,获取 RV1。路由器由 credit 信号得到下一跳路由器各 VC 的空闲 buffer 数,与 V1 阈值比较,得到  $N_{bf}$  裁决值,路由器知晓了下一跳路由器各 VC 的拥塞状况,RV1 对应其中一个 VC,直接取用上个时钟周期更新的 RV1 值,确保 SA1 在一个时钟周期内完成,RV2 和

RV3 的取值操作同 RV1。

其次,获取 RV2。在路由器内部设置计数器,统计交叉开关中对各输出端口的请求数,与 V2 阈值比较,得到 C\_xb 裁决值,共 5 bit 位,分别对应 5 个输出端口。当头微片到来时,在 HM 阶段,将 5 bit 位的 C\_xb 裁决值信息装载到 AI 中,跟随头微片传播一跳,到达邻居路由器,卸下并存储在 NRT 中,路由器即知晓了下一跳路由器交叉开关请求的拥塞状况,RV2 对应其中一个输出端口。

最后,获取 RV3。路由器由 credit 信号得到下一跳路由器的空闲 VC 数,与 V3 阈值比较,得到 N\_vc 裁决值,共 4 bit 位,分别对应周边 4 个方向的下一跳路由器。当头微片到来时,在 HM 阶段,将 4 bit 位的信息装载到 AI 中,跟随头微片传播一跳,到达邻居路由器,卸下并存储在 NNRT 中,路由器即知晓了下一跳路由器输入端口的拥塞情况,RV3 对应其中一个输入端口。

上述 3 个向量,有一个拥塞即表示该数据包的下游拥塞,综合考量各向量,得到单 VC 中各数据包的下游拥塞状况。在第一个数据包下游拥塞而第二个数据包下游不拥塞时,确保第二个数据包优先进入网络流通,实现单 VC 中自适应地读取数据包,在第二类头阻塞发生时消除其影响。至此,完成了 AVOQ 架构 SA 层级自适应。

### 5 实验及结果分析

本文的对比对象是采用非原子结构 FIFO 的虚通道路由器和 VOQ 路由器,使用 XY 路由算法。搭建 4 × 4 的 2D mesh NoC,链路带宽选用常规的 32 bit 位,AVOQ 路由器的 VC 数目设置为 4,物理存储地址信息由后续数据微片携带,此时头微片中还剩余 20 bit 位未使用,AVOQ 路由器架构共需要装载 13 bit 位的端口选择信息和拥塞状态信息到 AI 中,头微片的剩余空间足够使用。虚通道路由器和 AVOQ 路由器的每个输入端口有 4 个 VC,VC 深度为 6 个 flit,VOQ 路由器每个输入端口有 8 个 VC,VC 深度为 3 个 flit,3 种方案的 buffer 空间相等,其中 AVOQ 路由器的 1 个 VC 对应 1 个输出方向,VOQ 路由器的 2 个 VC 对应 1 个输出方向。实验包括网络性能、面积开销和功耗 3 个方面,详细结果及分析如下。

#### 5.1 网络性能

使用平均延时和吞吐率来表征网络的性能,实验平台采用改进的 Booksim 仿真器。应用文献[16]的结论,流量模式首选转置模式,并观察均匀模式下的性能。采样周期为 1 000,具体实验结果如图 8 和 9 所示。

图 8(a)为转置模式不同数据包注入率下,3 种方案的平均延时。在相同注入率下,本文方案的平均延时最小;图 8(b)为均匀模式不同数据包注入率下,3 种方案的平均延时,整体趋势与转置模式相同,本文方案的平均

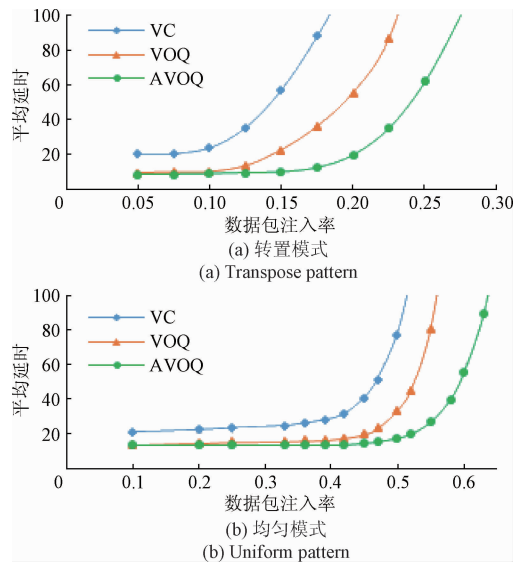


图 8 不同数据包注入率下平均延时比较  
Fig. 8 The comparison of average delay under different packet injection rate

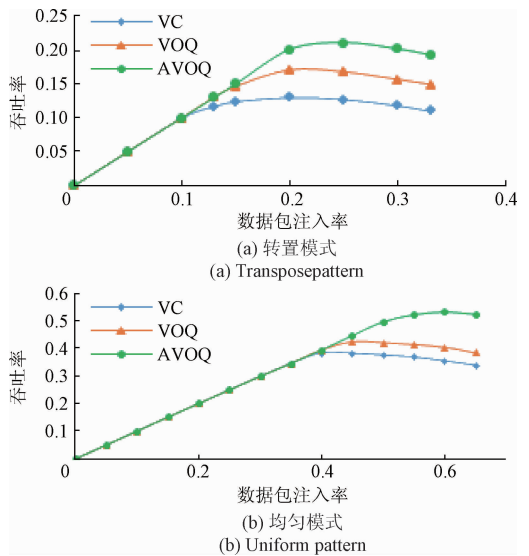


图 9 不同数据包注入率下吞吐率比较  
Fig. 9 The comparison of throughput rate under different packet injection rate

延时最小。

方案 1 和方案 2 使用确定性的 XY 路由算法,无法感知拥塞,且会加剧 X 维的拥塞;使用非原子结构的 FIFO,网络一旦拥塞则必然出现头阻塞问题,进而导致平均延时上升。而本文方案在 RC 层级可以自适应地选择下一跳的输出端口,在 SA 层级可以自适应地读取单 VC 里的数据包,全网负载均衡,降低了网络拥塞的可能,并在拥塞发生而出现头阻塞时,能及时消除头阻塞的影响,所以平均延时较低。

两种流量模式不同数据包注入率下,3种方案的吞吐率比较如图9所示。由图9可见,随着数据包注入率的增加,本文方案的吞吐率大于方案1和方案2。

方案1和方案2使用XY路由算法,X维的流量明显多于Y维,随着数据包注入率的增大,会造成X维的拥塞,这将引起头阻塞问题,而VC路由器完全不能处理头阻塞问题,VOQ路由器不能处理第二类头阻塞问题,因而极大地影响了吞吐率的提升,本文方案在两个层级有自适应能力,可以感知拥塞,缓解拥塞,消除拥塞带来的头阻塞影响,提高整个网络的吞吐率。

## 5.2 面积开销和功耗

本文使用Xilinx ISE 14.6实验工具,在Xilinx Virtex-5 XC5VFX70T环境下,对3种方案的路由器进行面积开销对比分析,通过Verilog-HDL实现电路设计,ModelSim 10.2c实现功能和结构仿真,具体实验结果如表2所示。

表2 路由器面积开销  
Table 2 Router area overhead

仲裁逻辑	VC	VOQ	AVOQ
slice registers	1 257	1 140	1 305
slice LUTs	814	652	827
fully used LUT-FF pairs	509	556	563
bonded IOBs	72	68	70
BUFG/BUFGCTRLS	1	1	1

由表2可知,本文方案的路由器面积开销略大于方案1和方案2。本文方案的buffer粒度同VOQ路由器,VOQ路由器的VC数目是本文方案的2倍,随着VC数目增加,存取控制变得复杂,仲裁逻辑的面积开销增大。此外,本文方案中存储表规模较小,其中NNRT和NRT存储的拥塞信息都是裁决后的状态值。因而,本文方案虽引入了双层的自适应机制,带来了自适应模块的开销,但相较于VOQ路由器,本文方案的Registers、LUTs、Flips-Flops和IOBs分别只增加了12.6%、21.2%、1.2%和2.9%,在可容忍的面积开销下,赋予了VOQ路由器两个层级自适应能力,加固了VOQ机制处理头阻塞问题的能力。

由表3可知,本文方案的路由器功耗略大于方案1和方案2,其中相较于VC路由器和VOQ路由器,功耗分别增加了14.7%和24.6%。为实现两个层级的自适应,本文方案在选择合适输出端口以及衡量数据包下游拥塞程度时都需要进行一系列的比较工作,动态功耗较大,导致整体功耗增加。考虑到本文方案可以高效处理NoC中的头阻塞问题,以及大幅提升网络的整体性能,在增加

了自适应功能模块后,本文方案的路由器整体功耗仍在可以接受的范围内。

表3 路由器功耗

Table 3 The power consumption of the router

路由器	功耗/mW
VC	22.5
VOQ	20.7
AVOQ	25.8

## 6 总 结

本文提出了AVOQ路由器架构,分两个层级赋予使用VOQ机制的路由器自适应能力。AVOQ路由器完全阻止了第一类头阻塞的出现,两阶段的自适应可以感知拥塞并缓解拥塞,降低了第二类头阻塞发生的可能性,此外,在第二类头阻塞出现时,能够消除其影响。实验结果表明,在可接受的面积和功耗开销下,本文方案均衡了网络负载,大幅提升了网络性能。

## 参考文献

- [1] 谈恩民,朱峰,尚玉玲.基于SPEA-II算法的SoC测试多目标优化研究[J].国外电子测量技术,2015,34(8):29-33.  
TAN EN M, ZHU F, SHANG Y L. Optimization of SoC test multiple objects based on SPEA-II algorithm [J]. Foreign Electronic Measurement Technology, 2015, 34(8): 29-33.
- [2] 刘泽元,王友仁,陈则王,等.基于改进EKF的飞机蓄电池在线SoC估计方法[J].电子测量技术,2015,38(7):119-123.  
LIU Z Y, WANG Y R, CHEN Z W, et al. Method of aircraft battery online SoC estimation based on improved EKF algorithm [J]. Electronic Measurement Technology, 2015, 38(7): 119-123.
- [3] 吴志祥,高波,蒋文贤,等.基于SoC的DW450断路器用欠压脱扣器研究与设计[J].中国测试,2014,40(6):64-67.  
WU ZH X, GAO B, JIANG W X, et al. Research and design of undervoltage release used in DW450 circuit breaker based on SoC [J]. China Measurement & Testing, 2014, 40(6): 64-67.
- [4] 许川佩,刘洋,莫玮.带分复用的三维片上网络测试规划研究[J].仪器仪表学报,2015,36(9):2120-2128.  
XU CH P, LIU Y, MO W. Research on test scheduling of three dimensional network-on-chip with bandwidth

- division multiplexing [J]. Chinese Journal of Scientific Instrument, 2015, 36(9): 2120-2128.
- [5] 欧阳一鸣, 王梢, 梁华国, 等. 基于故障粒度划分的 NoC 链路自适应容错方法[J]. 电子测量与仪器学报, 2015, 29(8): 1102-1113.
- OUYANG Y M, WANG Q, LIANG H G, et al. Link adaptive fault-tolerant method based on fault granularity partition in NoC[J]. Journal of Electronic Measurement and Instrumentation, 2015, 29(8): 1102-1113.
- [6] GAUR M S, LAXMI V, ZWOLINSKI M, et al. Network-on-chip: Current issues and challenges [C]. 19th International Symposium on VLSI Design and Test (VDATE), IEEE, 2015: 1-3.
- [7] ESCAMILLA J V, FLICH J, GARCIA P J. ICARO: Congestion isolation in networks-on-chip[C]. 8th IEEE/ACM International Symposium on Networks-on-Chip (NoC), 2014:159-166.
- [8] KUMAR A, KUNDU P, SINGH A P, et al. A 4.6 Tbits/s 3.6 GHz single-cycle NoC router with a novel switch allocator in 65nm CMOS[C]. 25th International Conference on Computer Design, IEEE, 2007: 63-70.
- [9] NICOPOULOS C A, PARK D, KIM J, et al. ViChar: A dynamic virtual channel regulator for network-on-chip routers [C]. 39th Annual IEEE/ACM International Symposium on Microarchitecture (MICRO'06), IEEE, 2006: 333-346.
- [10] NGUYEN S T, OYANAGI S. A low cost single-cycle router based on virtual output queuing for on-chip networks [C]. 13th Euromicro Conference on Digital System Design: Architectures, Methods and Tools (DSD), IEEE, 2010: 60-67.
- [11] GARCIA P J, QUILES F J, FLICH J, et al. Efficient, scalable congestion management for interconnection networks[J]. IEEE Micro, 2006, 26(5): 52-66.
- [12] NACHIONDO T, FLICH J, DUATO J. Buffer management strategies to reduce holblocking[J]. IEEE Transactions on Parallel and Distributed Systems, 2010, 21(6): 739-753.
- [13] BEN MBAREK I, MAZOUZI M, HASNAOUI S, et al. Hybrid iSLIP scheduling algorithm for Network on Chip[C]. 2nd World Symposium on Web Applications and Networking (WSWAN), IEEE, 2015: 1-7.
- [14] FU W, YUAN M, CHEN T, et al. Design and evaluation of virtual channel-based optical-electrical interface for optical network-on-chip [C]. International Conference on Computer and Information Technology (CIT), IEEE, 2014: 365-372.
- [15] 欧阳一鸣, 何敏, 梁华国, 等. 3DNoC 中故障感知的 RVOQ 容错架构设计[J]. 计算机辅助设计与图形学学报, 2015 (1): 192-200.
- OUYANG Y M, HE M, LIANG H G, et al. A fault-tolerant architecture design of fault-aware rvoq in three-dimensional network-on-chip [J]. Journal of Computer-Aided Design & Computer Graphic, 2015 (1): 192-200.
- [16] TANG M, LIN X, PALESI M. Routing pressure: A channel-related and traffic-aware metric of routing algorithm [J]. IEEE Transactions on Parallel and Distributed Systems, 2015, 26(3): 891-901.

### 作者简介



欧阳一鸣, 博士, 合肥工业大学计算机与信息学院教授, 主要研究方向为片上网络(NoC)与片上系统(SoC)。

E-mail: oyymbox@163.com

**Ouyang Yiming** is professor in the School of Computer and Information, Hefei University of Technology. His main research interests include network-on-chip and system-on-chip.



陈静雯, 硕士研究生, 主要研究方向为片上网络(NoC)与片上系统(SoC)。

E-mail: cjw123box@hotmail.com

**Chen Jingwen** is M. Sc. candidate in the School of Computer and Information, Hefei University of Technology. Her main research interest includes network-on-chip and system-on-chip.



梁华国, 博士, 合肥工业大学电子科学与应用物理学院教授, 主要研究方向为内建自测试、数字系统设计自动化、ATPG 算法与分布式控制。

E-mail: huagulg@hfut.edu.cn

**Liang Huaguo** is professor in the School of Electronic Science and Applied Physics, Hefei University of Technology. His main research interests include built-in-self-test, design automation of digital systems, ATPG algorithm and distributed control.