

DOI: 10.13382/j.jemi.B2205976

QCA 技术在递归盒式滤波器中的应用*

周先春¹ 王博文² 崔程程²

(1. 南京信息工程大学人工智能学院(未来技术学院) 南京 210044;

2. 南京信息工程大学电子与信息工程学院 南京 210044)

摘要:量子点元胞自动机(quantum dot-cellular automata, QCA)因其延迟时间短、功耗低以及占用面积小等优点被当作代替CMOS的新型技术之一。针对CMOS器件尺寸日益减小导致的高功耗和电容寄生及串扰问题,本文首次利用QCA技术构建了一种递归盒式滤波器。其中,提出了一种全新的QCA全加器,较已提出的QCA全加器减少了55%的电路面积;少使用了56.7%的元胞数;量子成本也降低了10%以上。并以此为基础设计了一种高效的行波进位加法器(ripple carry adder, RCA)以及一种高效的进位选择加法器(carry select adder, CSA)来构成盒式滤波器的加法单元。以此构建的盒式滤波器较一般QCA盒式滤波器节省了32.6%的硬件资源;减少20%的电路运行时间;减少了48.7%的功耗。并使用QCA Designer仿真,结果表明,本设计完全可以代替实现传统的盒式滤波器功能,并在效率、功耗、电路面积、资源占用方面均有显著降低。

关键词:量子点元胞自动机;递归盒式滤波器;行波进位加法器;进位选择加法器

中图分类号: TN389; TP211.5 **文献标识码:** A **国家标准学科分类代码:** 510.1

Application of QCA technology in recursive box filter

Zhou Xianchun¹ Wang Bowen² Cui Chengcheng²

(1. School of Artificial Intelligence (School of Future Technology), Nanjing University of Information Science and Technology, Nanjing 210044, China; 2. School of Electronic and Information Engineering, Nanjing University of Information Science and Technology, Nanjing 210044, China)

Abstract: QCA is regarded as one of the new technologies to replace CMOS due to its advantages of short delay time, low power consumption, and small footprint. In response to the high power consumption, capacitance parasitic, and crosstalk issues caused by the decreasing size of CMOS devices, this paper constructs a recursive box filter using QCA technology for the first time. Among them, a new QCA full adder has been proposed, which reduces the circuit area by 55% compared to the proposed QCA full adder. 56.7% fewer cells were used. Quantum costs have also been reduced by more than 10%. Based on this, an efficient RCA and an efficient CSA were designed to form the addition unit of the box filter. The box filter constructed based on this saves 32.6% of hardware resources compared to general QCA box filters. Reduce circuit running time by 20%. Reduced power consumption by 48.7%. And simulated using QCA Designer, the results show that this design can completely replace the traditional box filter function, and significantly reduce efficiency, power consumption, circuit area, and resource occupation.

Keywords: QCA; recursive box filter-based; RCA; CSA

收稿日期: 2022-11-07 Received Date: 2022-11-07

* 基金项目: 国家自然科学基金(11202106, 61302188)、国家级大学生创新创业训练计划项目(202310300326)、江苏省“信息与通信工程”优势学科建设项目、江苏省高校品牌专业建设工程项目资助

0 引言

由于 CMOS 技术以及现代电子工艺的快速发展^[1-2], CMOS 器件的尺寸逐渐减少^[3]。但传统的 CMOS 技术仍面临载流子效应、高功耗以及串扰等难题^[4]。近年来, QCA 技术因低功耗、高效且占用面积小等优点受到广泛关注,并作为代替 CMOS 技术的新技术之一。1993 年, Tougaw 等^[5]提出了 QCA 概念,实验分析了一个包含两个电子的量子点单元,并将其作为量子元胞自动机实现的基本单位。QCA 技术克服了 CMOS 技术因为大量晶体管和电线连接而产生高集成度的局限性,并提出了一种新的计算模型。在 QCA 技术中二进制信息可以通过库伦相互作用力在相邻的 QCA 元胞之间传输,是一种无需晶体管即可搭建电路的新技术。

加法器是 CMOS 电路中构造所有数字电路的基本结构。在 QCA 技术中加法器电路也同样重要,利用 QCA 元胞搭建的加法器构造了很多例如多路复用器,乘法器等重要的电路模块,成为 QCA 电路研究的重要方向。目前有许多利用 QCA 技术构造加法器的方法,Cho 等^[6]首次利用 QCA 技术设计和模拟了 3 种加法器,2018 年, Sasamal 等^[7]设计了一个三输入的 1 位全加器,设计采用了三输入异或门作为基础结构,使用了大约 40 个 QCA 元胞,面积为 0.03,延时为 0.5 个时钟周期,但电路的稳定性较差。2015 年, Abedi 等^[8]设计的加法器采用共面交叉结构增加了电路的稳定性,但共面结构会导致使用的元胞数增多,电路共使用 59 个 QCA 元胞并有 1 个时钟相位延迟,由此可知,使用越多的 QCA 元胞会导致设计面积的增加。因此,在 2019 年 Zahmatkesh 等^[9]设计了一个需要 3 个多数和两个逆变门的全加器,仅由 37 个 QCA 元胞组成,但需要两个以上的时钟相位延迟, Zoka 等^[10]设计了一个 26 个 QCA 元胞和 2 个时钟相位延迟全加器。杨晓阔等^[11]和黄宏图等^[12]也对 QCA 逻辑电路的转换特性研究和逻辑性能研究做出了科学有效地要求和理论指导。

加法电路的应用十分广泛,一些滤波器的计算单元也通常需要使用加法器来构建。盒式滤波器作为一种非常有用的线性滤波,被用于很多需要求得某个领域像素之和的场景中,可以将复杂度为 $O(MN)$ 的求和复杂度降低到 $O(1)$ 或者近似与 $O(1)$ 的复杂度,使得运算与领域尺度无关,极大地提高了运算速率。本文使用 QCA 加法器电路来搭建一种改进的盒式递归滤波器(modified recursive boxfilter, MRBF)与传统的基于 CMOS 滤波技术相比,使用了基于 QCA 的进位选择加法器(carry select adder, CSA)降低盒式滤波器计算的复杂度以及功率。提出的 MRBF 可以根据滤波参数以及要求的精度重新配置

参数,并将 MRBF 与传统的 RBF 及盒式滤波器进行了比较,结果表明本文设计的 MRBF 在硬件参数、功率以及时间复杂度均优于其他模型。

1 基于 QCA 的改进盒式递归滤波器

本文提出的基于 QCA 的改进的盒式递归滤波器,与基于 CMOS 技术搭建的盒式滤波器相比,其优点在于使用了基于 QCA 的进位选择加法器(carry select adder, CSA)来降低计算复杂度、功耗和电路面积。

本文首先通过双边滤波来介绍盒式滤波器在时间复杂度上的优越性。假定原图像为 $f(i) = f(x, y)$, 其中 $i = (x, y)$ 表示像素的空间坐标。并认为原图有 $m \times n$ pixel, 其中 m 和 n 分别表示行和列的长度和宽度。如式(1)所示:

$$\bar{f}(x, y) = \sum_{x_0=-\omega}^{\omega} \sum_{y_0=-\omega}^{\omega} f(x - x_0, y - y_0) \quad (1)$$

式中: $f(x, y)$ 和 $\bar{f}(x, y)$ 代表盒式滤波器的输入和输出。用 $\omega = 2$ 的常规盒式滤波器举例,在图像处理过程中需要存储 $(2\omega + 1)$ 个图像。此外,还需要 $(2\omega + 1)^2 - 1$ 个加法器来处理每个大小为 $(2\omega + 1)$ 的像素块。具体来说,常规盒式滤波器的资源消耗随着 ω 的增加而快速增加,限制了设计的可扩展性。对此本文构想如果通过二维滤波实现的效果可以通过一维滤波的方式进行计算,资源的消耗基本上不会随着 ω 而改变,改进如式(2)和(3)所示:

$$\bar{f}_{temp}(x, y) = \sum_{y_0=-\omega}^{\omega} f(x, y - y_0) \quad (2)$$

$$\bar{f}(x, y) = \sum_{x_0=-\omega}^{\omega} \bar{f}_{temp}(x - x_0, y) \quad (3)$$

可以看出沿着图像行和列的盒式滤波是由式(2)和(3)分别进行的。两个方程从计算方法来看没有区别,是分别对图像的横纵坐标进行推导,方程(2)可以通过沿着 $f(x, y)$ 的每一个 x 行做一维盒式滤波计算得到预处理后的图像 $\bar{f}_{temp}(x, y)$, 在沿着 $f(x, y)$ 的每个 y 列进行一维盒式滤波计算之后得到最终处理结果。可以得出,式(2)和式(3)的每像素消耗 $O(\omega)$, 应该与式(1)的 $O(\omega^2)$ 的消耗相同。此外,两式中的一维盒滤波可以通过递归计算得到,递归计算过程如式(4)所示:

$$\bar{f}(x, y + 1) = \bar{f}(x, y) + \bar{f}_{temp}(x, y + \omega + 1) - f_{temp}(x, y - \omega) \quad (4)$$

可知, $\bar{f}(x, y + 1)$ 可以通过对 $\bar{f}(x, y)$ 进行简单的加减法得到,递归盒式滤波器对于 ω 的复杂度显然为 $O(1)$ 。尽管递归盒式滤波器只需要一个加减运算来完成滤波,但由于加法过程是串行进行的,高位运算需要等

待低位进位。如果输入图像过大,则可能需要更多的时间消耗。因此,通过用 CSA 替换加法块来进一步增强实现递归盒式滤波器,与现有的串行加法过程相比,只需要非常少的时间就可以完成加法运算。此外,基于 QCA 设计的 CSA 也减少了占用区域。

2 量子元胞自动机(QCA)

本文用 QCA 电路来搭建进位保存加法器从而优化串行加法时间消耗过大的问题,在本节中分析了 QCA 电路的工作原理,并介绍了用 QCA 元胞搭建的基本逻辑单元,这都是搭建改进递归盒式滤波器中 CSA 电路的基础。

2.1 QCA 传输线

元胞是 QCA 的最基本组成单元,一个 QCA 元胞通常带有 4 个量子点,这些量子点通常带有两个额外的电子,信息的储存和传递依靠元胞间库仑力的相互作用,如图 1 则是一个标准的四量子点元胞的结构示意图,其中的隧道结、量子点以及实际结构要根据具体实现方式决定。

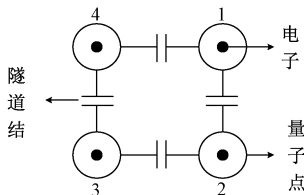


图 1 标准四量子点元胞结构示意图

Fig. 1 Schematic diagram of cell structure of standard four quantum dots

式(5)给出了四量子点元胞极化率的 P 的定义方式:

$$P = \frac{(\rho_1 + \rho_3) - (\rho_2 + \rho_4)}{\rho_1 + \rho_2 + \rho_3 + \rho_4} \quad (5)$$

其中, $\rho_i (i = 1, 2, 3, 4)$ 表示量子点 i 上的电荷密度。

由式(5)可知元胞极化率 P 存在两种“-1”和“1”两种极化率分别可以编码为二进制“0”和“1”。将 QCA 元胞串行排列就可以得到一个普通的 QCA 传输线,如图 2 所示,若假设最左侧的元胞是输入元胞,极化率固定为 1 (即输入信号为 1)最右端的元胞为输出元胞。根据元胞间的响应,输入元胞会将其他元胞从左到右依次极化,输出元胞便得到了信号 1,实现了信号传输。

信息传输的方向和能量的提供则由 4 个相位依次相差 90° 的时钟提供,如图 3 所示,4 个时钟分别表示时钟 0、时钟 1、时钟 2、时钟 3。

2.2 QCA 反向器

反相器在电路中充当重要的逻辑单元,和传输器

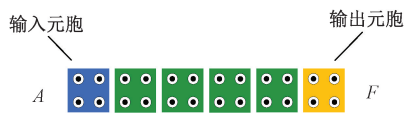


图 2 QCA 传输线

Fig. 2 QCA transmission line

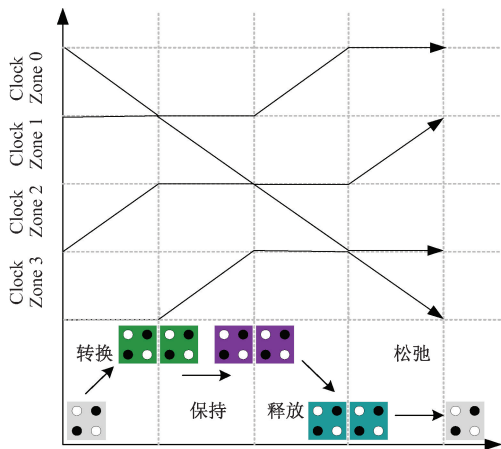


图 3 QCA 时钟

Fig. 3 QCA clock

以及择多门一起可以实现任意功能的 QCA 电路。最基本的反相器的 QCA 元胞图以及逻辑简图如图 4 所示。

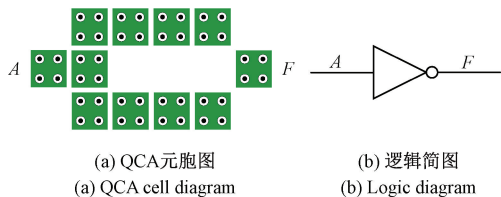


图 4 QCA 反相器

Fig. 4 QCA inverter

2.3 三输入择多门

择多门是 QCA 电路中常用的电路单元,通常选择输入值中较多的那个值作为输出。采用 5 个元胞按照图 5 所示的方式组合在一起就可以简单搭建一个三输入择多门^[13],其中最中间元胞为器件元胞,最右侧的元胞是输出元胞 F ,剩下的 3 个元胞为 3 个输入 A, B, C 。在三输入择多门中, A, B, C 这 3 个输入元胞同时中间的器件元胞进行极化,通过电子间库仑相互作用的叠加效果,器件元胞的极性和输入元胞中占多数的极性一致最终传送到输出元胞 F ,实现择多门的功能。

因此可以得出三输入择多门的逻辑表达式为:

$$F = M(A, B, C) = AB + BC + AC \quad (6)$$

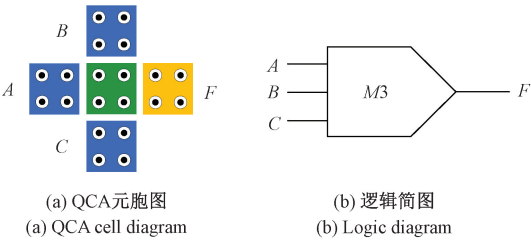


图 5 QCA 三输入择多门

Fig. 5 QCA three input multi gate

3 基于 QCA 电路的高效 CSA 设计

3.1 基于 QCA 的改进全加器设计

图 6 展示了 4 种现有的 QCA 全加器模型,使用了较

多元胞来构建 QCA 全加器,电路复杂度较高。本文使用 QCA Designer 构建改进的 QCA 全加器^[14-15],并对其功能进行仿真模拟,仿真结果表明用 QCA 元胞设计的逻辑组合电路可以实现相应的功能,并且将设计出的 QCA 电路与几种比较常用的 QCA 电路在元胞数、面积、构建方式、量子成本等参数上进行对比,结果表明本设计搭建的 QCA 全加器与目前已知的几种 QCA 全加器电路相比,需要的元胞数更少,在延迟占用面积以及 QCA 成本方面均有改进。

进位输出 C_{out} 由式 (7) 表示,输出 Sum 则由式 (8) 表示^[16]。

$$C_{out} = M3(A, B, C_{in}) \tag{7}$$

$$Sum = M3(\overline{M3(A, B, C_{in})}, \overline{M3(A, B, \overline{C_{in}})}, C_{in}) \tag{8}$$

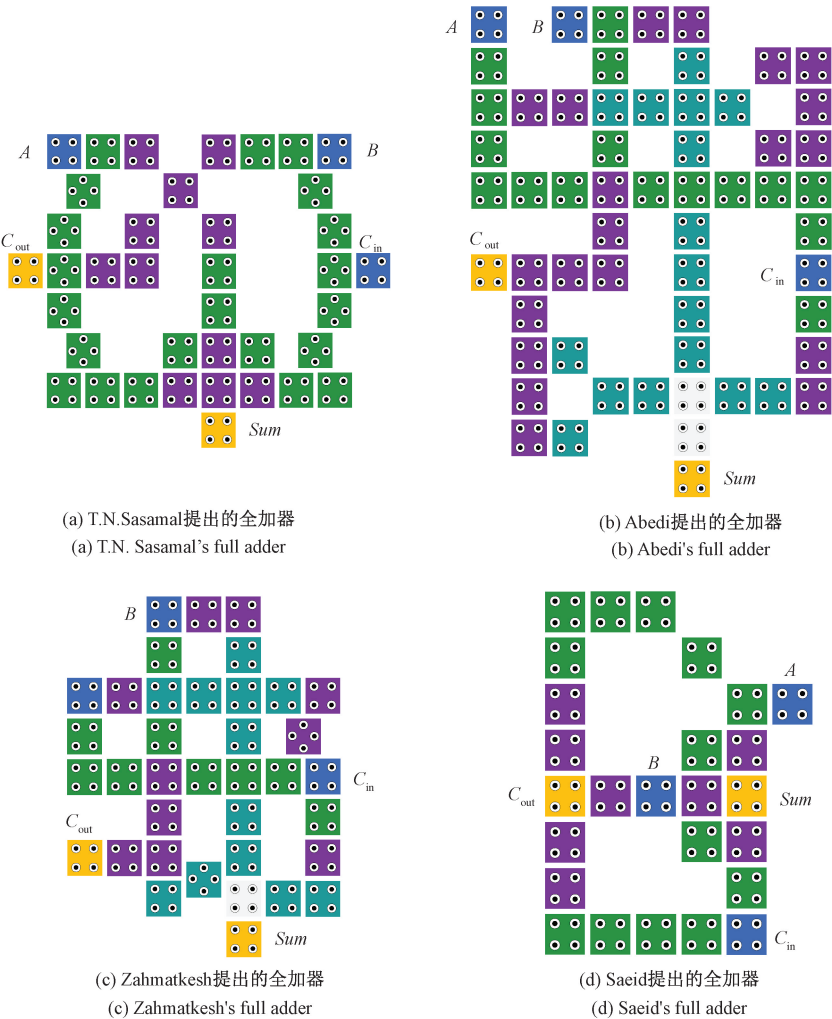


图 6 目前研究出的全加器 QCA 元胞图

Fig. 6 QCA cell diagram of full adder currently studied

本文提出一种新型的三输入全加器设计,设计采用了共面交叉的方式搭建 QCA 电路,更容易的实现复杂电

路从而降低复杂度,整体设计如图 7 所示。
由图 7 可知,电路共由 13 个元胞构成,面积为

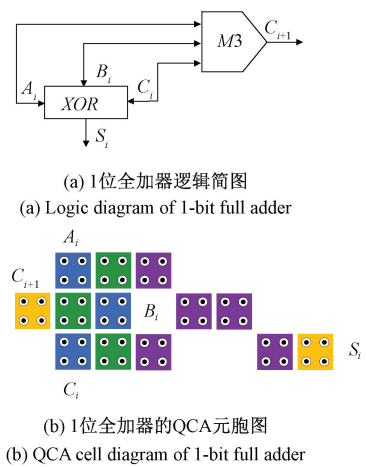


图 7 提出的新型 QCA 全加器的逻辑简图及 QCA 元胞图

Fig. 7 Logic diagram and QCA cell diagram of the proposed new QCA full adder

0.009 μm^2 ,所使用的元胞数和面积较目前已知的 QCA 全加器而言大幅降低,除此之外设计的全加器拥有更低的电路延迟。图 8 为该全加器的仿真结果,验证了该全加器功能的正确性。

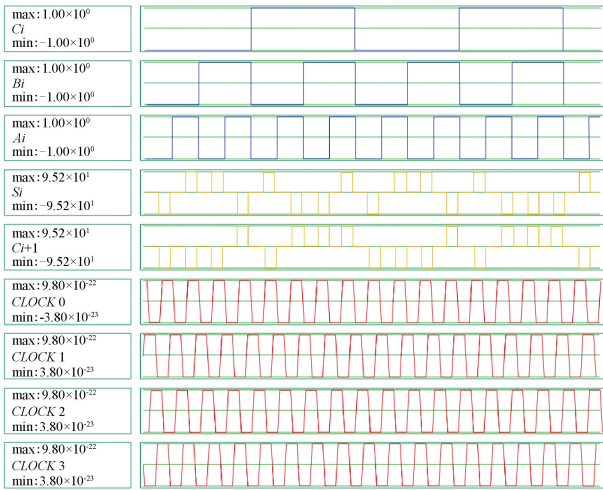


图 8 提出的新型 QCA 全加器的仿真结果

Fig. 8 Simulation results of the proposed new QCA full adder

表 1 展示了本设计与目前研究出的其他全加器在延迟、面积及量子成本等方面的对比,验证了本设计的先进性,所使用的元胞数减少 55% 以上。表中所对比的全加器电路均用参考文献的序列代替表示。

3.2 改进后的 4 位行波进位加法器 (RCA)

研究者通常使用全加器级联的方式构建 RCA 电路从而构成最小加法单元^[17-18]。图 9 为 n 位 RCA 的逻辑简图,其中 $A_0, A_1, A_2, \dots, A_{n-1}$ 为加数, $B_0, B_1, B_2, \dots, B_{n-1}$

表 1 基于 QCA 的全加器电路对比					
Table 1 Circuit comparison of full adder based on QCA					
全加器类别	元胞数	面积/ μm^2	延迟	构建方式	成本
文献[14]	40	0.030	5.00	共面	0.015
文献[7]	30	0.028	0.75	异面	0.021
文献[8]	30	0.040	0.50	共面	0.020
文献[9]	63	0.050	0.75	共面	0.028
文献[10]	44	0.060	1.25	共面	0.075
本文全加器	13	0.009	2.00	共面	0.018

为被加数, $C_1, C_2, \dots, C_n$ 为每级的进位, $S_0, S_1, S_2, \dots, S_{n-1}$ 为每级的和。由图可知 n 位行波进位加法器由 n 个全加器串联得到,每一级产生的输出 S_i 和 C_{i+1} 均为一个全加器模块。进位输入 C_0 需要从第 1 个全加器传输到第 $n-1$ 个全加器,完成了一次计算,该过程硬件需求低,但是计算速度也会因此下降,每级产生的进位输出 C_{i+1} 与求和结果 S_i 分别由式(9)和(10)产生。

$$C_{i+1} = A_i B_i + B_i C_i + A_i C_i \tag{9}$$

$$S_i = A_i B_i C_i + \overline{A_i} B_i C_i + A_i \overline{B_i} C_i + A_i B_i \overline{C_i} \tag{10}$$

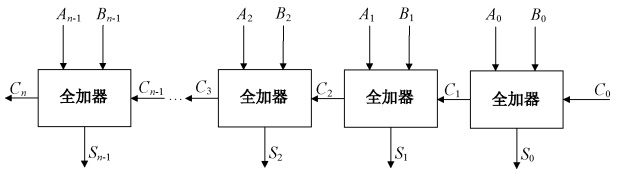


图 9 n 位行波进位加法器逻辑简图

Fig. 9 Logic diagram of n -bit traveling wave carry adder

本文提出的全加器在实现更高位的加法器设计时非常简单,使用这种全加器能为改进盒式滤波器的设计减少更多的 QCA 元胞数量。设计的 4 位行波进位加法器的原理图以及 QCA 布局如图 10(a) 和 (b) 所示,同理可得,向 n 位的全加器提供 A_n, B_n, C_n 输入,就可以将电路扩展成 n 位的 RCA 电路。

本文提出的 4 位 RCA 电路由 4 个三输入择多门和 4 个异或门构成,电路共需要 60 个 QCA 元胞来完成设计,最终通过 QCA Designer2.0.3 版本工具仿真,结果表明该设计的有效性仿真结果如图 11 所示。

3.3 基于 QCA 的进位选择加法器 (CSA)

前文中提到递归盒式滤波器加法过程是串行进行的,因此需要更多的时间来完成加法操作。由于 RCA 电路运算过程依赖于低位进位,因此需要进行改进。CSA 电路是以 RCA 电路为基础搭建的一种不依赖低位进位就可以完成高位运算的新型电路,本文也通过搭建 CSA 电路来减少运算时间^[19]。

CSA 由 2 个 RCA 和 1 个选择器构成,其中一个 RCA 加法器假定进位为 0,另外一个 RCA 加法器假定进位为 1,对于第 1 行由 4 个全加器组成的 RCA,假定进位输入

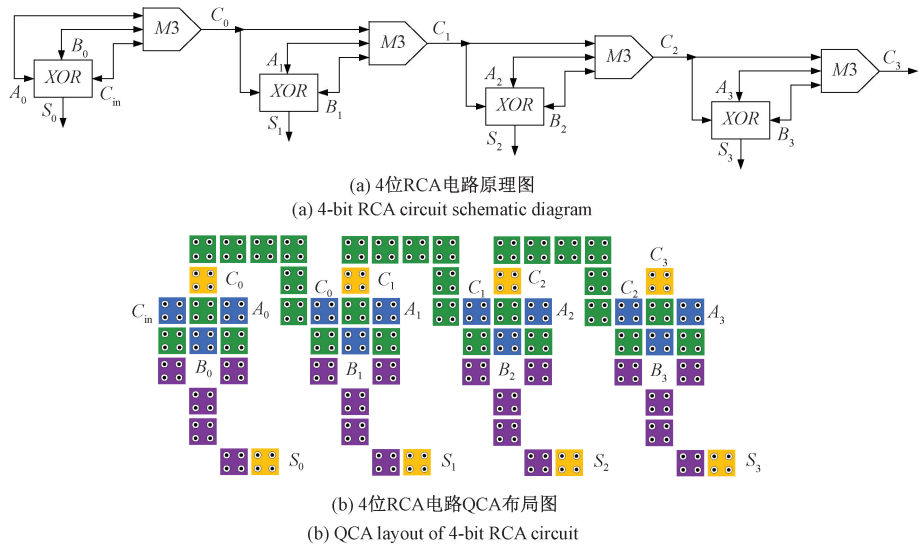


图 10 设计的 4 位行波进位加法器的原理图及 QCA 元胞布局

Fig. 10 Schematic diagram and QCA cell layout of the designed 4-bit traveling wave carry adder

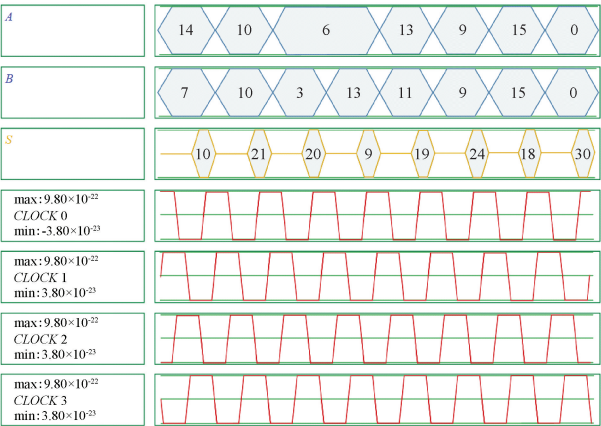


图 11 提出的基于 QCA 的 RCA 电路仿真结果

Fig. 11 Proposed RCA circuit simulation results based on QCA

$C_0=0$;第 2 行由 4 个全加器组成的 RCA 假定进位输入 $C_0=1$ 。如果来自低级的进位 C_{in} ,则选择第 1 行 RCA 的进位 C_4 作为该加法器的进位输出;如果来自低级的进位 C_{in} 为 1,则选择第 2 行 RCA 的进位 C_4 作为该加法器的进位输出。同时 C_{in} 作为选择器选择信号,控制 $S_3 \sim S_0$ 的输出来自于第 1 行 RCA 或第 2 行 RCA。设计的 4 位 CSA 电路的原理图以及 QCA 布局如图 12 (a) 和 (b) 所示。

图 13 为该 4 位进位选择加法器的仿真结果,验证了该进位选择加法器的逻辑正确性。

前文提到本设计搭建的全加器在拓展更高位的电路时十分方便,因此可以通过级联的方式将 4 位进位选择加法器拓展为 16 位进位选择加法器,电路结构如图 14

所示。以 4 位进位选择加法器为结构级联,每一级的进位可以同时经过 4 个全加器延迟同时生成,而选择信号在经过最低位的 4 位 RCA 后生效,经过 3 个数据选择器的延迟生成。相比于同等 16 位的行波进位加法器,进位选择加法器极大地提高了速度。

表 2 展示了传统盒形滤波器、QCA 构建的盒式滤波器和本文提出的滤波器分别在功耗、硬件和时间方面的 FPGA 实现对比情况。对于变量 ω ,在 MRBF 条件下,参数的性能保持显著的稳定。执行时间、片数、触发器、功耗、查找表等参数值相对其他两种盒式滤波器都有所降低。由于内存限制,很难为更高的 ω 值设计常规盒式滤波器,所以常规盒式滤波器仅考虑 $\omega=8$ 时的情况。

表 2 3 种盒式滤波器的 FPGA 实现比较

Table 2 FPGA implementation comparison of three box filters

	本文的盒式递归滤波器		一般 QCA 的盒式递归滤波器		常规的盒式滤波器
ω	8	16	8	16	8
查找表	120	124	124	128	870
触发器	80	82	147	150	827
片数	100	104	110	114	380
时间/nsec	4. 04	4. 10	5. 04	5. 25	12. 25
功耗/ μ W	0. 58	0. 67	1. 13	1. 48	1. 823

4 结 论

本文提出了一种基于 QCA 电路的改进盒式滤波器的构建,设计了一种使用较少元胞数构建的 RCA 电路,

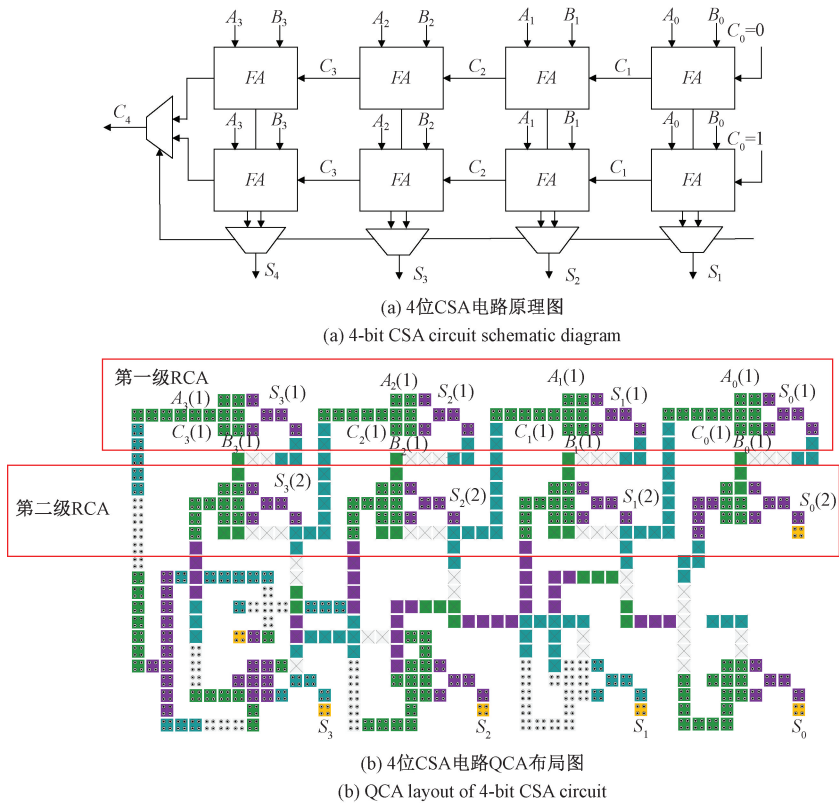


图 12 CSA 逻辑简图

Fig. 12 CSA logic diagram

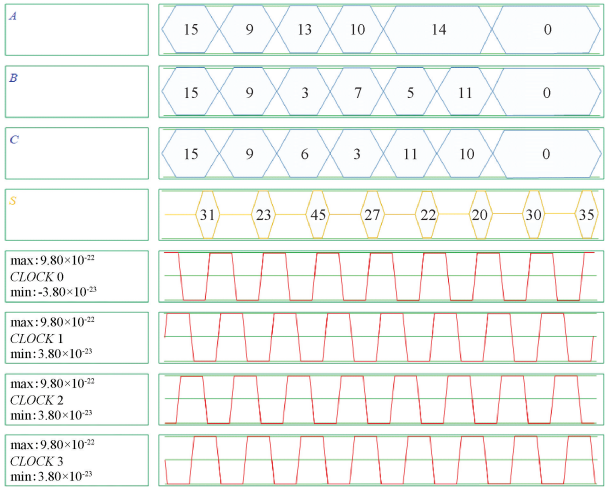


图 13 提出的基于 QCA 的 CSA 电路仿真结果

Fig. 13 Proposed QCA based CSA circuit simulation results

此电路和前人提出的 RCA 电路相比具有面积少量子成本低的显著优势,并用其构造的 CSA 电路搭建了基于 QCA 的盒式滤波器。本文提出的新型盒式滤波器在处理较大图像时可以避免串行加法导致的计算复杂时间过长的问

题,并且在执行时间、片数、触发器、功耗、查找表等参数值相对其他两种盒式滤波器都有所降低,用 QCA 电路搭建的盒式滤波器相对于常规盒式滤波器占用面积大大降低,这对小硬件实现图像滤波提供了无限的可能性。

参考文献

[1] 张永超,赵录怀,艾雄雄. 基于线阵 CMOS 的播种量检测系统设计[J]. 国外电子测量技术,2019,38(12): 50-55.

ZHANG Y CH, ZHAO L H, AI X X. Design of seeding quantity detection system based on linear array CMOS [J]. Foreign Electronic Measurement Technology, 2019, 38(12): 50-55.

[2] 张倩. 基于文献计量的我国功率半导体器件研究状况分析[J]. 电子测量技术,2020,43(4): 29-33.

ZHANG Q. Analysis of China's power semiconductor device research based on literature metrology [J]. Electronic Measurement Technology, 2020, 43(4): 29-33.

[3] 贾镜材,钟业奎,张泽展,等. 集成电路制造过程中的晶圆温度监测技术[J]. 仪器仪表学报,2021,42(1): 15-29.

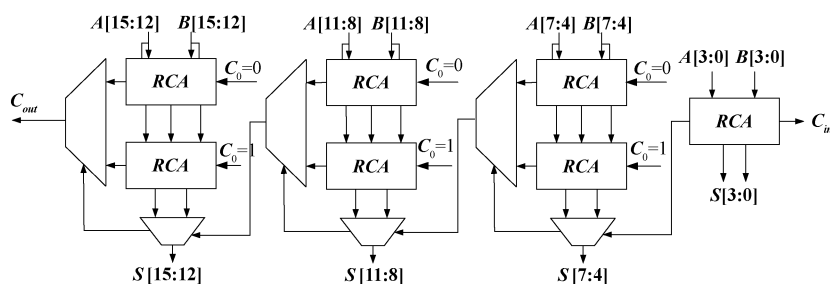


图 14 16 位 CSA 逻辑简图

Fig. 14 16 bit CSA logic diagram

JIA J C, ZHONG Y K, ZHANG Z ZH, et al. Wafer temperature monitoring technology in IC manufacturing process [J]. Chinese Journal of Scientific Instrument, 2021, 42 (1): 15-29.

- [4] 王晨苑, 何怡刚, 王传坤, 等. 高压多芯片并联 IGBT 模块故障监测方法 [J]. 电子测量与仪器学报, 2020, 34(10): 98-106.

WANG CH Y, HE Y G, WANG CH K, et al. Fault monitoring method for high-voltage multi chip parallel IGBT modules [J]. Journal of Electronic Measurement and Instrumentation, 2020, 34 (10): 98-106.

- [5] TOUGAW P D, POROD W. Bistable saturation in coupled quantum dots for quantum cellular automata [J]. Applied Physics Letters, 1993, 62(7): 714-716.

- [6] CHO H, SWARTZLANDER E. Adder designs and analyses for quantum-dot cellular automata [J]. IEEE Transactions on Nanotechnology, 2007, 6(3): 374-383.

- [7] SASAMAL T N, SINGH A K, GHANEKAR U. Efficient design of coplanar ripple carry adder in QCA [J]. Circuits, Devices & Systems, IET, 2018, 12 (5): 594-605.

- [8] ABEDI D, JABERIPUR G, SANGSEFIDI M. Coplanar full adder in quantum-dot cellular automata via clock-zone-based crossover [J]. IEEE Transactions on Nanotechnology, 2015, 14(3): 497-504.

- [9] ZAHMATKESH M, TABRIZCHI S, MOHAMMADYAN S, et al. Robust coplanar full adder based on novel inverter in quantum cellular automata [J]. International Journal of Theoretical Physics, 2018 58(2): 639-655.

- [10] ZOKA S, GHOLAMI M. A novel efficient full adder-subtractor in QCA nanotechnology [J]. International Nano Letters, 2019, 9(1): 51-54.

- [11] 杨晓阔, 蔡理, 康强, 等. 磁性量子元胞自动机逻辑电路的转换特性研究 [J]. 物理学报, 2011, 60 (9):

767-773.

YANG X K, CAI L, KANG Q, et al. Switching behavior of logic circuits by magnetic quantum cellular automata [J]. Acta Physica Sinica, 2011, 60(9): 767-773.

- [12] 黄宏图, 蔡理, 杨晓阔, 等. 基于概率模型的量子元胞自动机加法器容错性能研究 [J]. 物理学报, 2012, 61(5): 8-14.

HUANG H T, CAI L, YANG X K, et al. The fault-tolerance study of QCA adder based on probability model [J]. Acta Physica Sinica, 2012, 61(5): 8-14.

- [13] WALUS K, BUDIMAN R A, JULLIEN G A. Split current quantum-dot cellular automata-modeling and simulation [J]. IEEE Transactions on Nanotechnology, 2005, 3(2): 249-255.

- [14] 夏银水, 裴科名. 基于量子细胞自动机的数值比较器设计 [J]. 电子与信息学报, 2009, 31(6): 1517-1520.

XIA Y SH, QIU K M. Design of numerical comparator based on quantum cellular automata [J]. Journal of Electronics and Information, 2009, 31 (6): 1517-1520.

- [15] AZGHADI M R, KAVEHIE O, NAVI K. A novel design for quantum-dot cellular automata cells and full adders [J]. Journal of Applied Sciences, 2007, DOI: 10.3923/jas.2007.3460.3468.

- [16] MOSLEH M. A novel full adder/subtractor in quantum-dot cellular automata [J]. International Journal of Theoretical Physics, 2018, 58(1): 221-246.

- [17] BALALI M, REZAI A. Design of low-complexity and high-speed coplanar four-bit ripple carry adder in QCA technology [J]. International Journal of Theoretical Physics, 2018, 57(7): 1948-1960.

- [18] LABRADO C, THAPLIYAL H. Design of adder and subtractor circuits in majority logic-based field-coupled QCA nanocomputing [J]. Electronics Letters, 2016, 52(6): 464-466.

- [19] ZHANG Y, XIE G, SUN M, et al. An efficient module

for full adders in quantum-dot cellular automata [J]. International Journal of Theoretical Physics: A Journal of Original Research and Reviews in Theoretical Physics and Related Mathematics, Dedicated to the Unification of Physics, 2018, 57(10): 3005-3025.

作者简介



周先春(通信作者), 博士, 现为南京信息工程大学教授, 硕士生导师, 中国电子学会高级会员, 中国人工智能学会会员, 主要研究方向为信号与信息处理、智能图像处理。

E-mail: 001398@nuist.edu.cn

Zhou Xianchun (Corresponding author), Ph. D., professor and M. Sc. supervisor at Nanjing University of

Information Science and Technology, Senior Member of China Electronics Society. His main research interests include signal and information processing, intelligent image processing.



王博文, 2019 年于淮阴师范学院获得学士学位, 现为南京信息工程大学硕士研究生, 主要研究方向为新型纳米器件、数字图像处理。

E-mail: dddwang97@163.com

Wang Bowen received his B. Sc. degree from Huaiyin Normal University in 2019. He is currently a M. Sc. candidate at Nanjing University of Information Science and Technology. His main research interests include new nano devices and digital image processing.