

DOI: 10.13382/j.jemi.B2003740

新型两步式高精度 TDC 的设计*

庞高远¹ 孟煦^{1,2} 郭围围¹ 尹勇生^{1,2} 邓红辉^{1,2} 陈红梅^{1,2}

(1. 合肥工业大学 微电子设计研究所 合肥 230601; 2. 教育部 IC 设计网上合作研究中心 合肥 230601)

摘要:时间数字转换器(TDC)是一种常用的时间间隔测量电路,广泛用于飞行时间(ToF)测量,频率测量等领域。针对传统TDC分辨率与测量范围相互制约的问题,基于SMIC 55 nm CMOS工艺提出了一种兼顾分辨率与测量范围的两步式TDC结构。该TDC第1级使用环形结构进行粗量化,以扩大测量范围;第2级利用延迟锁相环(DLL)结构精确控制压控延迟单元的延迟,以产生代表分辨率的延迟差,进而实现细量化,提高了分辨率。其中,设计了一种简便的时间余量求取算法,将第1级的粗量化误差准确传递到第2级。同时特别设计了第一级延迟单元的结构,以消除传统环形TDC中多路选择器(MUX)在信号循环过程中造成的延迟失配。仿真结果表明,该TDC的分辨率为4.8 ps,测量范围达到1.26 μs ,微分非线性(DNL)小于0.6 LSB,积分非线性(INL)小于1.8 LSB。

关键词:时间数字转换器;两步式;分辨率;测量范围;余量求取

中图分类号: TN432.1 **文献标识码:** A **国家标准学科分类代码:** 510.3040

Design of a novel high precision TDC with two-step quantization

Pang Gaoyuan¹ Meng Xu^{1,2} Guo Weiwei¹ Yin Yongsheng^{1,2} Deng Honghui^{1,2} Chen Hongmei^{1,2}

(1. Institute of VLSI Design, Hefei University of Technology, Hefei, 230601, China;

2. IC Design Web-Cooperation Research Center of MOE, Hefei 230601, China)

Abstract: Time-to-digital converter (TDC) is a time interval measurement circuit, widely used in time-of-flight (ToF) measurement, frequency measurement and other fields. Aiming at the problem that traditional TDC was constrained by the mutual restriction of resolution and measurement range, a novel TDC with two-step quantization that gave consideration to both resolution and measurement range was designed in SMIC 55 nm CMOS process. The first stage used ring structure for coarse quantization, which improved the measurement range. The second stage used a delay locked loop (DLL) to generate the control voltage that voltage-controlled delay cells needed and improved the resolution by scaling the load capacitors of the delay cells. This paper proposed a simple algorithm of time residue generation that transmitted the time interval cannot be quantified in first stage to second stage. The delay cell structure in first stage was designed in order to eliminate the delay mismatch that multiplexer caused when signal circling. The simulation results showed that the proposed TDC could realize the resolution of 4.8 ps, the measurement range of 1.26 μs . The measured maximum differential non-linearity (DNL) is 0.6 LSB. The measured maximum integral non-linearity (INL) is 1.8 LSB.

Keywords: time-to-digital converter; two-step; resolution; measurement range; residue generation

0 引言

当今世界,人们对时间间隔测量技术的精度要求越来越高,时间数字转换器(time-to-digital converter, TDC)

是一种测量时间的电路,它可以将时间域的输入信号转换为数字信号。高精度的TDC在诸如飞行时间(time of flight, ToF)测量^[1-3],分子影像^[4-5],频率测量^[6-7],流量与位移测量^[8-9]等很多领域都有着广泛的应用。

近年来,TDC研究的热点集中在对其分辨率与测量

收稿日期: 2020-12-04 Received Date: 2020-12-04

* 基金项目:国家自然科学基金(61704043)、模拟集成电路重点实验室基金(6142802190506)项目资助

范围的提升。延迟链型 TDC^[10]为各种结构 TDC 的基础,但其分辨率与集成电路工艺决定的门延时密切相关,且硬件消耗随测量范围的增大呈指数增长。针对传统 TDC 分辨率低的问题,文献[11]提出了游标结构,利用两条不同延迟链中延迟单元的延迟差进行量化,突破了集成电路工艺的限制;文献[12]提出了一种两步式 TDC,第 1 级使用延迟链型 TDC 进行粗量化,第 2 级使用游标结构进行细量化;文献[13]提出了一种使用时间放大器的 TDC,在两级之间对时间余量进行预放大,提升了 TDC 的分辨率。针对传统 TDC 测量范围受限的问题,文献[14]提出了环形振荡器型 TDC 结构,对时间窗口内振荡的次数进行计数,进而完成时间的测量;文献[15]在 TDC 中引入倍频延迟锁相环(multiplying delay locked loop, MDLL),提升了 TDC 的测量范围,但此结构需要高质量的参考时钟,并且引入了额外的误差,校准起来也更为复杂。

针对传统 TDC 分辨率与测量范围相互制约的问题,本文提出了一种新型的两步式 TDC 结构,在达到高分辨率的同时保证了较大的测量范围。该两步式 TDC 第 1 级使用环形结构进行粗量化,第 2 级通过对压控延迟单元增加不同数量的负载电容,利用不同数量负载电容造成的细微延迟差距进行细量化。此外,本文提出了一种简便的级间余量求取算法,将第 1 级无法量化的时间间隔准确传输到第 2 级。

1 TDC 整体结构

1.1 传统结构 TDC 的局限性

传统延迟链型 TDC 的结构如图 1 所示,主要由延迟单元, D 触发器与译码器组成。START 信号与 STOP 信号分别输入到 D 触发器的 D 端与时钟端。当 START 信号的上升沿到来时, D 触发器的 D 端被置为高电平,当 STOP 信号上升沿到来时,触发器对延迟链进行采样, START 信号到达的 D 触发器的输出会被置为高电平,而未到达的 D 触发器的输出依然为低电平,进而产生如“1...1100...0”的温度计码,温度计码中的“1”的数量用来衡量 START 信号与 STOP 信号上升沿之间的时间间隔。

TDC 结构中,若 START 信号所经过的延迟单元的延迟为 τ , 延迟单元的个数为 M , 则 TDC 的分辨率为 τ , 测量范围可表示为:

$$FS = M \cdot \tau \quad (1)$$

由此可见,该结构 TDC 的分辨率受到了延迟单元工艺的限制,同时由于面积与延迟单元间失配的制约,测量范围也难以提高。

为了获得更高的测量范围,可以将传统延迟链型 TDC 中的延迟单元首尾相连,形成环形结构。传统的环

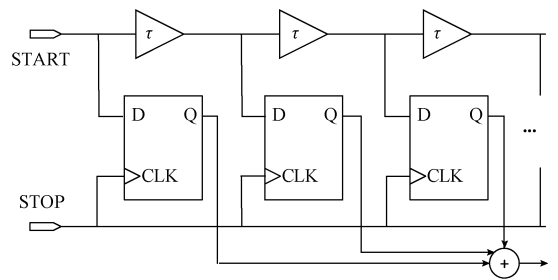


图 1 传统延迟链型 TDC

Fig. 1 Traditional delay-line-based TDC

形 TDC 通过一个多路选择器(MUX)来控制 START 信号的输入或循环^[16],其结构如图 2 所示。

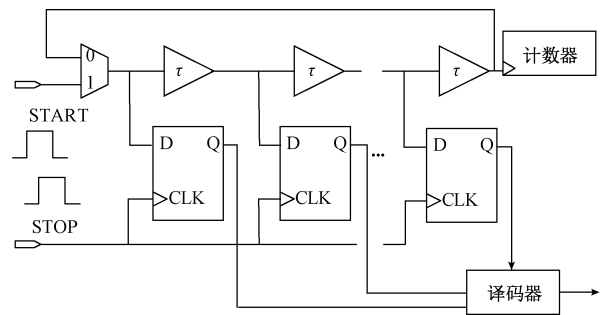


图 2 传统环形 TDC

Fig. 2 Traditional cyclic TDC

在 START 信号到来的时候, MUX 会使 START 信号输入至环形 TDC, 随后改变选通状态, 使得 START 信号在环形 TDC 中循环, 计数器用来记录 START 信号循环的次数。在信号循环过程中, MUX 自身存在的延迟不断积累, 由此会造成较大的量化误差; 同时 MUX 对信号上升沿和下降沿延迟时间不同, 在多次循环后会使得信号脉冲的宽度扩大或收缩, 限制了 TDC 的测量范围。

1.2 新型两步式高精度 TDC

针对传统 TDC 存在的局限性, 本文提出了一种新型两步式 TDC 结构, 如图 3 所示。该 TDC 第 1 级采用环形结构以获得大测量范围。环形 TDC 未能量化时间间隔将通过余量求取电路传输到第 2 级进行细量化。第 2 级结构中压控延迟单元所需的控制电压 V_{bias} 由电压生成电路提供。

在 TDC 第 1 级结构中, 本文设计了一种改进的环形 TDC 结构, 以消除传统环形 TDC 中 MUX 在信号循环过程中造成的延迟失配。其中延迟单元采用差分结构, 能够达到更高的分辨率, 并且减小噪声的影响。根据 D 触发器及计数器的输出得到 TDC 粗量化的结果。TDC 的第 2 级由一个控制电压生成电路, 一种改进的压控延迟单元^[17]以及锁存器阵列组成。该压控延迟单元在输出端增加不同数量的 MOS 电容以构造延迟差, 利用不同数

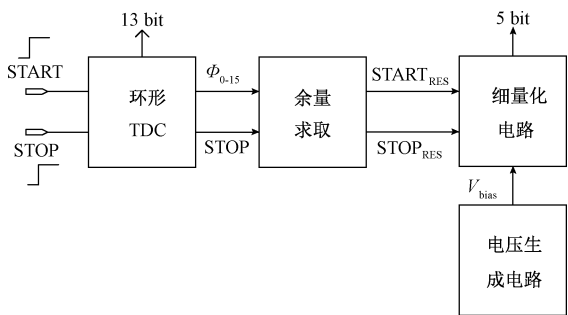


图 3 提出的两步式 TDC 结构

Fig. 3 Block diagram of the proposed TDC

量负载电容间细微的延迟差距进行细量化,提升了 TDC 的分辨率。利用延迟锁相环 (delay locked loop, DLL) 结构精确生成压控延迟单元的控制电压 V_{bias} , 在 DLL 的反馈作用下,当 V_{bias} 趋于稳定后,单个负载电容造成的延迟差会将第 1 级延迟单元延迟均分成 32 等份。根据锁存器阵列输出的温度计码得到 TDC 细量化结果。两级量化的结果进行拼接,即可得到 TDC 最终的输出。

2 第 1 级环形 TDC 电路设计

2.1 环形 TDC 整体结构

为了消除信号选通过程中由于 MUX 自身延迟引入的量化误差,避免由于 MUX 对上升沿和下降沿延迟时间不同,导致的 START 信号脉冲宽度扩大或收缩的现象,本文设计了一种改进的环形 TDC 结构,如图 4 所示。

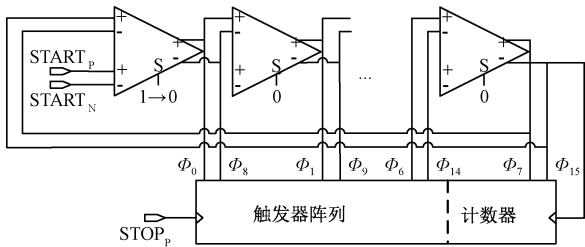


图 4 第 1 级环形 TDC 结构

Fig. 4 Cyclic TDC structure in first stage

该 TDC 延迟单元采用差分结构,START 信号到来时,通过单端-差分转换电路生成 $START_p$ 和 $START_n$ 两个信号,输入至环形 TDC 中进行循环,延迟环末端接一个计数器。单端-差分转换电路如图 5 所示。

2.2 差分延迟单元

环形 TDC 中差分延迟单元的结构如图 6 所示,共由 8 个差分延迟单元组成。阶跃形式的 START 信号通过单端-差分转换电路生成差分信号 $START_p$ 与 $START_n$, 输入至第 1 个延迟单元中的 IN_{2p} 与 IN_{2n} 端口,其 S 端首

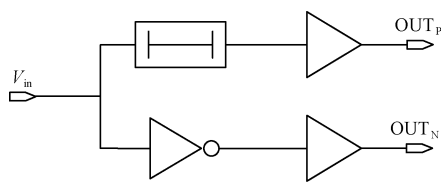


图 5 单端-差分转换电路

Fig. 5 Single-to-differential conversion circuit

先为高电平以接收外来信号,随后变为低电平对 START 信号进行循环, S_n 与 S 互为反相信号。除第 1 个延迟单元,其余延迟单元的 S 端为低电平, S_n 端为高电平,差分信号均通过 IN_{1p} 和 IN_{1n} 端进行传播,即在其余延迟单元中,只用到 IN_{1p} 与 IN_{1n} 端, IN_{2p} 与 IN_{2n} 端无实质作用,但为了保证延迟单元的一致性,本文其余延迟单元均采用与第 1 个延迟单元相同的结构。延迟单元的末端采用两个反相器交叉耦合的形式,有利于输出的 OUT_p 与 OUT_n 信号维持反相状态。

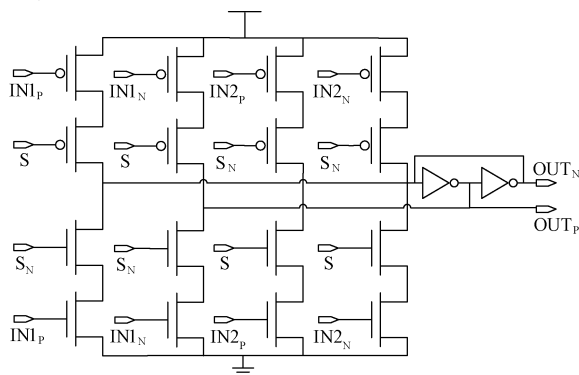


图 6 差分延迟单元电路

Fig. 6 Differential delay cell circuit

2.3 环形 TDC 时序

在 $START_p$ 与 $START_n$ 信号通过第 1 个延迟单元的 IN_{2p} 和 IN_{2n} 端后,进入环形 TDC 开始循环,每次到达环路末端时会触发一次脉冲计数器。当 STOP 信号到来时,寄存器阵列会产生温度计码,计数器停止计数,根据温度计码与计数器的数值可以得到 START 信号和 STOP 信号之间的时间间隔。

在 $STOP_p$ 信号上升沿到来时,D 触发器会对延迟环进行采样,如图 7 所示,译码器判断 16 个 D 触发器输出从 1 变为 0 的位置。若 STOP 信号上升沿到来时计数器的输出为 C, ϕ_n 的值为 1, ϕ_{n+1} 的值为 0,则第一级粗量化的结果为:

$$T_1 = C \cdot 16 \tau + N \cdot \tau \quad (2)$$

同时,通过余量求取电路,将信号 ϕ_n 作为 $START_{RES}$ 输出至第 2 级;STOP 信号同样经过一定延迟后作为 $STOP_{RES}$ 输出至第 2 级进行细量化。

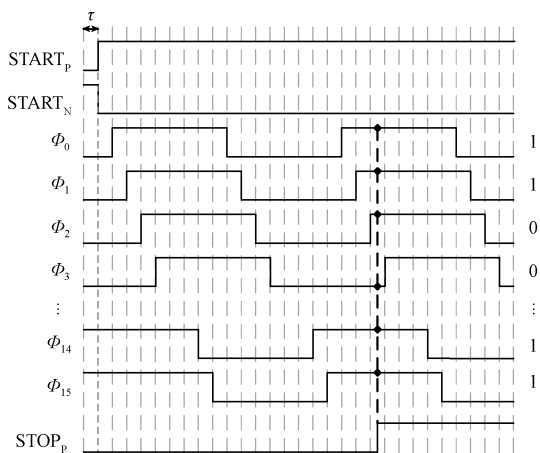


图 7 环形 TDC 时序

Fig. 7 Timing diagram of cyclic TDC

3 余量求取电路设计

第 1 级未能量化的时间间隔,需要通过余量求取电路传输到第 2 级。本文提出了一种简便的余量求取算法,如图 8 所示。其核心功能为判断第 1 级寄存器输出温度计码由 1 跳变为 0 的位置,输出合适的 Φ_N 信号。

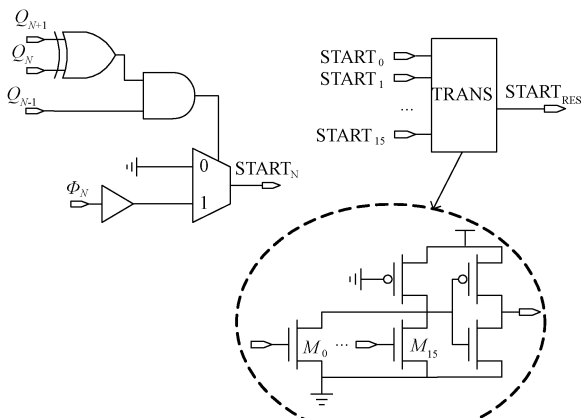


图 8 余量求取电路

Fig. 8 Residue generation circuit

第 1 级环形 TDC 的 Φ_{0-15} 分别连接到一个两输入 MUX,其对应的寄存器阵列的输出为 Q_{0-15} ,其中 Φ_N 经过延迟后输入至 MUX,此时 MUX 的输出为 $START_N$,MUX 的选通信号为 $(Q_N \oplus Q_{N+1}) \cdot Q_{N-1}$ 。 $START_{0-15}$ 分别输入到传输模块,传输模块内部电路结构如图 8 虚线框中所示,其功能为输出第 1 个到达的 $START_N$ 信号作为最终的 $START_{RES}$ 信号,当第 1 个上升沿信号 $START_N$ 到来时,输出端的电平会被拉高。类似地,STOP 信号经过延迟与传输模块后生成 $STOP_{RES}$ 信号, $START_{RES}$ 与 $STOP_{RES}$ 信号作为第 2 级细量化的开始与停止信号,其时

间间隔的大小即为第 1 级环形 TDC 未能量化的时间间隔。

4 第 2 级细量化电路设计

4.1 压控延迟单元

为了获得更高的分辨率,本文通过改变延迟单元的负载电容来构造细微的时间差。第 2 级中压控延迟单元结构如图 9 所示,其中 V_{bias} 为电压生成电路产生的电压,通过 V_{bias} 精确控制延迟单元的延迟,以产生代表分辨率的延迟差。

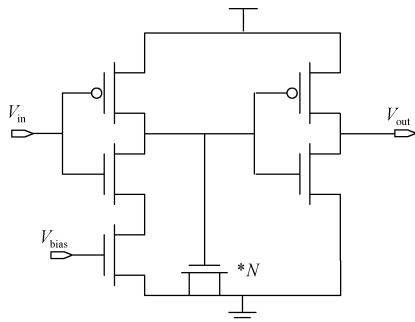


图 9 压控延迟单元

Fig. 9 Voltage-controlled delay cell

在控制电压一定的情况下,无负载电容的延迟单元的延迟为 τ_0 ,每增加一个负载电容所增加的延迟为 τ_c ,如图 10 所示(数字表示增加负载电容的个数)。利用相邻压控延迟单元的延迟差,可以使 TDC 的分辨率达到 τ_c 。

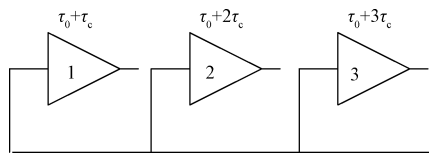


图 10 不同数量负载电容构建延迟差

Fig. 10 Delay generation with load capacitor scaling

4.2 细量化电路时序

本文设计细量化电路结构如图 11 所示^[17],控制电压 V_{bias} 使得单个负载电容的延迟差为 τ_c ,第 1 级生成的时间余量 $START_{RES}$ 分别经过具有 1~32 个负载电容的延迟单元,在 $STOP_{RES}$ 到来前后,32 位锁存器阵列会产生不同的输出,根据锁存器阵列的输出结果得到 TDC 的细量化结果。

若连接到具有 1~A 个负载电容延迟单元的锁存器输出为 1,具有 A+1 个负载电容的延迟单元的锁存器输出为 0,则 TDC 的细量化结果为:

$$T_2 = A \cdot \tau_c \tag{3}$$

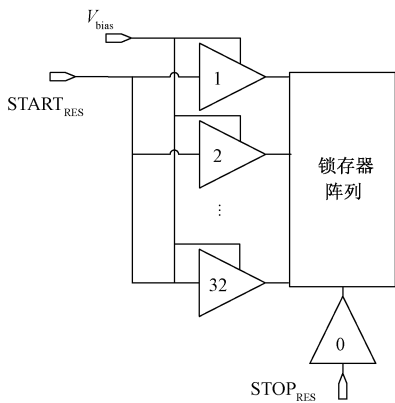


图 11 细量化电路

Fig. 11 Fine quantization circuit

TDC 的总量化结果为:

$$T_1 + T_2 = C \cdot 16 \tau + N \cdot \tau + A \cdot \tau_c \quad (4)$$

5 电压生成电路设计

为了使增加单个负载电容所增加的延迟恰好将第 1 级延迟单元延迟均分成 32 份,本文使用了一个延迟锁相环结构来产生压控延迟单元的控制电压,其结构如图 12 所示。该结构主要包括鉴相器,电荷泵。其中鉴相器用来鉴别输入信号的相位差,电荷泵用来生成相应的控制电压 V_{bias} 。

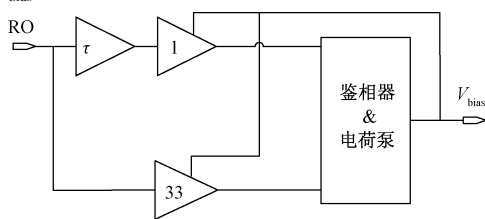


图 12 控制电压生成电路

Fig. 12 Control voltage generation circuit

使用一个环形振荡器 (ring oscillator, RO) 产生周期信号,该信号分两路进入鉴相器,其中一路多经过一个环形 TDC 中延迟单元的延迟 τ ,另一路多经过 $32 \tau_c$ 的延迟。两路信号通过鉴相器和电荷泵之后,电荷泵会生成控制电压 V_{bias} , V_{bias} 反馈输入至压控延迟单元。待 V_{bias} 稳定之后,反馈回路会使得 $32 \tau_c$ 的值等于第 1 级延迟单元的延迟 τ ,即单个负载电容造成的延迟差为第 1 级延迟单元延迟的 1/32,其原理如图 13 所示。

6 仿真结果与分析

本文设计的新型两步式 TDC 在 SMIC 55 nm CMOS

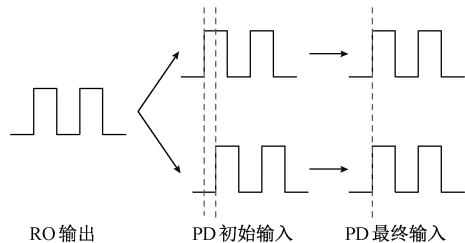


图 13 控制电压生成电路原理

Fig. 13 Principle of control voltage generation circuit

工艺下进行了仿真,电源电压为 1.2 V。

第 1 级环形 TDC 的瞬态仿真结果如图 14 所示, START 信号出现后,能够在差分延迟单元间循环传播,相邻两个相位的信号上升沿之间的时间间隔 $\tau = 154.2 \text{ ps}$ 。

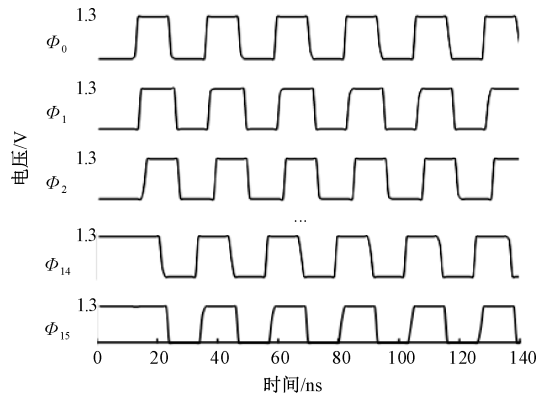


图 14 第 1 级环形 TDC 仿真

Fig. 14 Simulated timing diagram of the cyclic TDC in first stage

电压生成电路的仿真结果如图 15 所示,输入端给入环形振荡器振荡信号,振荡信号分两路进入鉴相器,在鉴相器与电荷泵的反馈作用下, $2 \mu\text{s}$ 之后反馈环路达到稳定状态,输出电压 V_{bias} 趋于 794.2 mV ,将此电压作为 TDC 第 2 级压控延迟单元的控制电压。

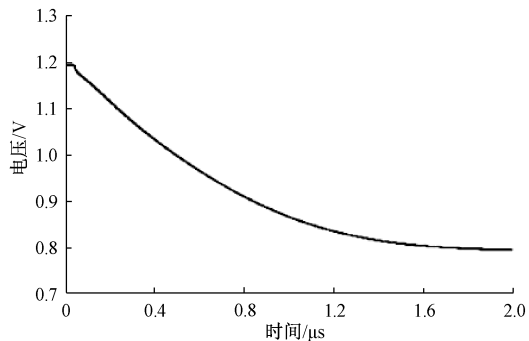
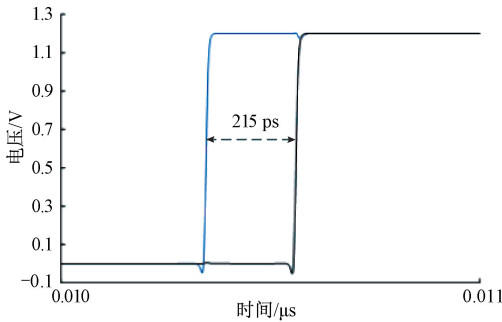


图 15 控制电压生成电路仿真

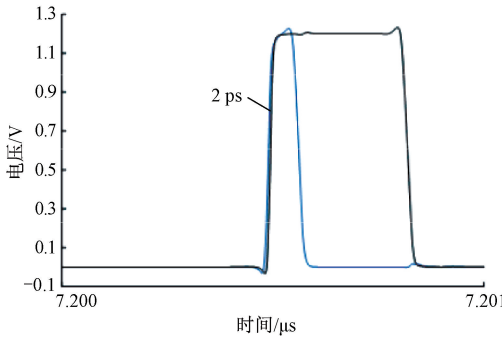
Fig. 15 Simulation result of control voltage generation circuit

V_{bias} 初始状态与 V_{bias} 稳定状态时,PD 的输入分别如

图 16(a)、(b) 所示。在初始状态下,振荡信号经过 $\tau + \tau_0 + \tau_c$ 延迟的相位相较经过 $\tau_0 + 33\tau_c$ 延迟的相位滞后 215 ps, 当 V_{bias} 趋于稳定时, 两者相位差减小到 3 ps, 即反馈环路使得 $32\tau_c$ 的值等于第 1 级延迟单元的延迟 τ 。换言之, 细量化电路在第 1 级环形 TDC 的基础上将 TDC 整体的位数扩展了 5 位。



(a) 初始状态下 PD 输入
(a) Input of PD in initial condition



(b) 稳定状态下 PD 输入
(b) Input of PD in stable condition

图 16 不同状态下 PD 的输入

Fig. 16 Input of PD in different conditions

将生成的电压输入到细量化电路后,对负载电容造成的延迟差进行仿真,START_RES 端给入 0 V 到 1.2 V 的阶跃信号,以测量单个负载电容所产生的延迟差,仿真结果如图 17 所示。图 7 中压控延迟单元负载电容的个数分别为 0~7 个,仿真结果显示细量化模块具有良好的线性度。

TDC 的余量求取电路仿真结果如图 18 所示。START 信号确定不变,STOP 信号与 START 信号的延迟差从 0 ps 开始,以 1 ps 为步长,对余量信号 START_RES 与 STOP_RES 之间的相位差进行仿真,仿真结果显示该余量求取电路能够精确的将第 1 级未能量化的时间间隔输入至第 2 级进行细量化。

在 V_{bias} 为 794.2 mV 的情况下,START 信号保持不变,STOP 信号与 START 信号的延迟差从 0 ps 开始,以 1 ps 为步长,对 TDC 核心电路进行仿真,得到 TDC 的 INL 和 DNL,仿真结果如图 19 所示。其中 DNL 最大值为

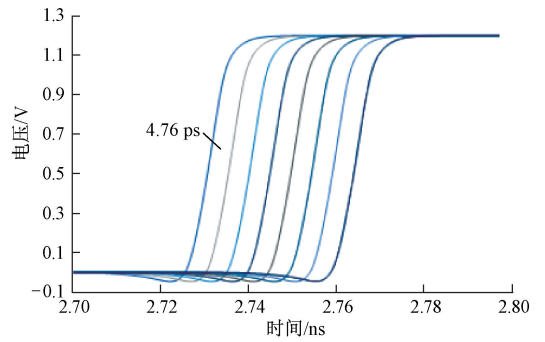


图 17 不同数量负载电容延迟差

Fig. 17 Simulated delays between capacitor-scaled elements

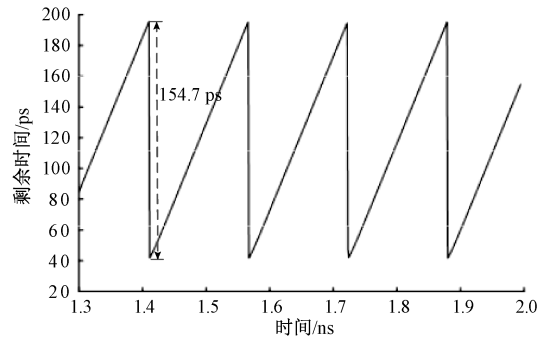
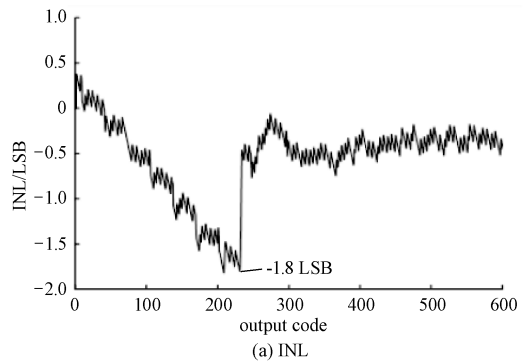


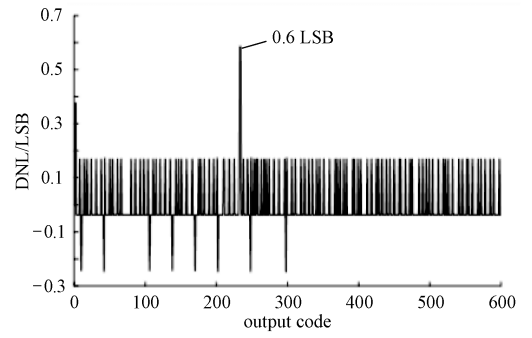
图 18 余量求取电路仿真结果

Fig. 18 Simulation result of residue generation circuit

0.6 LSB, INL 最大值为 1.8 LSB。初期 INL 的累积是由于 START 信号的循环在建立过程中,经过的前几个延迟略大于其余延迟所导致的。



(a) INL



(b) DNL

图 19 INL 与 DNL 仿真结果

Fig. 19 Simulated INL and DNL of the proposed TDC

本文与其他研究中 CMOS 集成电路工艺下的 TDC 参数对比如表 1 所示。文献[17]提出的基于 MDLL 的 TDC 结构拥有大测量范围,但需要外部输入的高质量时钟;文献[18]设计了一种流水线结构的 TDC,级间对时间余量进行放大,提升了整体的分辨率,但其测量范围受到第一级延迟链型 TDC 的限制;文献[19]创新提出了 3D 游标结构,流片测试结果显示该结构线性度良好,同时具有较高的分辨率,但测量范围受限;文献[20]提出了一种自带校准的两步式 TDC 结构,实现了测量范围与分辨率的权衡。通过对比可以看出,本文提出的两步式 TDC 结构能够较好地兼顾分辨率与测量范围,且无需外接高质量参考时钟,为传统结构 TDC 存在的分辨率与测量范围相互制约的问题提供了一种有效的解决思路。

表 1 本文与其他代表 TDC 的对比

Table 1 Comparison with the state-of-the-art techniques

参数	文献[17]	文献[18]	文献[19]	文献[20]	本文
工艺/nm	350	40	130	180	55
结构	延迟链	流水线	游标	两步式	两步式
位数	23	11	11	16	18
电压/V	3.3	2.5	1.2	1.8	1.2
分辨率/ps	8.88	2.4	6.98	2	4.8
测量范围/us	74	0.004 9	0.014	0.13	1.26
DNL/LSB	-	0.7	0.8*	1.5*	0.6
INL/LSB	-	2	1.5*	4.2*	1.8

注:*为流片后测试结果

7 结 论

本文针对传统 TDC 分辨率与测量范围相互制约的问题,提出了一种新型的两步式 TDC 结构,包括一种改进的环形 TDC 电路,一种新型的余量求取算法,细量化电路以及电压生成电路,并基于 SMIC 55 nm CMOS 工艺完成了 TDC 核心电路的设计与仿真。仿真结果表明,该 TDC 的分辨率为 4.8 ps,测量范围达到 1.26 μ s, DNL 小于 0.6 LSB, INL 小于 1.8 LSB。该结构能够较好地兼顾 TDC 的分辨率与测量范围。

参考文献

[1] KAO Y H, CHU T S. A direct-sampling pulsed time-of-flight radar with frequency-defined vernier digital-to-time converter in 65 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2015, 50(11): 2665-2677.

[2] 赵志雄, 李孝辉, 刘娅, 等. 基于 PCI 总线的高精度大量程时间间隔计数器研制[J]. 电子测量与仪器学报, 2014, 28(12): 1317-1324.

ZHAO ZH X, LI X H, LIU Y, et al. Design of high

precision and large range time-interval counter based on PCI bus[J]. Journal of Electronic Measurement and Instrumentation, 2014, 28(12): 1317-1324.

- [3] 燕学智, 王海云, 王昕. 超声波飞行时间测量的数字增益补偿[J]. 仪器仪表学报, 2018, 39(9): 82-90.
- YAN X ZH, WANG H Y, WANG X. Digital gain compensation for ultrasonic flight time measurements [J]. Chinese Journal of Scientific Instrument, 2018, 39(9): 82-90.
- [4] ABBAS T A, DUTTON N A W, ALMER O, et al. A CMOS SPAD Sensor with a multi-event folded flash time-to-digital converter for ultra-fast optical transient capture[J]. IEEE Sensors Journal, 2018, 18(8): 3163-3173.
- [5] VILLA F, LUSSANA R, BRONZI D, et al. CMOS imager with 1024 SPADs and TDCs for single-photon timing and 3-D time-of-flight [J]. IEEE Journal of Selected Topics in Quantum Electronics, 2014, 20(6): 364-373.
- [6] 凌祥, 张树森. 一种基于时间数字转换器的瞬时测频技术[J]. 电子测量技术, 2016, 39(11): 16-18.
- LING X, ZHANG SH S. The technology of instantaneous frequency measurement based on TDC [J]. Electronic Measurement Technology, 2016, 39(11): 16-18.
- [7] HIRAI A, TSUTSUMI K, NAKAMIZO H, et al. A 0.3-to-5.5 GHz digital frequency discriminator IC with time to digital converter [C]. IEEE International Microwave Symposium, 2015: 1-3.
- [8] 黄刚. 基于超声透射时差法的金属棒缺陷检测研究[J]. 仪器仪表学报, 2016, 37(4): 818-826.
- HUANG G. Research on defect detection system for material based on ultrasonic transmission method [J]. Chinese Journal of Scientific Instrument, 2016, 37(4): 818-826.
- [9] 白兴都, 周新志. 基于 TDC7200 的高精度超声波流量计研究[J]. 电子测量技术, 2018, 41(2): 110-114.
- BAI X D, ZHOU X ZH. Research of precise ultrasonic flowmeter based on TDC7200 [J]. Electronic Measurement Technology, 2018, 41(2): 110-114.
- [10] LI G, TOUSI Y M, HASSIBI A, et al. Delay-line-based analog-to-digital converters [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2009, 56(6): 464-468.
- [11] YU J, DAI F F, JAEGER R C. A 12-Bit vernier ring time-to-digital converter in 0.13 CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2010, 45(4): 830-842.
- [12] JI W W, LIU P F, NIU Y Y, et al. A high-resolution, high-linearity, two-step time-to-digital converter for

- wideband counter-assisted ADPLL in 0.13 μ m CMOS [C]. IEEE Solid-State and Integrated Circuit Technology, 2012; 1-3.
- [13] KIM K, KIM Y H, YU W, et al. A 7 bit, 3.75 ps resolution two-step time-to-digital converter in 65 nm CMOS using pulse-train time amplifier[J]. IEEE Journal of Solid-State Circuits, 2013, 48(4): 1009-1017.
- [14] STRAAYER M Z, PERROTT M H. A multi-path gated ring oscillator TDC with first-order noise shaping [J]. IEEE Journal of Solid-State Circuits, 2009, 44(4): 1089-1098.
- [15] JANSSON J P, MANTYNIEMI A, KOSTAMOVAARA J. A multi-channel wide range time-to-digital converter with better than 9ps RMS precision for pulsed time-of-flight laser range finding [C]. IEEE European Solid-State Circuits Conference, 2012; 273-276.
- [16] WANG H, DAI F F. A 14-Bit, 1-ps resolution, two-step ring and 2D vernier TDC in 130nm CMOS technology [C]. IEEE European Solid-State Circuits Conference. IEEE, 2017; 143-146.
- [17] JANSSON J P, KOSKINEN V, MANTYNIEMI A, et al. A multichannel high-precision CMOS time-to-digital converter for laser-scanner-based perception systems[J]. IEEE Transactions on Instrumentation and Measurement, 2012, 61(9): 2581-2590.
- [18] 孙迪. 40nm CMOS 工艺下 11bit 高分辨率流水线型时间数字转换器设计 [D]. 西安: 西安电子科技大学, 2017.
SUN D. Design of high resolution, 11b pipeline TDC in 40nm CMOS [D]. Xi'an: Xidian University, 2017.
- [19] KIM Y, KIM T W. An 11 b 7 ps resolution two-step time-to-digital converter with 3-D vernier space [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 61(8): 2326-2336.
- [20] RYUICHI E, TETSUYA I, TAKEHISA K, et al. A 16-bit 2.0-ps resolution two-step TDC in 0.18- μ m CMOS utilizing pulse-shrinking fine stage with built-in coarse gain calibration [J]. IEEE Transactions on Very Large Scale Integration Systems, 2019, 21(7): 11-19.

作者简介



庞高远, 2019 年于合肥工业大学获得学士学位, 现为合肥工业大学硕士研究生, 主要研究方向为混合信号集成电路设计与验证。
E-mail: 1064170361@qq.com

Pang Gaoyuan received his B. Sc. degree from Hefei University of Technology in 2019.

Now he is a M. Sc. candidate at Hefei University of Technology. His main research interests include mixed signal integrated circuit design and verification.



尹勇生 (通信作者), 分别在 1995 年和 2006 年于合肥工业大学获得学士学位和博士学位, 现为合肥工业大学教授, 主要研究方向为混合信号电路设计、可重构计算等。
E-mail: yinyongsheng@hfut.edu.cn

Yin Yongsheng (Corresponding author) received his B. Sc. degree from Hefei University of Technology in 1995, Ph. D. degree from Hefei University of Technology in 2006. Now he is a professor at Hefei University of Technology. His main research interests include mixed signal circuit design, reconfigurable computing and so on.