

# LDPC 码的多路并行编码器实现\*

石 硕 王瑞雪 李 慧 韩昌彩

(天津大学 微电子学院 天津 300072)

**摘要:**针对空间数据系统咨询委员会(CCSDS)标准下低密度奇偶校验(LDPC)码编码器低硬件实现复杂度的应用需求,提出一种适用于不同码长、码率LDPC码的多路并行编码器实现架构。该架构通过重复利用编码器中的存储单元,将矩阵信息共享到所有并行的运算单元中从而提高资源利用率。进一步,在现场可编程门阵列(FPGA)平台上验证并测试码率分别为1/2、2/3及4/5的单路和多路编码器,测试结果表明采用多路并行架构的编码器吞吐量比单路编码器有明显的提高且均达到1 Gbps以上;与达到基本相同吞吐量的单路多组编码器相比,其查找表资源分别减少40%、44%和46%。该架构充分利用FPGA的存储资源进而有效降低硬件实现复杂度。

**关键词:**低密度奇偶校验码;编码器;多路并行;现场可编程门阵列

**中图分类号:** TN911.2      **文献标识码:** A      **国家标准学科分类代码:** 510.5015

## Implementation of multi-channel parallel encoder for LDPC codes

Shi Shuo Wang Ruixue Li Hui Han Changcai

(School of Microelectronics, Tianjin University, Tianjin 300072, China)

**Abstract:** For the low implementation complexity requirement of the low-density parity-check (LDPC) encoders in consultative committee for space data systems (CCSDS) standard, an implementation architecture of multi-channel parallel encoder is proposed for LDPC codes with different code lengths and code rates. The matrix information can be shared among all parallel computing units to improve resource utilization by repeatedly utilizing the storage unit in the encoder. Furthermore, the single-channel and multi-channel encoders with code rates of 1/2, 2/3 and 4/5 are verified and tested on the field programmable gate array (FPGA) hardware platform. The test results show that the throughput of the encoders adopting the multi-channel parallel coding scheme is higher than that of the single-channel encoders and achieves more than 1Gbps. The resources of the look-up table for the multi-channel encoders are reduced by 40%, 44% and 46%, respectively, compared with the single-channel encoders with multiple groups that achieves approximately the same throughput. By making full use of the storage resources in FPGA, this architecture can reduce the complexity of hardware implementation effectively.

**Keywords:** low-density parity-check(LDPC) codes; encoder; multi-channel parallel; field programmable gate array(FPGA)

## 0 引言

空间通信中存在通信距离远、信道环境复杂等问题,对通信系统的有效性和可靠性提出了更高的要求<sup>[1-3]</sup>;通信设备对功耗和体积等都有较严苛的要求,这也给如何有效利用航天器等设备中宝贵的硬件资源带来了挑

战<sup>[4]</sup>。空间通信通常采用信道编码技术保证数据传输的可靠性<sup>[5-6]</sup>。低密度奇偶校验(low-density parity-check, LDPC)码是一种传输效率高、硬件实现复杂度低的信道编码技术<sup>[7-8]</sup>,在航空飞行试验遥测和5G通信等领域取得显著的成果<sup>[9-11]</sup>,同时已被空间数据系统咨询委员会(consultative committee for space data systems,CCSDS)标准采纳并应用在空间通信协议中<sup>[12]</sup>。因此,实现低复杂

度的 LDPC 码编码器具有重要的应用价值。

CCSDS 标准下 LDPC 码编码方案的硬件实现已成为一个重要研究内容。文献[13]基于生成矩阵提出一种快速编码架构,该架构利用生成矩阵的准循环特性进而实现校验序列的并行运算,有效提高了编码速率,但需要消耗较多的硬件资源缓存生成矩阵信息。相比较之下,文献[14]提出一种适用于多种码率的 LDPC 码编码架构,该架构基于校验矩阵生成具有准循环结构的子矩阵,然后对子矩阵的首行信息执行循环移位操作,从而有效减少存储矩阵信息的硬件资源,降低编码器的实现复杂度。为提高编码器吞吐量,文献[15-16]均采用反馈移位寄存累加器电路结构实现矩阵运算,同时对信息序列进行处理以达到并行编码目的,该架构可减少编码延迟,但对于码字较长的编码方案会造成了较多的存储资源浪费。进一步,文献[17]通过减少运算单元中与门和异或门来降低电路实现复杂度,但该方案不适用于码长较大的编码架构。针对这一问题,文献[18]通过递归卷积编码技术实现了一种多码率融合的编码器架构,有效减少运算单元中资源的消耗,但会增加大量的组合逻辑,给电路布局布线造成较大的困难。为进一步提高编码效率,文献[19-20]分别针对特定码率的短码长 LDPC 码编码器,采用部分并行的计算方式减少编码延迟,但该方案并不支持所有编码电路架构的实现,可迁移性不强。针对以上问题,文献[21]通过调度信息位的顺序进而实现高并行度的矩阵乘法运算,该架构有效地减少了串行输入导致编码延迟较大的问题,但无法满足多路信息序列并行编码。

大部分编码器实现方案可完成对一组信息序列的快速编码,但当数据量较大时缺乏高效处理多组信息序列的能力。本文提出一种支持多路并行编码的电路架构。通过重组编码器中存储器的结构,在不增加单路编码器中用于缓存矩阵信息的存储单元数量的情况下,实现对多组信息序列并行编码的功能。通过现场可编程门阵列(field programmable gate array, FPGA)平台分析不同码长、码率的单路和多路编码器的硬件实现结果,证明采用多路并行编码架构可有效提高编码器吞吐量,且消耗较少的硬件资源。

## 1 CCSDS 标准下 LDPC 码编码方案

本文针对 CCSDS 标准中 9 种适用于深空通信的 LDPC 码进行编码器电路设计,码长、码率等具体参数如表 1 所示,包括 3 种码率和 3 种信息序列长度。表 1 中每一组 LDPC  $(n, k)$  码,均可通过校验矩阵  $\mathbf{H}$  进行描述。具体而言,矩阵  $\mathbf{H}$  由若干个  $M \times M$  的子矩阵构成,子矩阵中阶次  $M$  的具体取值由文献[12]中 CCSDS 标准下

LDPC 码的码长和码率共同决定。以码率  $r = 1/2$  的 LDPC 码为例,校验矩阵  $\mathbf{H}_{1/2}$  可表示为:

$$\mathbf{H}_{1/2} = \begin{bmatrix} \mathbf{0}_M & \mathbf{0}_M & \mathbf{I}_M & \mathbf{0}_M & \mathbf{I}_M \oplus \mathbf{\Pi}_1 \\ \mathbf{I}_M & \mathbf{I}_M & \mathbf{0}_M & \mathbf{I}_M & \mathbf{\Pi}_2 \oplus \mathbf{\Pi}_3 \oplus \mathbf{\Pi}_4 \\ \mathbf{I}_M & \mathbf{\Pi}_5 \oplus \mathbf{\Pi}_6 & \mathbf{0}_M & \mathbf{\Pi}_7 \oplus \mathbf{\Pi}_8 & \mathbf{I}_M \end{bmatrix} \quad (1)$$

式中:矩阵中  $\mathbf{I}_M$  和  $\mathbf{0}_M$  分别是  $M \times M$  维的单位矩阵和全零矩阵; $\mathbf{\Pi}_k (k = 1, 2, \dots, 8)$  为置换矩阵; $\oplus$  为异或运算。设置换矩阵  $\mathbf{\Pi}_k$  在  $i$  行、 $\pi_k(i)$  列有非零元素,其中,  $i \in \{0, \dots, M - 1\}$ ,  $\pi_k(i) = \frac{M}{4}((\theta_k + \lfloor 4i/M \rfloor) \bmod 4) + (\varphi_k(\lfloor 4i/M \rfloor, M) + i) \bmod \frac{M}{4}$ ,  $\theta_k$  和  $\varphi_k(j, M)$  均可根据

CCSDS 查表得到。求解置换矩阵过程如下:首先根据  $k$  值经查表确定  $\theta_k$ ;然后计算  $j = \lfloor 4i/M \rfloor$  确定查表范围,再根据  $M$  值查表得到  $\varphi_k$ ;最后根据  $\theta_k$  值和  $\varphi_k$  值计算得到  $\pi_k(i)$  确定非零元素的位置,从而得到置换矩阵。确定置换矩阵后将其代入式(1)即可得到 LDPC 码的校验矩阵。CCSDS 标准中码率 2/3 和 4/5 的校验矩阵  $\mathbf{H}$  可通过增加列和置换矩阵得到,表示形式与校验矩阵  $\mathbf{H}_{1/2}$  一致。

表 1 CCSDS 标准下码长、码率的参数

Table 1 Code lengths and code rates for CCSDS standard (bits)

信息序列长度 $k$	码长 $n$		
	码率 1/2	码率 2/3	码率 4/5
1 024	2 048	1 536	1 280
4 096	8 192	6 144	5 120
16 384	32 768	24 576	20 480

CCSDS 标准下 LDPC 码需考虑是否对编码数据进行打孔<sup>[12]</sup>,本文选择不考虑打孔的情况从而利用校验矩阵进行快速编码的方案。首先,基于生成矩阵的编码方法是将信息序列  $\mathbf{u}$  和生成矩阵  $\mathbf{G}$  进行乘法运算,得到编码码字  $\mathbf{c} = \mathbf{u} \times \mathbf{G}$ 。对于 LDPC  $(n, k)$  码,生成矩阵  $\mathbf{G}$  可通过一个  $k \times k$  的单位阵  $\mathbf{I}_{k \times k}$  和一个  $k \times (n - k)$  的矩阵  $\mathbf{W}_{k \times (n - k)}$  进行表示,具体可表示为:

$$\mathbf{G}_{k \times n} = [\mathbf{I}_{k \times k}, \mathbf{W}_{k \times (n - k)}] \quad (2)$$

由式(2)可知,信息序列与生成矩阵  $\mathbf{G}$  的乘法运算可以简化为与矩阵  $\mathbf{W}$  进行运算,即码字  $\mathbf{c} = [\mathbf{u}, \mathbf{u} \cdot \mathbf{W}]$  进行表示。该编码算法电路实现简单,通常需要消耗较多的硬件资源存储矩阵信息。但如果矩阵  $\mathbf{W}$  具有准循环结构,在电路设计过程中可通过移位寄存器等方式进行优化设计,从而减少用于存储矩阵信息的硬件资源。

在 LDPC 码编码过程中,根据校验矩阵生成稠密循环矩阵  $\mathbf{W}$  是 LDPC 码编码算法实现的关键。LDPC 码的

码率可通过  $r = K/(K + 2)$  进行表示,当码率分别为 1/2、2/3 和 4/5 时,  $K$  分别取 2、4 和 8。本文实现的 LDPC 码编码器不考虑打孔列,根据 CCSDS 标准规定,矩阵  $G$  的大小为  $MK \times M(K + 2)$ 。由校验矩阵生成稠密循环矩阵  $W$  是通过逆矩阵运算来实现的,以码率为 1/2、码字长度为 32 768 bits 的 LDPC 码为例,计算稠密循环矩阵  $W$  的具体步骤<sup>[12]</sup>如下。

1) 令  $P$  为校验矩阵  $H$  后  $3M$  列的  $3M \times 3M$  矩阵,  $Q$  为  $H$  的前  $2M$  列的  $3M \times 2M$  矩阵,即矩阵  $P$ 、 $Q$  分别表示如下:

$$P = \begin{bmatrix} I_M & 0_M & I_M \oplus \Pi_1 \\ 0_M & I_M & \Pi_2 \oplus \Pi_3 \oplus \Pi_4 \\ 0_M & \Pi_7 \oplus \Pi_8 & I_M \end{bmatrix} \quad (3)$$

$$Q = \begin{bmatrix} 0_M & 0_M \\ I_M & I_M \\ I_M & \Pi_5 \oplus \Pi_6 \end{bmatrix} \quad (4)$$

2) 对矩阵  $P$  求逆计算得到稠密循环矩阵  $W = (P^{-1}Q)^T$ , 其中,矩阵运算均为模二运算。此时稠密循环矩阵  $W$  由 64 个循环子矩阵  $B_{i,j}$  组成,具体表示如下:

$$W = \begin{bmatrix} B_{1,1} & B_{1,2} & \cdots & B_{1,8} \\ B_{2,1} & B_{2,2} & \cdots & B_{2,8} \\ \vdots & \vdots & \ddots & \vdots \\ B_{8,1} & B_{8,2} & \cdots & B_{8,8} \end{bmatrix} \quad (5)$$

其中,每个子矩阵  $B_{i,j}$  的阶数为 2 048,  $i, j$  均为小于等于 8 的正整数。设  $b_{i,j}^1, \dots, b_{i,j}^{2048}$  是子矩阵  $B_{i,j}$  每行的信息,子矩阵  $B_{i,j}$  具体表示如下:

$$B_{i,j} = \begin{bmatrix} b_{i,j}^1 \\ \vdots \\ b_{i,j}^{2048} \end{bmatrix} \quad (6)$$

根据循环矩阵的特性,在实现过程中仅需要存储  $b_{i,j}^1$  的信息,通过循环移位的方式可生成子矩阵  $B_{i,j}$ ,采用该方法可有效地减少存储资源。

## 2 LDPC 码编码器硬件实现

### 2.1 LDPC 码的单路编码器架构

LDPC 码编码器的核心是信息序列和稠密循环矩阵的乘法运算。编码核心模块主要由矩阵信息存储模块和运算模块组成,实现过程中合理利用 FPGA 资源存储矩阵信息,通过使用块 RAM 减少寄存器资源的浪费。校验位计算模块通过移位寄存器的循环移位生成稠密循环矩阵,利用与门、异或门和累加器实现矩阵的乘法运算。本文以 CCSDS 标准中码字最长、硬件实现复杂度最高的 LDPC 码编码器为例进行详细地描述,该 LDPC 码的码字

长度为 32 768 bits、码率为 1/2。

首先介绍硬件实现中稠密循环矩阵  $W$  的生成过程。稠密循环矩阵  $W$  由  $8 \times 8$  个子矩阵  $B_{i,j}$  构成,其中,  $i, j \in \{1, 2, \dots, 8\}$ , 每个循环子矩阵的阶数是 2 048。利用循环子矩阵的特性,将每个子矩阵  $B_{i,j}$  的首行信息  $b_{i,j}^1$  存入矩阵存储 ROM 中,编码过程中通过移位寄存器对矩阵存储 ROM 的信息进行循环移位从而生成稠密循环矩阵  $W$ 。实现方式如下。

1) 将子矩阵  $B_{1,1}, B_{2,1}, \dots, B_{8,1}$  的首行信息  $b_{1,1}^1, b_{2,1}^1, \dots, b_{8,1}^1$  存到同一个矩阵存储 ROM 中,矩阵存储 ROM 地址深度为 8、宽度为 2 048 bits;以此类推,将其他子矩阵  $B_{1,2}, B_{2,2}, \dots, B_{8,2}, \dots, B_{1,8}, B_{2,8}, \dots, B_{8,8}$  的首行信息分别存入对应的矩阵存储 ROM 中,共使用 8 组矩阵存储 ROM。并将所有矩阵存储 ROM 中相同地址存储的信息合并,合并结果为  $b_1^{(1)} = [b_{1,1}^1, b_{1,2}^1, \dots, b_{1,8}^1], b_2^{(1)} = [b_{2,1}^1, b_{2,2}^1, \dots, b_{2,8}^1], \dots, b_8^{(1)} = [b_{8,1}^1, b_{8,2}^1, \dots, b_{8,8}^1]$ 。其中,  $b_1^{(1)}, b_2^{(1)}, \dots, b_8^{(1)}$  分别为矩阵  $W$  的第 1 行信息,第 2 049 行信息, ..., 第 14 337 行信息。

2) 然后将每组矩阵存储 ROM 首地址的信息加载到对应的移位寄存器中,8 组移位寄存器中的数据合并即为矩阵  $W$  的第 1 行信息  $b_1^{(1)}$ ;所有移位寄存器向右循环移位一次后得到矩阵  $W$  的第 2 行信息  $b_1^{(2)}$ ;以此类推,当移位寄存器循环移位 2 047 次完成当前地址的计算后,在读地址信号的控制下加载矩阵存储 ROM 中下一个地址的信息,继续重复上述移位操作,直至最后一个地址的信息加载完毕并循环移位 2 047 次;停止所有矩阵存储 ROM 和移位寄存器的工作,此时 8 组移位寄存器中的数据表示矩阵  $W$  的最后一行信息  $b_8^{(2048)}$ ,具体流程如图 1 所示。上述操作通过移位寄存器间接生成了稠密循环矩阵,有效减少了硬件存储资源,为实现多路并行编码器提供了保障。

然后具体分析使用矩阵存储 ROM 时 FPGA 内部块 RAM 资源使用情况。本文基于 Xilinx 公司 Virtex6 系列的 FPGA 硬件平台实现编码器,其中, FPGA 的块 RAM 分为 18 K 块 RAM 和 36 K 块 RAM 两种,二者的最大存储位宽分别为 36 和 72 bits、最大存储深度均为 512。如果待存储数据位宽较大,设计中优先考虑使用 36 K 块 RAM。每组矩阵存储 ROM 需存储 8 个位宽为 2 048 bits 的首行信息  $b_{i,j}^1$ , 因此使用 29 个块 RAM,每个块 RAM 占用 8 个地址,具体存储方式如图 2 所示。设计中采用 8 组相同的矩阵存储 ROM 共使用 232 个块 RAM 资源。综合器对每组矩阵存储 ROM 中没有充分利用的块 RAM 进行优化,最终编码器使用 228 个块 RAM。

信息序列和矩阵  $W$  的乘法运算即校验位计算模块。在图 3 所示的单路编码方案中,初始状态时移位寄存器和累加器置零;信息序列  $s = \{s_0, s_1, \dots, s_{16383}\}$  串行输入

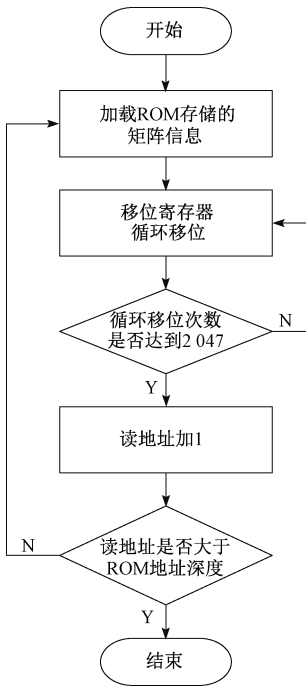


图 1 间接生成矩阵  $W$  流程

Fig. 1 The workflow of indirect generation for matrix  $W$

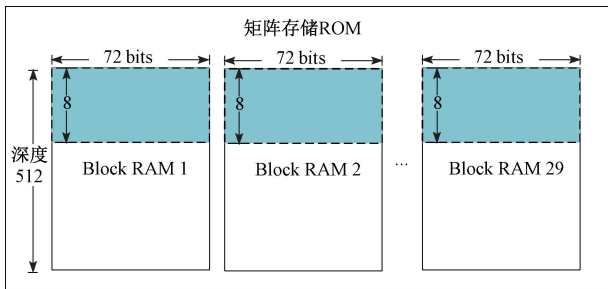


图 2 矩阵存储 ROM 中块 RAM 使用情况

Fig. 2 The block RAMs occupied in ROM for matrix storage

计算单元,第 1 个时钟周期,信息比特  $s_0$  进入编码器,矩阵信息  $b_1^{(1)}$  分别通过 8 组矩阵存储 ROM 输出到移位寄存器中,将经乘法计算得到的  $s_0 b_1^{(1)}$  输出到累加器中;第 2 个时钟周期,信息比特  $s_1$  输入,每组移位寄存器均向右循环移动一位,此时移位寄存器存储的矩阵信息变为  $b_1^{(2)}$ ,将该时刻乘法计算结果  $s_1 b_1^{(2)}$  与上一时刻累加器中的  $s_0 b_1^{(1)}$  进行加法计算,并将运算结果再次存入累加器中;以此类推,进行到第 2 048 个时钟,完成与稠密循环矩阵 8 个子矩阵的运算;以上操作需重复 8 次,直至 16 384 个信息比特全部输入进计算单元完成所有校验位的计算。单路编码器使用 8 组移位寄存器和 8 组累加器对数据进行存储,每组移位寄存器和累加器均使用 2 048 个寄存器资源。计算过程中不需要再消耗额外的硬件资源对校验位进行存储,当编码器处理完所有的信息序列

时,8 组累加器存储的数据分别为校验序列  $p_1 = \{p_0, \dots, p_{2047}\}, \dots, p_8 = \{p_{14336}, \dots, p_{16383}\}$ ,从而生成 LDPC 码字  $c = [s \ p_1 \ \dots \ p_8]$ 。因此单路编码器中移位寄存器和累加器均使用 16 384 个寄存器资源。

编码器子模块	寄存器	块 RAM
矩阵存储ROM	0	228
移位寄存器	16 384	0
累加器	16 384	0

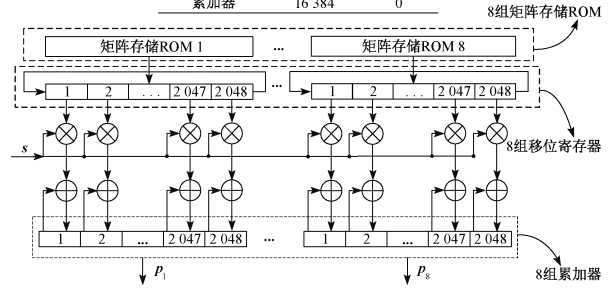


图 3 单路 LDPC 码编码器校验位计算模块电路结构

Fig. 3 The circuit structure of parity bits calculation module for single-channel LDPC encoder

## 2.2 LDPC 码的多路并行编码架构

在图 3 的电路结构中,编码器的校验位计算模块处理单路信息序列,矩阵存储 ROM 和移位寄存器的资源利用率较低,仅支持一组码字的生成。为进一步提高 LDPC 码编码器的吞吐量和硬件资源利用率,本文充分利用 FPGA 片内存储资源,提出了如图 4 所示的多路并行编码架构。该架构支持  $L$  路信息序列  $s^1 = \{s_0^1, s_1^1, \dots, s_{16383}^1\}, \dots, s^L = \{s_0^L, s_1^L, \dots, s_{16383}^L\}$  并行工作,经计算编码器最终输出  $L$  组码字  $c^1 = [s^1 \ p^1], \dots, c^L = [s^L \ p^L]$ ,其中  $p^1 = [p_1^1, \dots, p_8^1] = \{p_0^1, p_1^1, \dots, p_{16383}^1\}, \dots, p^L = [p_1^L, \dots, p_8^L] = \{p_0^L, p_1^L, \dots, p_{16383}^L\}$ 。编码过程中校验位计算模块不需要线性增加移位寄存器数量和矩阵存储 ROM 数量,该部分资源使用情况与单路编码器相同,仅增加了实现矩阵乘法运算的硬件资源,通过存储器资源的重复利用进而减少并行结构带来的存储资源消耗。具体而言,单路信息序列进行编码时需要 8 组矩阵存储 ROM 和相应的移位寄存器,存储器资源仅实现一组信息序列和稠密循环矩阵的乘法计算;采用多路并行编码架构可在使用相同数量矩阵存储 ROM 和移位寄存器的情况下,将移位寄存器中的矩阵信息同时输入进  $L$  个运算单元参与计算,并且不会影响各路信息序列与矩阵信息的乘法计算。多路并行编码器具体实现流程如下。

1)  $L$  路信息序列  $s^1, s^2, \dots, s^L$  并行输入。第一个时钟周期位宽为  $L$  比特的输入信息  $\{s_0^1, s_0^2, \dots, s_0^L\}$  进入编码器,信息比特  $s_0^1, s_0^2, \dots, s_0^L$  分别与移位寄存器并行输出的结果进行乘法运算。

2) 第 2 个时钟周期,每组移位寄存器向右循环移位后并行输出  $L$  组数据与输入信息  $\{s_1^1, s_1^2, \dots, s_1^L\}$  进行乘

法运算,并与上一时钟周期的计算结果进行加法运算,将加法结果存储到对应的  $L$  个累加器中。由于编码核心单元是通过单比特之间的与操作和异或操作实现计算功能,所以移位寄存器并行输出  $L$  组数据参与后续计算不会造成较大的组合逻辑,也不会影响硬件的布局布线。

3) 以此类推,执行与单路编码器相同的编码流程。完成最后一组输入信息  $\{s_{16383}^1, s_{16383}^2, \dots, s_{16383}^L\}$  的编码运算后,  $8L$  个位宽为 2 048 bits 的累加器中存储的数据即为  $L$  路信息序列经编码得到的校验结果。此时,第 1 组的  $L$  个累加器分别循环移位串行输出 1 bit 的校验位,编码器并行输出  $L$  bit 的校验结果  $\{p_0^1, p_0^2, \dots, p_0^L\}$ , 以此类推,直至输出最后一组校验结果  $\{p_{16383}^1, p_{16383}^2, \dots, p_{16383}^L\}$ , 完成多路并行编码器的编码工作。

多路并行编码器中矩阵存储 ROM 和移位寄存器分别使用 228 个块 RAM 和 16 384 个寄存器资源,这两部分硬件资源使用情况与单路编码器相等。采用多路并行编码架构仅线性增加校验位计算模块中实现矩阵运算的资源,累加器的数量为单路编码的  $L$  倍,共使用  $16\ 384 \times L$  个寄存器资源。该并行架构支持不同码长、码率的 LDPC 码编码方案,当信息序列长度为  $k$  时,相较于处理单路信息序列的编码器需要  $k$  个时钟周期完成校验位计算功能。该架构下的编码器可在相同时延内以增加少量运算资源为代价实现并行处理多路信息序列的功能,显著提高了编码器的吞吐量。

### 3 硬件实现结果及分析

针对提出的多路并行 LDPC 码编码方案及电路架构,本文基于 FPGA 平台对不同码长、码率编码器的硬件

编码器子模块	寄存器	块 RAM
矩阵存储ROM	0	228
移位寄存器	16 384	0
累加器	$16\ 384 \times L$	0

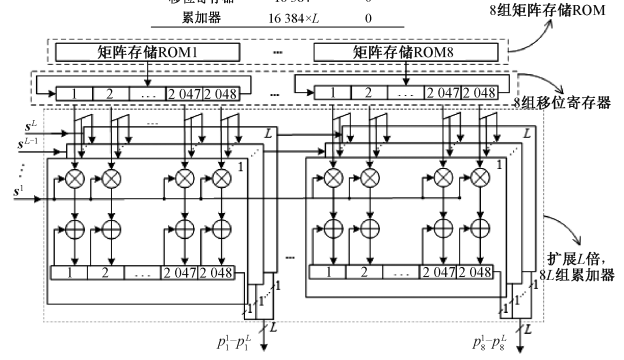


图 4 多路 LDPC 码编码器校验位计算模块电路结构  
Fig. 4 The circuit structure of parity bits calculation module for multi-channel LDPC encoder

实现结果进行分析。硬件测试平台选择 Xilinx 公司 Virtex6 系列的 XC6VLX240T-3FF1156。

表 2 为不同码长、码率 LDPC 码单路和多路编码器的硬件实现结果。首先,比较相同码率的 LDPC 码的多路并行和单路编码器的吞吐量。对于码率为 1/2 时的 6 路并行编码,码率为 2/3 时的 11 路并行编码以及码率为 4/5 时的 16 路并行编码,采用多路并行架构的编码器吞吐量分别提高到约为单路编码方案的 6 倍、11 倍和 16 倍,说明增加信息序列的并行路数并没有给编码器的关键路径造成影响,编码器吞吐量随着信息序列并行路数呈线性增长。此外,相同码率的多路和单路编码器使用的块 RAM 资源相等。因此,该架构可根据实际需求灵活地增加信息序列的并行度,并且不需要额外的块 RAM 资源存储稠密循环矩阵的信息,具有较强的应用价值。

表 2 LDPC 码编码器硬件实现结果

Table 2 The hardware implementation results of LDPC encoder

实现方案	本文				文献[19]						
码率	1/2	1/2	1/2	2/3	2/3	2/3	4/5	4/5	4/5	4/5	
码长(bits)	32 768	32 768	32 768	24 576	24 576	24 576	20 480	20 480	20 480	5 120	
信息序列	单路	单路	6 路并行	单路	单路	11 路并行	单路	单路	16 路并行	单路	
资源	查找表	33 813	202 878	121 289	16 512	181 632	101 400	8 313	133 008	71 672	101 173
	触发器	33 312	199 872	117 035	16 417	180 587	98 445	8 228	131 648	69 803	141 411
	块 RAM	228	1 368	228	116	1 276	116	60	960	60	N/A
吞吐量/Gbps	0.18	1.08	1.07	0.11	1.21	1.20	0.09	1.44	1.41	1.41	8

比较达到基本相同吞吐量时多路并行和单路多组编码器所消耗的硬件资源,分别实现了 6 组、11 组和 16 组码率为 1/2、2/3 和 4/5 的单路多组编码器。与码率分别为 1/2、2/3 和 4/5 的单路多组编码器相比较,采用多路并行编码架构分别减少了 40 个位宽为 2 048 bits、80 个位宽为 1 024 bits 和 120 个位宽为 512 bits 的移位寄存器,因此各码率的多路编码器分别减少了 81 920 个、

81 920 个和 61 440 个寄存器资源使用量。硬件实现结果表明查找表资源分别减少了 40%、44% 和 46%;触发器资源分别减少了 41%、45% 和 47%;块 RAM 资源与单路编码器使用数量相等。因此,多路并行编码器消耗较少的硬件资源,节省的资源即为编码器中存储矩阵信息的块 RAM 和实现循环移位的移位寄存器资源,进而说明多路并行编码架构通过重复利用编码器中的存储单元可有

效解决信息序列并行路数增多导致资源消耗线性增长的问题,该架构硬件实现复杂度较低。

针对码率为 4/5 的 LDPC 码编码器,文献[19]基于 Virtex7 系列的 XC7VLX485T 硬件平台实现一种短码长的编码器电路架构。在吞吐量方面,通过比较文献[19]处理单路信息序列的编码器硬件实现结果,本文实现的 16 路信息序列并行编码的编码器吞吐量约为文献[19]的 1/6,其码长为本文的 1/4;在硬件资源消耗方面,相较于文献[19]码字长度为 5 120 bits 的编码器输出,本文编码器输出的码字长度为 20 480 bits,然而码字长度的增加并没有带来硬件实现复杂度的增加,所消耗的查找表资源和触发器资源分别减少了 29% 和 51%。文献[19]以部分并行的方式输入单路信息序列,采用该方案需根据单路信息序列的并行度进而线性增加校验位计算单元的数量,以消耗较多硬件资源为代价提高编码器的吞吐量。因此,本文的编码器吞吐量略低但可有效减少资源消耗,降低硬件实现复杂度。

## 4 结 论

本文针对 CCSDS 标准下 LDPC 码编码器处理单路信息序列时硬件资源利用率较低的问题,提出一种多路并行编码器电路架构。该架构通过重新组织编码器中存储器的结构从而使得矩阵信息被共享到所有运算单元中,编码器可同时处理多组信息序列进而有效提高编码器吞吐量。针对以上描述的电路架构,基于 FPGA 平台验证并测试码率分别为 1/2、2/3 和 4/5 的单路和多路编码器。硬件实现结果表明,与达到基本相同吞吐量的单路多组编码器相比,采用本文提出的多路并行编码器所消耗的查找表资源分别减少 40%、44% 和 46%;触发器资源分别减少 41%、45% 和 47%;块 RAM 资源使用情况与单路编码器相同。该架构实现的编码器吞吐量均达到 1 Gbps 以上,可满足不同码长、码率的 LDPC 码编码方案,应用灵活,可适配强。

## 参考文献

[1] WANG L, WANG D, CHEN X, et al. Design of irregular QC-LDPC code based multi-level coded modulation scheme for high speed optical communication systems [J]. China Communications, 2019, 16(5): 106-120.

[2] MAHDI A, PALIOURAS V. On the encoding complexity of quasi-cyclic LDPC Codes [J]. IEEE Transactions on Signal Processing, 2015, 63(22): 6096-6108.

[3] 马慧, 吴彦鸿, 王宏艳. 低复杂度 LDPC 优化译码算法研究 [J]. 国外电子测量技术, 2018, 37(8): 1-5.

MA H, WU Y H, WANG H Y. Research on low

complexity optimization decoding algorithm for LDPC codes [J]. Foreign Electronic Measurement Technology, 2018, 37(8): 1-5.

- [4] THEODOROPOULOS D, KRANITIS N, PASCHALIS A. An efficient LDPC encoder architecture for space applications [C]. Proceedings of 2016 IEEE 22nd International Symposium on On-Line Testing and Robust System Design (IOLTS), IEEE, 2016: 149-154.
- [5] VILA-VALIS J, NAVARRO M, CLOSA P, et al. Synchronization challenges in deep space communications [J]. IEEE Aerospace and Electronic Systems Magazine, 2019, 34(1): 16-27.
- [6] 胡震宇, 宋贺伦, 郭海波, 等. 一种低码率的 LDPC 译码器的设计研究 [J]. 电子测量技术, 2020, 43(16): 62-67.
- HU Z Y, SONG H L, GUO H B, et al. A low code rate LDPC decoder [J]. Electronic Measurement Technology, 2020, 43(16): 62-67.
- [7] CHEN C, WANG L, LAU F C M. Joint optimization of protograph LDPC code pair for joint source and channel coding [J]. IEEE Transactions on Communications, 2018, 66(8): 3255-3267.
- [8] 张占义, 朱金达. 基于子矩阵分裂技术的高速 LDPC 译码器设计与实现 [J]. 电子测量与仪器学报, 2019, 33(6): 141-148.
- ZHANG Z Y, ZHU J D, GUO H B, et al. Design and implementation of high-speed LDPC decoder based on sub-matrix splitting technique [J]. Journal of Electronic Measurement and Instrumentation, 2019, 33(6): 141-148.
- [9] 罗清华, 彭宇, 周鹏太, 等. 航空飞行试验新一代网络化遥测技术浅析 [J]. 仪器仪表学报, 2017, 38(2): 261-270.
- LUO Q H, PENG Y, ZHOU P T, et al. Analysis of next generation networking telemetry technology in aeronautical flight test [J]. Journal of Scientific Instrument, 2017, 38(2): 261-270.
- [10] NGUYEN T T B, NGUYEN T, LEE H. Efficient QC-LDPC encoder for 5G new radio [J]. Electronics, 2019, 8(6): 668.
- [11] 徐恒舟, 李楠, 赵可新, 等. 5G 通信中准循环 LDPC 码的环结构分析 [J]. 电子测量与仪器学报, 2019, 33(7): 50-55.
- XU H ZH, LI N, ZHAO K X, et al. Cycle structure analysis for quasi-cyclic LDPC codes in 5G communications [J]. Journal of Electronic Measurement and Instrumentation, 2019, 33(7): 50-55.
- [12] TM synchronization and channel coding. Issue 3.

Recommendation for space data system standards (Blue Book), CCSDS 131.0-B-3 [S]. Washington: CCSDS, 2017.

- [13] REN W, LIU H. The design and implementation of high-speed codec based on FPGA [C]. Proceedings of 2018 10th International Conference on Communication Software and Networks (ICCSN), IEEE, 2018: 427-432.
- [14] CHEN D, CHEN P, FANG Y. Low-complexity high-performance low-density parity-check encoder design for China digital radio standard [J]. IEEE Access, 2017, 5: 20880-20886.
- [15] JUNG Y, KIM J. Memory-efficient and high-speed LDPC encoder [J]. Electronics Letters, 2010, 46(14): 1035-1036.
- [16] JIN X, LIU H. FPGA implementation of high-speed LDPC codec for wireless laser communication [C]. Proceedings of 2018 5th International Conference on Information Science and Control Engineering (ICISCE), IEEE, 2018: 1128-1132.
- [17] YEN S, HUNG S, CHEN C, et al. A 5.79-Gb/s energy-efficient multirate LDPC codec chip for IEEE 802.15.3c applications [J]. IEEE Journal of Solid-State Circuits, 2012, 47(9): 2246-2257.
- [18] XIE J, LI S, CHEN Y, et al. High throughput multi-code LDPC encoder for CCSDS standard [C]. Proceedings of 2019 IEEE 13th International Conference on ASIC (ASICON), IEEE, 2019: 1-4.
- [19] WANG Z, HAO X, LIN C, et al. An efficient hardware LDPC encoder based on partial parallel structure for CCSDS [C]. Proceedings of 2018 IEEE 18th International Conference on Communication Technology (ICCT), IEEE, 2018: 136-139.
- [20] WANG J, YUAN S, ZHOU Y, et al. Codec implementation of QC-LDPC code in CCSDS near-earth standard [C]. Proceedings of 2020 5th International Conference on Computer and Communication Systems (ICCS), IEEE, 2020: 575-579.
- [21] THEODOROPOULOS D, KRANITIS N, TSIGKANOS A, et al. Efficient architectures for multigigabit CCSDS LDPC encoders [J]. IEEE Transactions on Very Large Scale Integration Systems, 2020, 28(5): 1118-1127.

## 作者简介



**石硕**, 2018 年于哈尔滨理工大学获得学士学位, 现为天津大学硕士研究生, 主要研究方向为集成电路工程。

E-mail: shishuo@tju.edu.cn

**Shi Shuo** received his B. Sc. degree from Harbin University of Science and Technology in 2018. Now he is a M. Sc. candidate at Tianjin University. His main research interest includes integrated circuit engineering.



**王瑞雪**, 2018 年于河北工业大学获得学士学位, 现为天津大学硕士研究生, 主要研究方向为非二进制 LDPC 码编码和译码算法的实现。

E-mail: wang\_rx@tju.edu.cn

**Wang Ruixue** received her B. Sc. degree from Hebei University of Technology in 2018. Now she is a M. Sc. candidate at Tianjin University. Her main research interest includes the implementation of non-binary LDPC encoding and decoding algorithm.



**李慧**, 2018 年于河北工业大学获得学士学位, 2021 年于天津大学获得硕士学位, 主要研究方向为通信电路与系统。

E-mail: hui\_li@tju.edu.cn

**Li Hui** received her B. Sc. degree from Hebei University of Technology in 2018, M. Sc. degree from the School of Microelectronics in Tianjin University in 2021. Her main research interest includes communication circuit and system.



**韩昌彩**(通信作者), 分别在 2003 年和 2006 年于山东大学获得学士学位和硕士学位, 2009 年于北京邮电大学获得博士学位, 现为天津大学副教授, 主要从事无线协作通信、无线传感器网络等方面的研究。

E-mail: cchan@tju.edu.cn

**Han Changcai** (Corresponding author) received B. Sc. degree and M. Sc. degree from Shandong University in 2003 and 2006, and Ph. D. degree from Beijing University of Posts and Telecommunications in 2009, respectively. Now she is an associate professor at Tianjin University. Her main research interests include wireless cooperative communications and wireless sensor networks.