

DOI: 10.13382/j.jemi.B2003013

基于 VST-FPGA 的雷达侦察与干扰系统设计*

李宝鹏 彭志刚 王艳军 赵文娟

(海军航空大学青岛校区 青岛 266041)

摘要:现代电子战雷达干扰与反干扰之间的斗争愈演愈烈,干扰机要能产生多体制、多类型的干扰信号,雷达则需不断的提高抗干扰性能。针对雷达装备抗干扰性能测试评估对雷达干扰系统的综合性需求,以矢量信号收发仪(VST)为平台利用上位机和FPGA技术,设计开发了一种雷达侦察与干扰系统,可实现雷达信号侦察、多体制干扰信号生成、雷达标校等一体化综合功能。给出了系统硬件方案、侦察与干扰技术方法、FPGA功能设计和关键FPGA模块实现方法。测试表明,系统射频技术指标高,干扰样式丰富,频段覆盖广,使用灵巧,通用性强,具有一定的使用推广价值。

关键词: 雷达干扰;雷达侦察;干扰系统;FPGA;VST

中图分类号: TN974 **文献标识码:** A **国家标准学科分类代码:** 510.70

Design of radar reconnaissance and jamming system based on VST-FPGA

Li Baopeng Peng Zhigang Wang Yanjun Zhao Wenjuan

(Qingdao Branch of Naval Aviation University, Qingdao 266041, China)

Abstract: The struggle between modern electronic warfare radar jamming and anti-jamming is very fierce. The jammer produces multi-system and multi-type jamming signals, and the radar constantly improves its anti-jamming performance. Aiming at the comprehensive demand of radar jamming system for anti-interference performance test and evaluation of radar equipment, a radar reconnaissance and jamming system is designed and developed on the VST platform by using upper computer and FPGA technology, which can realize the comprehensive functions such as radar signal reconnaissance, multi-system jamming signal generation and radar standard calibration. The hardware scheme, reconnaissance and interference technology, FPGA function design and key FPGA module implementation are presented. The test results show that the system has high rf technical index, rich interference pattern, wide frequency band coverage, dexterity and versatility, and has certain application and promotion value.

Keywords: radar jamming; radar reconnaissance; jamming system; FPGA; VST

0 引言

现代战场复杂电磁环境对雷达装备的抗干扰性能提出了越来越高的要求,如何检验评估雷达的抗干扰性能是雷达研发和使用过程中需关注的重点问题^[1-2]。利用雷达干扰系统生成各种干扰信号,检验雷达在复杂电磁环境下的探测性能,是雷达抗干扰评估的主要手段之一。因此,开发通用性强、功能强大、使用灵活的雷达干扰系统,一直是雷达测试领域研究的热点。目前,人们所研究

的雷达干扰源大多数属于干扰模拟设备,不具备在复杂电磁环境下对雷达信号进行实时侦测与分选能力,而且由于采用传统中频处理收发机,体积大,重量大,不利于野外测试^[3-6]。针对这一问题,以矢量信号收发仪(vector signal transceiver, VST)为开发平台,将上位机与FPGA技术相结合,设计了一种便携式雷达侦察与干扰系统,将雷达侦察和干扰生成信号处理直接在高频进行,提高了计算速度,系统可实现雷达信号侦察、多体制干扰信号生成、雷达标校等一体化功能,可应用于不同体制雷达的功能性检查和抗干扰评估。与其他干扰系统相比,具有体

收稿日期: 2020-03-18 Received Date: 2020-03-18

* 基金项目: 武器装备军内科研科学研究项目(海装计 2018-19 号)资助

积重量小、携带便携、信号产生速度快、功能丰富、射频指标高、通用性强、使用灵活等特点。

1 系统功能

雷达侦察与干扰系统可实现雷达信号侦察、雷达干扰信号生成、雷达探测功能标校三大功能,可作为雷达的配套测试设备,实现对雷达抗干扰性能、探测功能的测试评估。雷达信号侦察功能是指系统可以自动接收、分析、识别多体制雷达信号,显示雷达信号脉冲描述字(pulse description word, PDW);雷达干扰信号生成功能是指系统可以生成压制干扰、密集假目标干扰、虚假航迹干扰等多种样式的单/多通道干扰信号;雷达探测功能标校是指系统生成一条航迹,得到距离方位值,向待测雷达释放干扰,待测雷达测得相应的距离方位值,通过与理论距离方位进行比较,对雷达的定位测距性能进行验证和标定。

系统特点如下:体积小巧,便于外场试验;频段覆盖广(支持 P 波段、S 波段、L 波段、C 波段);高带宽(200 MHz);界面显示丰富;干扰样式丰富;支持地图功能。

2 硬件结构设计

考虑系统产生干扰信号样式多,瞬时带宽大,对侦察和干扰数据交互实时性要求高,若采用一般的硬件设计方案,会导致结构较复杂,处理速度慢,信号时延大,干扰效果不理想^[7-8],考虑到便捷性、灵活性、集成性要求,采用 VST 作为系统硬件主体,VST 型号选用 NI PXIe-5646R VST, PXIe-5646R VST 内含 Xilinx Virtex-6 FPGA,可使用 Lab VIEW FPGA 对模块进行编程,以实现快速测量、闭环测试和复杂算法工程开发^[9-12]。如图 1 所示, PXIe-5646R VST 将 FPGA 技术、RF 射频技术、I/O 高速数字技术进行了有力结合,使得 PXIe-5646R VST 在软件定义无线电和通道仿真等应用中独显优势^[13-16]。

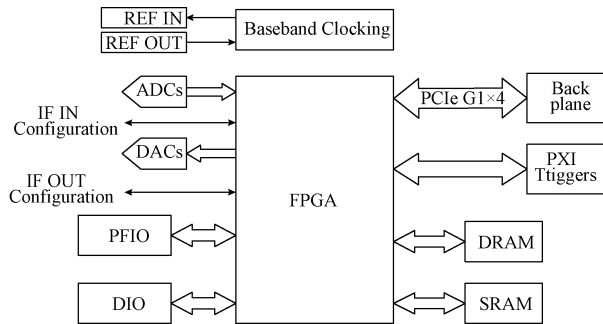


图 1 PXIe-5646R FPGA 基卡框图

Fig. 1 Pxi-5646R FPGA base card block diagram

完成,将信号分选、数据存储、干扰参数设置由上位机完成。基于 VST 为主体的系统组成架构如图 2 所示,主要包含收发天线、PXIe 机箱、PXIe 控制器(上位机)、ADC、DAC、零中频发射机、零中频接收机、信号电缆等模块。其中,信号收发模块主要用来实现信号接收、发射、变频、模数转换功能;上位机主要用来实现 PDW 显示、信号分选、生成地图、分选信息存储、干扰数据生成、雷达标校功能;FPGA 信号处理模块主要用来实现数字射频存储(digital radio frequency memory, DRFM)、短时傅里叶变换(short-time Fourier transform, STFT)、天线方向图、PDW 获取、多普勒信号生成/调制功能。

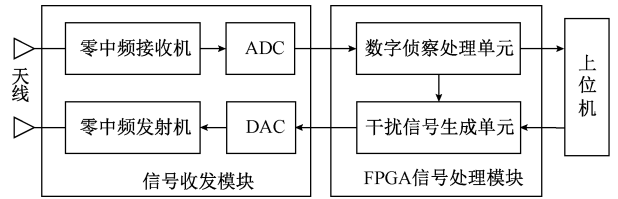


图 2 系统组成架构

Fig. 2 System structure

3 FPGA 功能设计

3.1 侦察及干扰技术原理

1) 雷达信号侦察与分选技术

雷达信号分选是指从系统接收的大量脉冲信号中筛选出有用的雷达信号,由于现代空域环境中辐射源种类繁多,雷达信号形式多样,给信号分选的速度和准确性带来了一定的挑战。信号分选常采用方法有累计差直方图算法(CDIF),序列差值直方图算法(SDIF)和基于脉冲重复间隔(pulse repetition interval, PRI)变换估计法。考虑到计算复杂度及分选效果,选用 SDIF 算法作为雷达信号分选算法,SDIF 算法是一种在 CDIF 算法基础上改进的算法,由 PRI 测定及序列检测两部分组成。如图 3 所示,算法流程如下。

(1) 从雷达数据库中读取脉冲到达时间 TOA 序列,计算相邻的脉冲到达时间 TOA 序列差值,即 $TOA(n) - TOA(n-1)$,形成第 1 级差值直方图。

(2) 按式(1)计算检测门限,进行子谐波检测,避免脉冲丢失较多情况下,子谐波超过门限单 PRI 真实值未超过门限的情况。

(3) 当本级直方图值只有一个超过检测门限时,则应用脉冲序列搜索算法将这一直方图值作为潜在的 PRI 进行脉冲序列搜索。

(4) 当本级的直方图有多个超过检测门限时,不进行序列搜索,计算下一级的差值直方图,重复步骤(3),直到差级级数大于给定的级数最大值为止;当本级的直

将射频信号收发及数据处理 FPGA 代码实现由 VST

方图没有一个超过检测门限时,计算下一级的差值直方图,重复步骤(3),直到差级级数大于给定的级数最大值为止。

(5) 如果序列搜索成功,从交错的脉冲到达时间 TOA 序列中剔除搜索到的脉冲序列,然后对剩余脉冲序列跳转到步骤(1),重新形成第一级的差值直方图。重复此过程,直到缓存中的脉冲数小于或者等于 5 为止。

(6) 在经过子谐波检验后,如果不止一个峰值超过门限,则从超过门限的峰值所对应的最小脉冲间隔起进行序列搜索。最后对分选出的脉冲序列进行参差鉴别,参差鉴别完成后将得到的分选结果存入雷达数据库中。

SDIF 检测门限计算方式如下:

$$D_{\text{threshold}}(\tau) = x(E - c) e^{-\frac{\tau}{kN}} \quad (1)$$

式中: E 是脉冲总数; N 是直方图总格数; c 是差值级数; x 和 k 是常量系数,值是由经验决定的, x, k 的值为 <1 的正数。

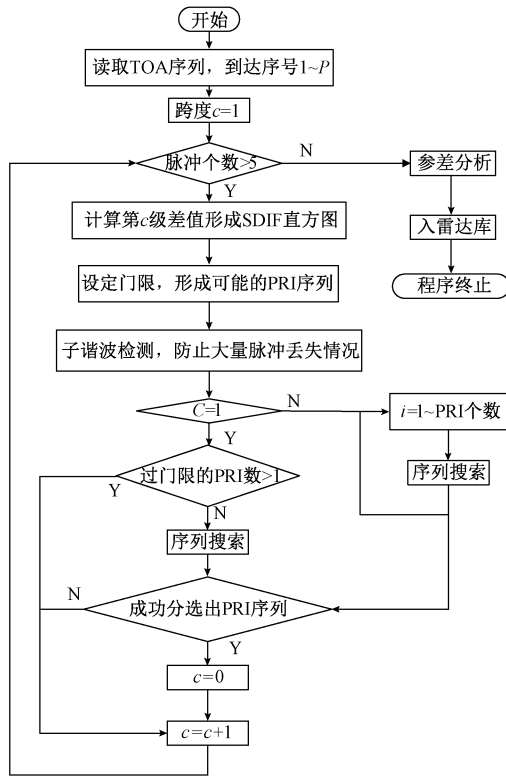


图 3 SDIF 信号分选流程

Fig. 3 SDIF signal selection process

2) DRFM 干扰生成技术

DRFM 是一种射频信号存储系统,用于实现射频信号存储及转发功能。通过对侦测到的雷达信号进行高速采样、存储、变换处理和重构,实现对信号捕获和保存的高速度、干扰技术的多样性和控制的灵活性。如图 4 所示,雷达信号经天线接收后传输至雷侦察与干扰系统,经

下变频后被采样存储,当需要生成干扰信号时,则通过调用 DRFM 的雷达信号数据,并对信号进行时延控制、幅度和多普勒调制处理,最后上变频到目标雷达的频率,通过天线发射出去。由于系统对信号存储转发需要一定的处理时间,所以 DRFM 对当前脉冲周期存储的信号延迟一个或几个脉冲周期后,再转发出去形成干扰回波。当被干扰雷达对接收到的干扰信号进行相干处理时,会得到较高的增益,形成假目标尖峰,从而欺骗并扰乱雷达的检测和跟踪。

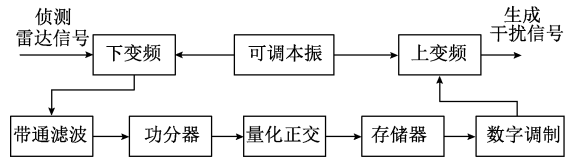


图 4 DRFM 原理

Fig. 4 DRFM principle

3.2 系统功能框架

将数字信号处理功能由 FPGA 实现,使数据处理具有高效高速、定时精准的优势。如图 5 所示,FPGA 功能模块分为数据均衡、数据抽取、STFT、DRFM、多普勒调制等。雷达信号侦察与干扰信号生成的过程如下:AD 采集信号经数字均衡、数字抽取以及过门限检测后获得雷达信号,利用 3.1 节方法获取信号的到达时间 (time of arrival, TOA)、脉宽、幅度等信息,根据幅度信息生成天线方向图,根据信号的 TOA 由上位机通过 SDIF 算法分选雷达脉冲串,分选结束后,对分选出的雷达脉冲串经 STFT 进行时频分析,获取信号脉内调制特征。干扰过程首先对雷达信号进行缓存,由上位机将干扰参数进行配置,调取 DRFM 内的雷达信号,经过多普勒调制、时间/距离延迟、噪声调制后,经数字差值和数字均衡生成各种样式的干扰信号。

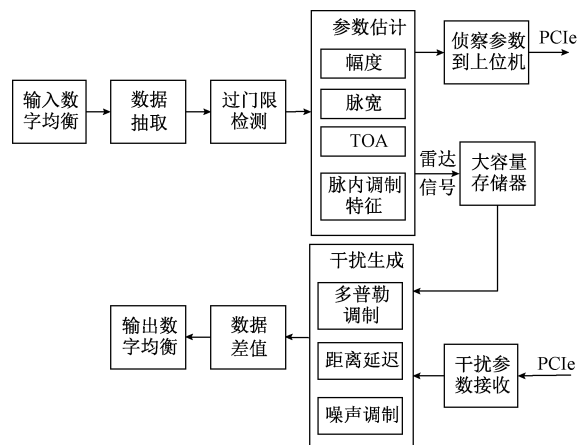


图 5 系统 FPGA 功能框架

Fig. 5 System FPGA functional framework

4 关键模块 FPGA 实现方法

4.1 PDW 参数计算

选取大于底噪 3 dB 的门限值作为脉冲到来和结束的判断依据,为避免噪声或其它突发脉冲偶尔会过门限,规定当连续 30 个数据过门限或低于门限,才认为脉冲到来和结束,将此时 TOA 用于计算脉冲宽度 (pulse width, PW), 将脉冲数据最大模值作为脉冲幅值 (pulse amplitude, PA)。如图 6 所示, FPGA 使用状态机来获取 PDW, 在 start 状态保存当前 U64 计数器值, 作为该脉冲的 TOA, 并且将 I/Q_EN 置为 T, 表明脉冲开始到来; 在 ACQ 状态查找脉冲下降沿到来前最大幅值; 在 end 状态用当前 U64 计数器的值减去 start 的 TOA, 作为 PW, 并且将 PDW_EN 置为 T, 表明脉冲结束, 对 I/Q 数据求模值, 得到 PA, 输出 TOA、PA、PW、频率 (radio frequency, RF) 的值。

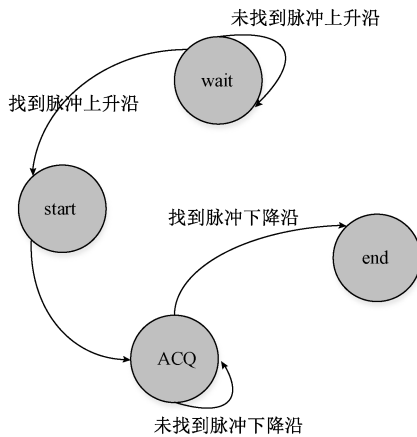


图 6 脉冲参数状态机

Fig. 6 Pulse parameter state machine

4.2 DRFM 数据存储

由于 DRAM 最大存储宽度为 128 bit, 待存储的脉冲 I/Q 数据宽度为 32 bit, 将脉冲 I/Q 数据及地址组合为簇, 当脉冲到来时 (I/Q_EN 使能) 4 个 I/Q 数据拼为两个 64 bit, 地址加 1, 该簇存入 FIFO, 在脉冲结束前, 不断将数据及地址的簇存入 FIFO, 直到脉冲结束时 (PDW_EN 使能) 将该次数据及地址存入 FIFO, 使地址归零。为了避免 DRAM 刷新导致数据不完整, 使用握手信号进行 DRAM 的读取。当 DRAM 的输入就绪后, 将 FIFO 中有效的数据按照地址存入 DRAM; 进行干扰时, 需要用到存储的脉冲数据, 这时产生一个 DRAM 数据请求信号, 当 DRAM 的数据请求输入就绪及 DRAM 读取输出就绪后, 把请求的地址的数据写入 FIFO, 供干扰调制时使用, 该过程如图 7 所示。

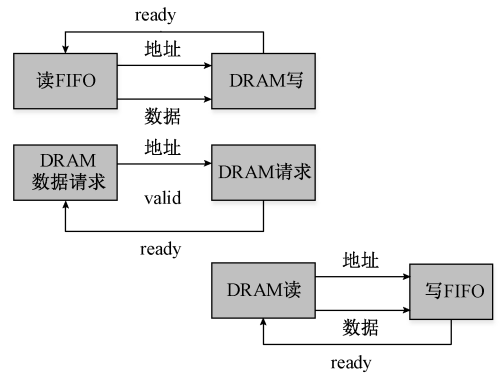


图 7 DRFM 数据存储方式

Fig. 7 DRFM data storage mode

4.3 分选数据存储

此处指提供给上位机用于雷达信号分选的 100 个脉冲存储。当上位机开始进行侦察流程时, 给 FPGA 一个触发信号, 当脉冲到来时, 脉冲计数加 1, 该脉冲结束时, 将本次脉冲得到的 TOA、PW、PA、RF 存入 FIFO, 供上位机进行信号分选。由于信号分选出的脉冲还需要进行 STFT 计算, 但分选结果出来之前并不知道哪个脉冲需要进行 STFT 计算, 所以按照脉冲存储的方法将 100 个脉冲的 I/Q 数据及相应地址存入 FIFO, 然后写入 DRAM, 如果在这 100 个脉冲中不能分选出正确的脉冲序列, 重新存储下一组脉冲, 否则, 根据上位机的分选结果 (脉宽, 地址), 用窗按照步长进行滑动, 产生一系列地址, 再去请求 DRAM, 从 DRAM 中读出的数据存入 FIFO, 用于 STFT 计算。该过程如图 8 所示。

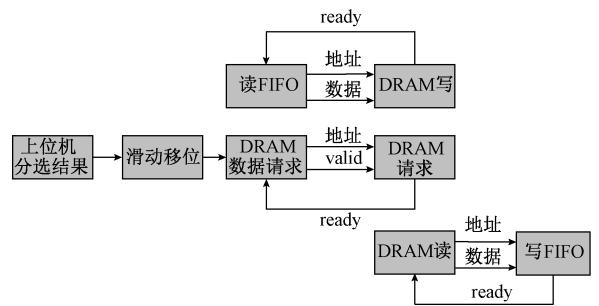


图 8 分选数据存储方式

Fig. 8 Sorting data storage mode

4.4 干扰数据生成

干扰数据主要分为噪声干扰、密集假目标干扰和虚假航迹干扰。噪声干扰由移位寄存器加反馈后形成, 如图 9 所示, 由于图 9 的线性移位寄存器带有反馈, 因此在线性脉冲作用下, 移位寄存器各级的状态不断变化, 通常在移位寄存器的最后一级输出, 在上位机配置噪声干扰数据, 打开噪声干扰使能, 即可释放噪声干扰。

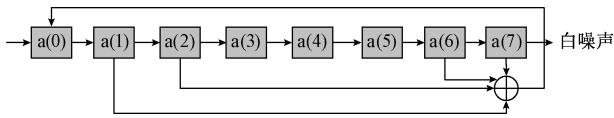


图 9 噪声数据生成
Fig. 9 Noise data generation

密集假目标及虚假航迹的干扰需要用到上位机生成的干扰数据,数据通过两个 DMA_FIFO 发送给 FPGA,一个 FIFO 的数据格式如图 10(a) 所示,PW 为干扰信号脉宽,R 为干扰信号距离雷达的起始距离,PW 和 R 都转换为 FPGA 端的计数值,FPGA 的时钟为 120 MHz,对脉宽 PW 来说,1 μs 对应 120 个计数 150 m 传输距离,所以 1 km 对应 800 个计数。相位表示该干扰对应雷达的方位角 θ ,用整形表示。个数表示在同一个天线转动周期同一方位角有几个干扰数据(最大为 5)。同周期为 0 或者 1,0 表示该天线转动周期内干扰数据都已发送完毕,1 表示该周期内还有数据待发送。另一个 FIFO 中存储干扰速度、加速度、加加速度,其中,速度指生成假目标的速度,加速度指生成假目标的加速度,加加速度指生成假目标的加速度的变化量,数据格式如图 10(b) 所示。

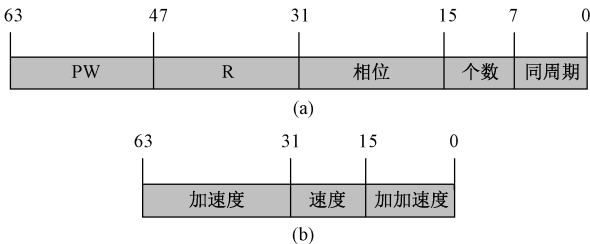


图 10 FIFO 的数据格式
Fig. 10 Data format of FIFO

FPGA 接收两个 FIFO 传来的数据后开始解析内容,并将数据存储在 FPGA 端的簇中。用于后续计算。FPGA 簇的格式如图 11 所示,其中距离个数表示该相位假目标个数。



图 11 FPGA 簇格式
Fig. 11 FPGA cluster format

上位机干扰参数到 FPGA 端进行调制的参数解析的过程用以下状态机实现,如图 12 所示。

上位机将数据写入两个 FIFO 后,使 JAM_EN 拉高,开始 Read FIFO 状态。FPGA 得到干扰数据后,需要根据

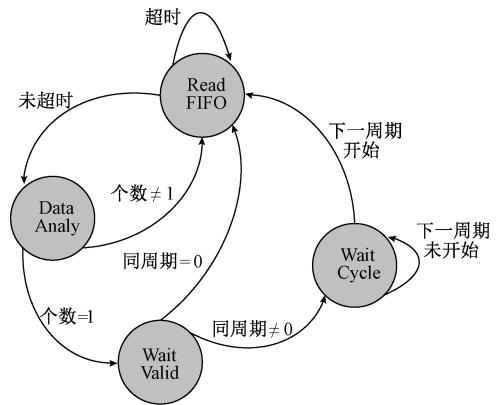


图 12 FPGA 调制状态机
Fig. 12 FPGA modulation state machine

数据计算延迟,确定何时释放调制后的干扰。如图 13 所示,启动后 U64 计数器开始计数,距离信息转换为计数值,1 km 对应 800 个计数,根据加加速度和加速度计算速度信息(速度单位 10 km/s),每 0.1 ms 更新一次距离偏移,距离信息,脉冲到来 TOA 和距离偏移的和与计数器实时比较,一旦相等,产生触发信号,去 FIFO 读取该脉冲的数据。

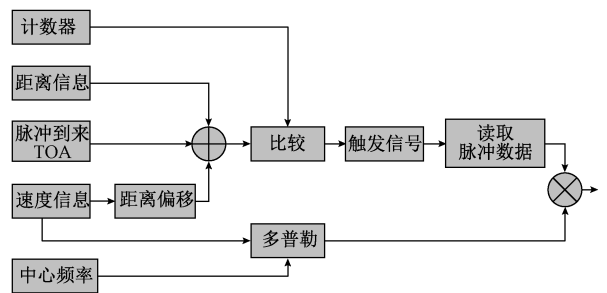


图 13 FPGA 调制过程

Fig. 13 FPGA modulation process

5 系统验证

应用雷达侦察与干扰系统侦察雷达辐射信号并对其实施干扰,对系统的功能及部分主要技术指标进行测试,表 1 为系统关键技术指标测试结果,系统频率范围 20 MHz~18 GHz,瞬时带宽 200 MHz,频率捷变时间 <20 μs ,3 项射频指标优于其他同类行设备,其他射频指标也相对较高。可见,系统具有超宽带、高灵敏度的特点,体现了 VST 硬件架构的设计优势。

雷达信号侦察 PDW 参数(幅值、脉宽、脉冲重复周期、频率),如图 14 所示。系统在接收少量脉冲数的情况下就可以快速侦测出 PDW 参数,而且与脉冲数较大时的侦测结果一致,体现了系统对雷达信号高的截获概率和侦测速度。将侦察参数存储到雷达信号特征库,如果下

表 1 技术指标测试结果

Table 1 Test results of technical indicators

技术指标	数值
频率范围	20 MHz~18 GHz
瞬时带宽	200 MHz
发射功率范围	-60~10 dBm
频率捷变时间	<20 μs
接收信号底噪	<-85 dBm
信号杂散	<-65 dBm
平均噪声密度	<-120 dBm

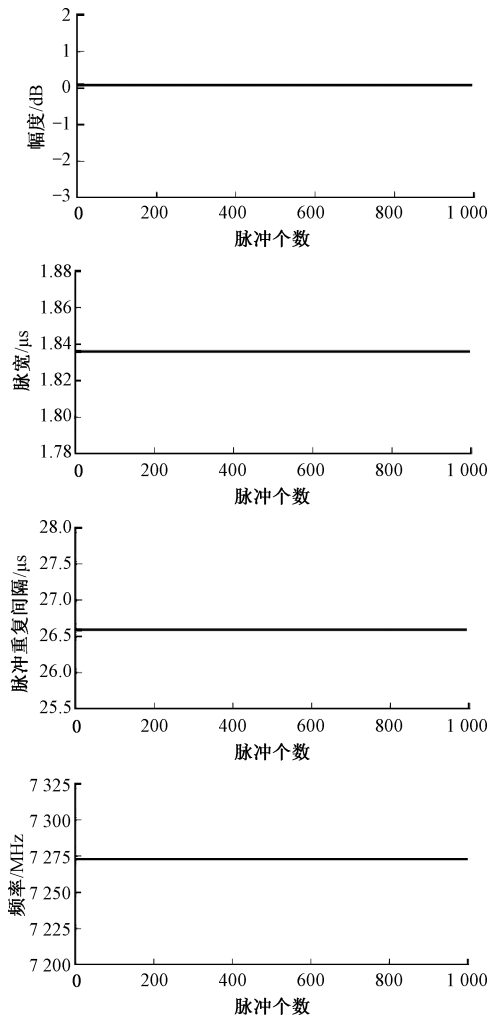


图 14 侦察信号 PDW 参数

Fig. 14 PDW parameters of Reconnaissance Signal

次侦测到该雷达信号,系统可以自动识别出该雷达型号,实现了侦察干扰一体化,确保了今后雷达信号侦察的速度和干扰样式选择的有效性性与针对性。

系统释放点迹/航迹干扰的界面如图 15 所示,通过设置和加载已有的航迹文件,系统可同时生成直线、圆、任意曲线多条航迹,用于模拟单个或多个目标和干扰。干扰点迹可覆盖距离大,可达到 500 km,干扰目标速度可设置为 0~4 000 m/s,加速度可设置为 0~400 m/s²,可

实现不同速度变化、不同航迹的干扰目标,保证了对雷达实施干扰的有效性。界面提供地图显示功能,并支持缩放,扫描线与雷达转动方向同步等功能,直观易于使用。

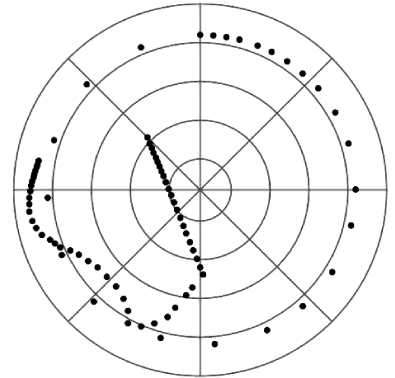


图 15 点迹/航迹干扰

Fig. 15 Dot/track interference display results

系统功能标校示例如图 16 所示。用系统生成一组干扰点迹干扰目标雷达,干扰结束后自动生成干扰数据,保存为虚拟航迹数据文件,将被干扰雷达记录的虚拟航迹保存为雷达数据文件。进入到标校模式后,导入虚拟航迹数据文件和雷达数据文件,进行数据对比,配置的干扰数据和待标校雷达的数据会按照距离、方位进行显示校准。

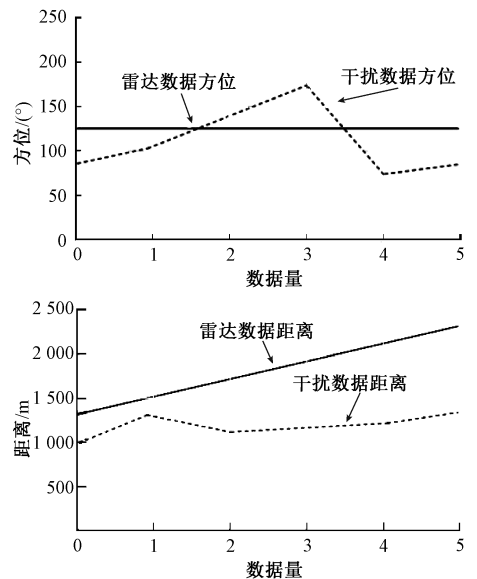


图 16 雷达标校示例

Fig. 16 Example of calibration

参考文献

[1] 任明秋,严革新,朱勇,等.复杂电磁环境下雷达抗干扰性能测试方法研究[J]. 仪器仪表学报, 2016, 37(6):1277-1282.
REN M Q, YAN G X, ZHU Y, et al. Research on radar

- anti-jamming performance test method under complex electromagnetic environment [J]. *Acta Instrumenta Sinica*, 2016, 37(6): 1277-1282.
- [2] 王彩云,何志勇,宫俊. 基于压缩感知的单脉冲雷达欺骗干扰机研究[J]. *北京航空航天大学学报*, 2017, 43(9):1789-1797.
WANG C Y, HE ZH Y, GONG J. Research on monopulse radar deception jammer based on compressed sensing [J]. *Journal of Beijing University of Aeronautics and Astronautics*, 2017, 43(9): 1789-1797.
- [3] 罗德与施瓦茨(中国)科技有限公司. 复杂电磁环境雷达干扰模拟器的实现[J]. *国外电子测量技术*, 2015, 34(7):10-12, 18.
Rhode and Schwarz (China) Technology Co., Ltd. Realization of radar jamming simulator in complex electromagnetic environment [J]. *Foreign electronic measurement technology*, 2015, 34(7): 10-12, 18.
- [4] 张继娜. 基于 FPGA 的雷达超前干扰技术研究[D]. 哈尔滨: 哈尔滨工程大学, 2017: 30-40.
ZHANG J N. Research and implementation of radar advanced jamming technology based on FPGA [D]. Harbin: Harbin Engineering University, 2017: 30-40.
- [5] 焦龙飞, 莫子军. 基于 FPGA 的分布式干扰机实现 [J]. *电子科技*, 2015, 28(9): 89-92.
JIAO L F, MO Z J. Implementation of distributed jammer based on FPGA [J]. *Electronic Science and Technology*, 2015, 28 (9): 89-92.
- [6] 杨文倩, 张炫, 高剑, 等. 一种多频段雷达干扰模拟系统仿真设计 [J]. *火控雷达技术*, 2019, 48(1): 98-101.
YANG W Q, ZHANG X, GAO J, et al. Simulation design of a multi band radar jamming simulation system [J]. *Fire Control Radar Technology*, 2019, 48(1): 98-101.
- [7] 孙鹏. 数字干扰机侦察与发射系统研究与实现 [D]. 成都: 电子科技大学, 2017: 44-54.
SUN P. Research and implementation of digital jammer reconnaissance and launch system [D]. Chengdu: University of Electronic Science and Technology, 2017: 44-54.
- [8] 虎帅, 刘鑫超. 一种雷达目标及干扰模拟器的设计 [J]. *火控雷达技术*, 2018, 47(4): 21-27.
HU SH, LIU X CH. Design of a radar target and jamming simulator [J]. *Fire Control Radar Technology*, 2018, 47(4): 21-27.
- [9] 杨磊, 刘美枝. 虚拟仪器 LabView 在 FPGA 数据采集系统中的应用 [J]. *电子技术与软件工程*, 2018(10): 64.
YANG L, LIU M ZH. Application of virtual instrument LabVIEW in FPGA data acquisition system [J]. *Electronic Technology and Software Engineering*, 2018 (10): 64.
- [10] 徐文波, 田耘. *Xilinx FPGA 开发实用教程* [M]. 北京: 清华大学出版社, 2012: 2-13.
- XU W B, TIAN Y. *Practical Course of Xilinx FPGA Development* [M]. Beijing: Tsinghua University Press, 2012: 2-13.
- [11] 陈树学, 刘莹. *LabVIEW 宝典* [M]. 北京: 电子工业出版社, 2015: 568-603.
CHEN SH X, LIU X. *LabVIEW Encyclopedia* [M]. Beijing: Electronic Industry Press, 2015: 568-603.
- [12] NI 宣布推出第二代矢量信号收发仪的基带版本, 以应对最苛刻的收发仪测试应用 [J]. *电子测量与仪器学报*, 2017, 31(7): 1080.
NI announced the launch of the baseband version of the second generation vector signal transceiver for the most demanding transceiver test applications [J]. *Journal of Electronic Measurement and Instrumentation*, 2017, 31(7): 1080.
- [13] 杨钧皓. 基于 Xilinx FPGA 的通用自动化测试方法研究 [D]. 成都: 电子科技大学, 2014: 22-37.
YANG J H. Research on general automatic test method based on Xilinx FPGA [D]. Chengdu: University of Electronic Science and Technology, 2014: 22-37.
- [14] 田晚成. 基于 FPGA 和 LabVIEW 的某产品自动测试系统设计与实现 [D]. 成都: 电子科技大学, 2019: 16-21.
TIAN W CH. Design and implementation of a product automatic test system based on FPGA and LabVIEW [D]. Chengdu: University of Electronic Science and Technology, 2019: 16-21.
- [15] 李浩, 朱秋明, 陈应兵, 等. 非平稳信道衰落高效模拟方法及硬件实现 [J]. *电子测量与仪器学报*, 2018, 32(1): 159-165.
LI H, ZHU Q M, CHEN Y B, et al. Efficient simulation method and hardware implementation of nonstationary channel fading [J]. *Journal of Electronic Measurement and Instrumentation*, 2018, 32(1): 159-165.
- [16] 虎帅, 刘鑫超. 一种雷达目标及干扰模拟器的设计 [J]. *火控雷达技术*, 2018, 47(4): 21-27.
HU SH, LIU X CH. Design of a radar target and jamming simulator [J]. *Fire Control Radar Technology*, 2018, 47 (4): 21-27.

作者简介



李宝鹏, 2010 年于空军航空大学获得硕士学位, 现为海军航空大学青岛校区讲师, 主要研究方向为雷达信号处理、雷达对抗。

E-mail: af-bpflyen@163.com

Li Baopeng received his M. Sc. degree from Air Force Aviation University in 2010. Now he is alecturer at Naval Aviation University Qingdao Campus. His main research interest includes radar signal processing and radar countermeasures.