

基于 FPGA 的 1553B 总线信号收发和验证

李进方¹ 许爱强² 孙伟超²

(1. 海军航空工程学院研究生管理大队 烟台 264001; 2. 海军航空工程学院科研部 烟台 264001)

摘要:目前,1553B 总线的信号收发多选用专用芯片实现,但此类实现方案存在不能进行总线信号验证、无法获知信号失真、系统拓展性不强等问题。为解决这些问题,选择 FPGA 与 A/D、D/A 相结合的方式,设计总线信号收发和验证模块。经过实验验证,设计的收发模块可以顺利实现 1553B 总线信号的接收解码、发送编码,同时能够获取完整的信号波形,验证其是否符合标准要求,此外具有产生失真波形的功能,为故障模拟打下基础。该模块的逻辑功能都通过 FPGA 实现,后期的升级扩展十分方便。

关键词:1553B 总线;FPGA;总线信号收发;故障模拟

中图分类号: TN919 **文献标识码:** A **国家标准学科分类代码:** 510.50

Transceiver and validation of 1553B bus signal based on FPGA

Li Jinfang¹ Xu Aiqiang² Sun Weichao²

(1. Graduate Student Brigade, Naval Aeronautical Engineering Institute, Yantai 261001, China;
2. Department of Science Research, Naval Aeronautical Engineering Institute, Yantai 261001, China)

Abstract: At present, sending and receiving signals in the 1553B bus always relied on special chips, but there were some problems with such implementation scheme, such as unable to verify bus signal or obtain signal distortion, and without enough system expansibility. To solve these problems, this paper chose the combination of FPGA and ADC, DAC, to design a bus signal transceiver and validation module. After experimental verification, the transceiver module designed in this paper could not only realize the reception decoding and sending coding of 1553B bus signal, but also obtain the whole signal waveform to verify whether it meet standard. In addition, this transceiver module had function of generating the distorted waveform, so that laid a foundation for fault simulation. Besides, all the logic functions of this transceiver module were realized by FPGA, it would be easy to upgrade and extend.

Keywords: 1553B bus; FPGA; bus signal receiving and sending; fault simulation

0 引言

1553B 总线是一种数字式时分制多路传输数据总线,主要用于军用航空电子系统数据传输网络的构建,同时也在军用车辆系统、舰船系统和卫星系统的数据传输过程中发挥着重要作用^[1-3]。

对于总线信号的收发,目前主要通过专用芯片实现^[4-5]。文献[6]中的总线接口设计方案是使用模拟收发器 HI-1567 芯片将总线信号转换为 CMOS/TTL 电平的串行信号。但这种采用收发芯片的方案,由于无法获得完整的信号波形,不能验证其是否符合标准,很难发现信号失真,为总线系统的故障诊断和排除带来不便。

此外,由于专用芯片的功能相对固化,造成系统可拓展性不强。

为解决这些问题,拟采用 FPGA 与 A/D、D/A 相结合的方式取代专用芯片,实现总线信号收发^[7]。首先,利用 FPGA 设计一种总线信号收发模块;然后通过 A/D 从总线采集信号,利用总线信号收发模块从信号中解码出并行数据,并把需要发送的数据编码后通过 D/A 传输到总线上。经实验验证,所提出的总线信号收发模块设计方案可以获得完整的信号波形、及时发现波形畸变;同时可以发送失真波形、具有一定故障模拟功能;由于全部逻辑功能都是通过 FPGA 实现,为后期使用中的功能扩展奠定了基础。

1 设计思路

1.1 1553B 总线数据格式

1553B 总线上的信息流由消息组成,每条消息包含若干个字节,字的类型分为数据字、命令字和状态字 3 种,字长均为 20 位时,包括 3 位同步头、16 位数据位和 1 位校验位^[8]。

总线上传输的数据码是曼彻斯特 II 型双相电平码,编码规则如图 1 所示。在每一位时的中点发生过零跳变,从负电平跳至正电平表示逻辑 1,从正电平跳至负电平表示逻辑 0。

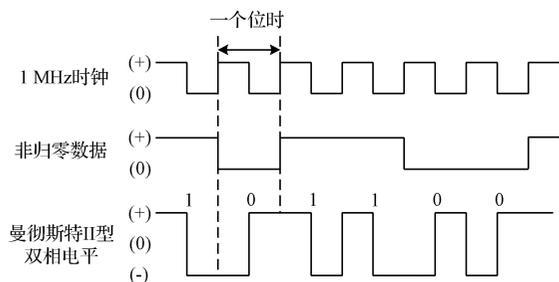


图 1 曼彻斯特 II 型双相电平的编码规则

1.2 总体设计

1553B 总线信号收发模块的原理如图 2 所示。总体设计思路为:将总线信号经变压器耦合接 A/D 输入端,A/D 采集数据送 FPGA 处理,接收模块进行曼彻斯特码的解码,得到总线上传输的数据;发送模块把需要发送的数据进行曼彻斯特码的编码,输出数据送 D/A,D/A 输出信号经变压器耦合传输到总线上。

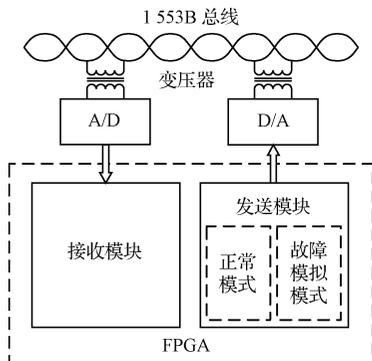


图 2 数据收发模块的原理

2 设计实现

由于该数据收发模块主要实现解码和编码两个功能,故将其划分为接收、发送两个功能模块,分别设计实现。此外,为模拟信号波形的失真,发送子模块包括正常模式和故障模拟模式两部分。

2.1 接收子模块

接收子模块的流程如图 3 所示,主要功能是通过 A/D

采集总线信号,根据曼彻斯特码的编码规则进行解码,获取总线上的数据^[9-10]。主要步骤包括:

- 1) 检测同步头;
- 2) 接收 16 位数据位和 1 位校验位;
- 3) 数据解码和校验验证。

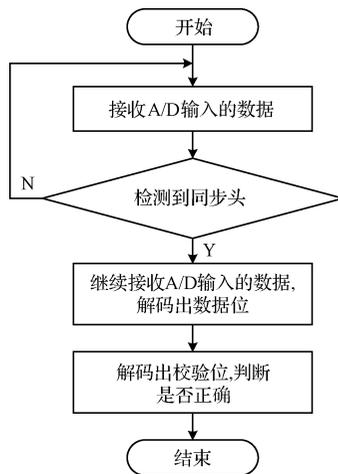


图 3 接收子模块的流程

为顺利完成上述步骤、保证程序语句简洁高效,在接收子模块中设计了状态机^[11],其状态转移图如图 4 所示。其中,SYNC_FRONT 状态和 SYNC_BACK 状态对应同步头的检测,WORD 状态对应数据位的接收,CHECK 状态对应校验位的接收。

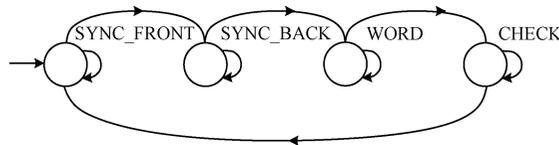


图 4 接收子模块的状态转移图

2.1.1 检测同步头和判断字类型

根据曼彻斯特码的编码规则,同步头是一个字的起始标志,因此同步头的检测成为解码过程的首要步骤。

如图 5 所示,同步头持续 3 个位时,其过零跳变发生在第 2 位时的中点,所以把同步头的检测分为两步。

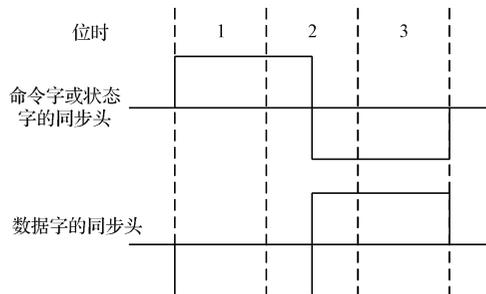


图 5 同步头的类型

- 1) 在 SYNC_FRONT 状态,接收 A/D 的采样数值,一

方面同步头检测 0/1 计数器 sync_count_0/sync_count_1 计数,另一方面等待跳变的到来。当检测到跳变时,判断 sync_count_0/sync_count_1 的计数值,若其中一者大于设定的门限值,则进入 SYNC_BACK 状态。

2)在 SYNC_BACK 状态,同样接收 A/D 的采样数值, sync_count_0/sync_count_1 清零后继续计数,等待 1.5 个位时后(通过数据位采样计数器 word_sample_count 控制),再判断 sync_count_0/sync_count_1 的计数值,若其中另一者大于设定的门限值,表明检测到了合法的同步头,进入 WORD 状态。

这里对 sync_count_0、sync_count_1 和 sync_sample_count 作出说明。

如图 6 所示, sync_count_1 是同步头检测接收壹计数器, sync_count_0 是同步头检测零计数器,分别计数在同步头检测期间采样得到正电平和负电平的次数。状态机进入 SYNC_FRONT 状态或 SYNC_BACK 状态时开始工作,每当时钟上升沿到来时,分别判断 A/D 采样数值 A/D_input 与正电平门限 Positive_Level 和负电平门限 Negative_Level 的大小关系。若采样数值小于负门限,则 word_count_0 加 1,若采样值大于正门限,则 word_count_1 加 1。发生状态跳转时, sync_count_0 和 sync_count_1 计数清零。

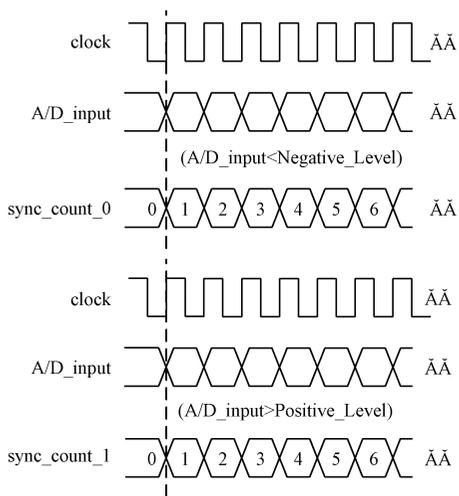


图 6 同步头检测零/壹计数器的时序图

如图 7 所示, sync_sample_count 是同步头采样计数器,在同步头检测后半段控制 1.5 个位时(即 1 500 ns)的等待时间。状态机进入 SYNC_BACK 状态时开始计数,每当时钟上升沿到来时加一,计数范围是 0~29。由于时钟周期为 50 ns,计数 30 个时钟周期共 1 500 ns,就相当于 1.5 个位时。同样,发生状态跳转时, sync_sample_count 计数清零。

在同步头检测过程中,检测跳变的同时进行字类型判断。如图 5 所示,命令字或状态字的同步头是前一个半位时为正电平、后一个半位时为负电平,而数据字的同步头

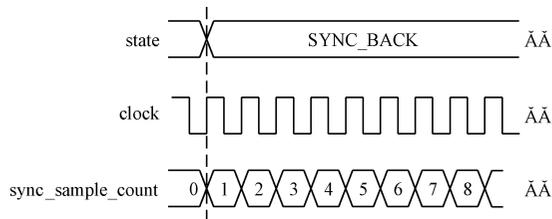


图 7 同步头采样计数器的时序图

则相反。若检测到上升沿,则为数据字,字类型 word_type 赋值为 1;若检测到下降沿,则为命令字或状态字, word_type 赋值为 0。

2.1.2 接收数据位和校验位

得到合法的同步头之后,开始接收数据位。继续接收 A/D 的采样数值,数据位接收 0/1 计数器 word_count_0/word_count_1 计数,16 个位时采样完成后(通过数据位采样计数器 word_sample_count 控制),进入 CHECK 状态。

数据位接收完成后,还有一位校验位需要接收。同样接收 A/D 的采样数值,校验位接收 0/1 计数器 check_bit_count_0/check_bit_count_1 计数,采样持续一个位时后(通过校验位采样计数器 check_bit_sample_count 控制),一个字接收完成,返回 SYNC_FRONT 状态

这里数据位、校验位的接收 0/1 计数器,与 2.1.1 中叙述的同步头检测 0/1 计数器相类似,不同的是 word_count_0、word_count_1、check_bit_count_0、check_bit_count_1 的计数范围都限制为 0~9。因为每位数据位及校验位均只持续 1 个位时,其过零跳变发生在每个位时的中点;又由于 1 个位时是 1000 ns,而采样时钟是 50 ns,所以每半个位时应采样 10 次。

数据位、校验位的采样计数器,与 1.1.1 中的同步头采样计数器也相类似。进入 WORD 状态时, word_sample_count 开始计数,计数范围是 0~319;进入 CHECK 状态时, check_bit_sample_count 开始计数,计数范围是 0~19。

接收数据位的同时,还有一项重要操作正在进行,就是把接收到的各位数据暂存起来。如图 8 所示,每当 word_sample_count 计数 10 次时(即分别当计数至 9、19、29……时),判断 word_count_0/word_count_1 的数值,若 word_count_0 >= judge_limit,则表明采样到负电平,接收暂存器 word_temporary[31:0] 的对应位赋值为 0;反之,若 word_count_1 >= judge_limit,则表明采样到正电平, word_temporary[31:0] 的对应位赋值为 1。其中, judge_limit 是判决门限。

2.1.3 解码处理和接收完成

解码处理工作包括:

首先,从接收暂存器 word_temporary[31:0] 中解码出接收到的数据 word[15:0]。 word_temporary[31:0] 的每两位就对应 word[15:0] 的 1 位。例如,若 word_temporary[32:31] 为 10 则 word[15] 赋值为 1,反之若为 01 则赋值为 0。

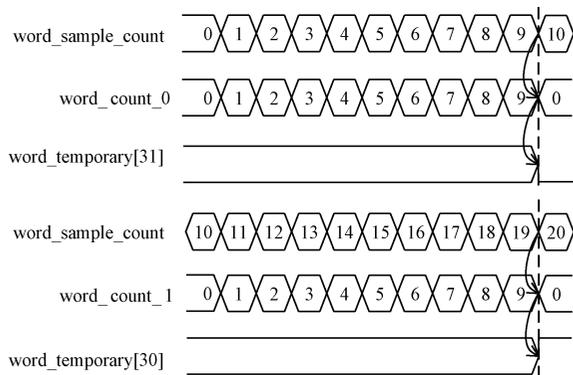


图8 接收寄存器的时序图

其次,对 word[15:0]进行奇校验,并将校验结果 parity_check 与接收的校验位 check_bit 比较,若两者一致则给出校验位正确的标志 check_bit_right(高电平有效)。

最后,若接收过程中 word_temporary[31:0]和 word[15:0]的各位赋值均未出现错误,且校验位正确,则给出接收数据有效的标志 received_word_valid(高电平有效),向下游模块表明 1 个字接收完成,且接收到的数据是有效的。

2.2 发送子模块

2.2.1 正常模式

正常模式下,发送子模块的流程如图 9 所示,主要功能是把需要发送的数据按照曼彻斯特码的编码规则进行编码转换,并通过 D/A 发送到总线上^[12]。主要步骤包括:

- 1)对要发送的数据进行奇校验和编码,并根据字的类型确定同步头类型;
- 2)依次发送同步头、数据位和校验位。

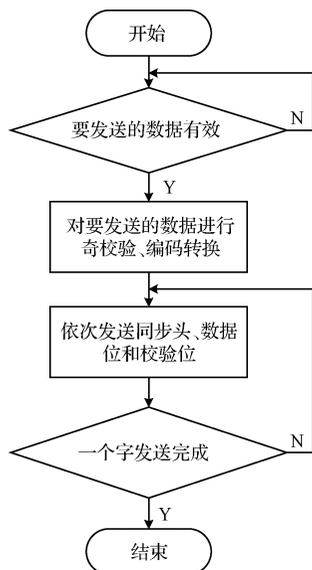


图9 发送子模块正常模式的流程

(1)发送前准备

发送前的准备是编码过程的第 1 步,主要工作包括:首先,对要发送的数据 word[15:0]进行奇校验,得到

奇校验结果 parity_check。

其次,根据字类型 word_type、word[15:0]和 parity_check,确定发送暂存器 word_temporary[39:0]。

发送一个字共 20 位时,包括 3 位同步头、16 位数据和 1 位校验位。因此,用 40 位的发送暂存器 word_temporary[39:0]存放编码后的数据,作为发送各位数据时输出正/负电平的依据。其中,前 6 位 word_temporary[39:34]代表同步头,000111 表示数据字的同步头、111000 表示命令字或状态字的同步头;中间 32 位 word_temporary[33:2]代表要发送的数据,每两位对应 word[15:0]的一位,10 表示逻辑 1、01 表示逻辑 0;最后 2 位 word_temporary[1:0]代表奇偶校验位,编码方式与数据位相同。

以上过程均采用直接赋值的方式。

(2)逐位串行发送

1553B 总线上的位传输速率是 1 Mb/s(1 000 ns/b),而本模块的工作时钟为 20 MHz(50 ns),因此发送 1 位数据要持续 20 个时钟周期。

如图 10 所示,bit_time_count 是位持续时间计数器,当发送数据有效标志 word_valid 为高电平时开始 0~9 重复计数,直到整个字发送结束。10 个时钟周期的持续时间,相当于曼彻斯特码的半个位时。在这 10 个时钟周期内,向 D/A 输出的数据保持不变。

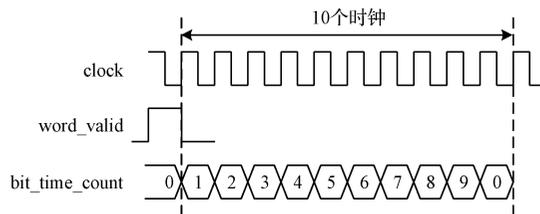


图10 位持续时间计数器的时序图

通过修改 bit_time_count 的计数值,可以改变每位数据的持续时间,从而控制数据传输速率。

如图 11 所示,bits_number_count 是位数计数器,加 1 的条件是 bit_time_count 计数至 9,计数范围是 0~39。与上述 bit_time_count 相结合,0~39 的计数时间共相当于 20 个位时,即发送 1 个字的持续时间。

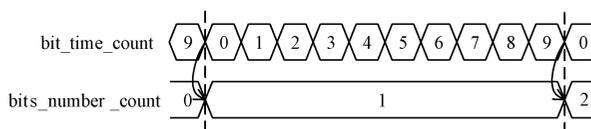


图11 位数计数器的时序图

由于最高有效位在先发送,在确定输出电平时,是从 word_temporary[39:0]的最高位开始的。

根据 bits_number_count 寻址,找到 word_temporary[39:0]中当前对应位的数值,以确定输出电平。每当 bit_time_count 计数至 0 时,判断当前 word_temporary[39:bits_number_count]的数值。若该位数据为“1”,则向D/A

输出 1 个代表正电平的数值,从而 D/A 转换输出 1 个正电平;否则向 D/A 输出 1 个代表负电平的数值,从而 D/A 转换输出一个负电平。

(3)发送结束

当一个字的 20 位全部发送完成后,给出发送结束的标志 ready_for_word(高电平有效)。具体条件是 bits_count_number = 39 且 bit_time_count = 9。ready_for_word 有效时不仅表示一个字发送结束,也向上游模块表明,可以接收下次发送的数据。

2.2.2 故障模拟模式

在故障模拟模式下,发送模块可以模拟两种失真波形:一种是上升时间和下降时间过长,另一种是波形过零点的时间偏差过大。GJB 289A 规定:终端的输出波形,上升时间和下降时间应为 100~300 μs,波形过零点与理想过零点的偏差应小于等于 ±25 ns^[6]。

发送上升时间和下降时间过长的波形,实现方法是将波形数据存入 ROM,依次读取数据送给 D/A 芯片。流程如图 12 所示。存储的数据代表了一个字的完整波形,共 1 000 个数据点。该模块使用 50 MHz(20 ns)的时钟信号,所以发送一个字的持续时间为 20 000 ns。

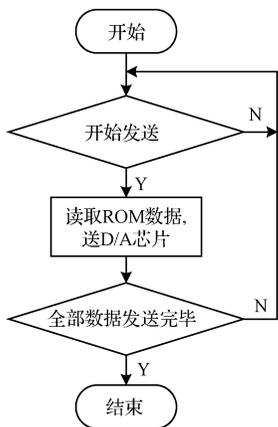


图 12 发送子模块故障模拟模式的流程

发送过零点时间偏差过大的波形,基本流程与正常模式相同,通过延长每个位时的持续时间,相邻两次过零点的偏差就随之增大了。该模块的时钟信号为 50 MHz(20 ns),位持续时间计数器 bit_time_count 若计数 25 个时钟周期则符合要求,若增加 2 个时钟周期则过零点的时间偏差为 +40 ns。

3 仿真与实物验证

3.1 ModelSim 仿真

为了验证其是否符合预期要求,首先利用 ModelSim 对所编写的程序进行功能仿真。仿真结果简述如下。

3.1.1 接收子模块

1.1.1 中提到,同步头的捕获需同时满足两个条件:一是 AD 采集数据跳变沿到来,二是 sync_count_0 或 sync

_count_1 的计数值大于一定门限(设置为 27)。如图 13 所示为检测同步头的仿真结果。在 SYNC_FRONT 状态 (state=00),A/D 数据的下降沿到来时, sync_count_1 > 27,满足条件;进入 SYNC_BACK 状态 (state = 01)后, sync_sample_count 开始计数,计数值达到 29 时, sync_count_0 > 27,满足条件,进入 WORD 状态 (state = 11)。仿真结果与设计预期是一致的。

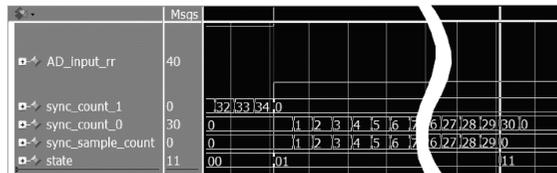


图 13 检测同步头的仿真结果

捕获同步头后,开始接收数据。如图 14 所示为接收一位数据的仿真结果。首先判断 AD 数据与正/负电平门限的关系,word_count_0 或 word_count_1 进行相应的计数;其次,当 word_sample_count = 9 时满足 word_count_0 >= 7, word_temporary[31]赋值为 0,当 word_sample_count = 19 时满足 word_count_1 >= 7, word_temporary[30]赋值为 1,最后根据 word_temporary[31:30] = 01, word[15]赋值为 0。仿真结果与设计预期是一致的。

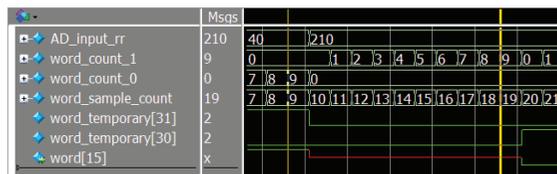


图 14 接收一位数据的仿真结果

数据位和校验位接收完成后,开始校验处理。如图 15 所示为校验处理的仿真结果。check_bit 是接收到的校验位, parity_check 是对接收数据进行奇校验的结果。当 check_bit_sample_count = 19 时,满足 check_bit 与 parity_check 相等的条件,则将 check_bit_right 置 1;此外,满足没有错误且校验位正确两个条件,则将 received_word_valid 置 1。仿真结果与设计预期是一致的。

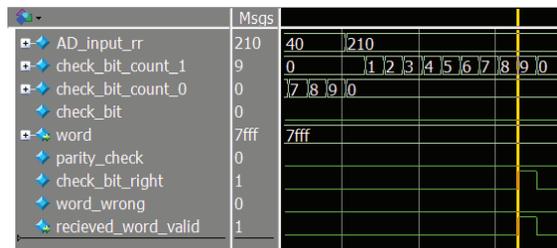


图 15 校验位验证的仿真结果

综合上述仿真结果,表明接收子模块在仿真环境下能够实现解码和校验的功能、达到了设计目的。

3.1.2 发送子模块

1) 正常模式

如图 16 所示,仿真发送一个字共持续 20 000 ns,包括 3 位同步头、16 位数据和 1 位校验共 20 位,平均每位持续 1 000 ns。仿真结果符合曼彻斯特码的编码要求,表明发送子模块的正常模式达到了设计目的。

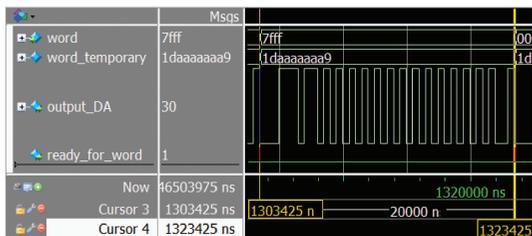


图 16 正常模式下发送一个字的仿真结果

2) 故障模拟模式

发送上升时间和下降时间过长的波形,仿真结果如图 17 所示,上升沿和下降沿相比正常模式较平缓。

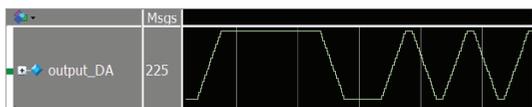


图 17 发送上升时间和下降时间过长波形的仿真结果

发送过零点时间偏差过大的波形,仿真结果如图 18 所示,发送一个字共持续 21 600 ns。对比图 16 可知,平均每位的持续时间比正常模式增加了 40 ns。

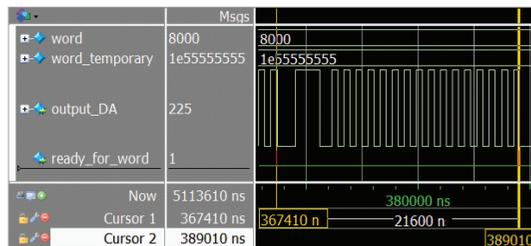


图 18 发送过零点时间偏差过大波形的仿真结果

上述仿真结果表明,在仿真环境下,发送子模块的故障模拟模式能够按照预期发送故障波形、实现了设计的功能。

3.2 实物验证

利用 FPGA 开发板对所编写的程序进行测试,测试其实现设计功能的情况。使用的开发软件为 Quartus II 13.1, FPGA 开发板型号为 AX301, FPGA 芯片型号为 Cyclone IV EP4CE6F17C8, D/A 和 A/D 芯片型号分别为 AD9708 和 AD9280,示波器型号为 DSO-X 3032A。针对接收子模块和发送子模块分别进行测试,结果简述如下。

3.2.1 接收子模块

将 D/A 输出端口与 A/D 输入端口相连,通过 Signal-Tap 工具观察接收子模块的工作状态,如图 19 所示。其中 5555h 是接收的上一数据,AAAAh 是本次接收的数据,received_word_valid 置 1,表明本次接收到的数据是有效。接收子模块能通过 A/D 输入的采样数值,解码出的数据并校验正确,实现了曼彻斯特码的解码功能^[13-14]。

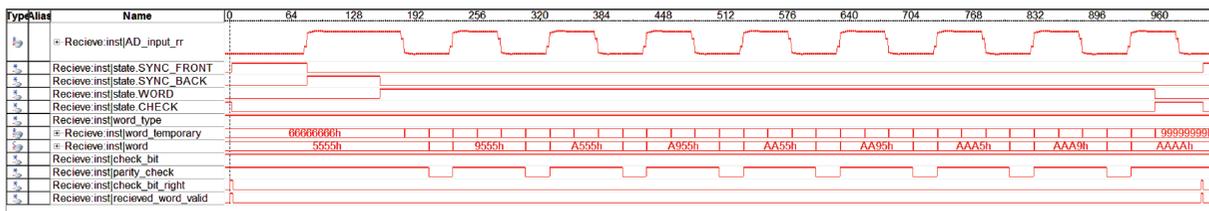


图 19 用 SignalTap 观察接收子模块的工作状态

3.2.2 发送子模块

通过示波器观察 D/A 输出的波形,将示波器的水平通道设为 5 μ s/格,垂直通道设置为 2 V/格。

图 20 所示为一个字的完整波形,图 20(a)是正常波形、图 20(b)是过零点时间偏差过大的波形,其基本形式与仿真结果是一致的。测量一个字的持续时间,正常波形约为 20.050 μ s、故障波形的约为 21.600 μ s。

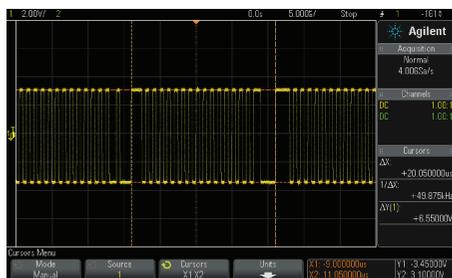
用示波器测量上升时间和下降时间,将示波器的水平通道设为 500 μ s/格,垂直通道设置为 2 V/格。

如图 21 所示,图 21(a)是正常波形、图 21(b)是上升时间和下降时间过长的波形,正常波形的上升时间和下降时间分别为 30.3 ns 和 29.3 ns,故障波形的分别为 327.8 ns 和 334.8 ns。

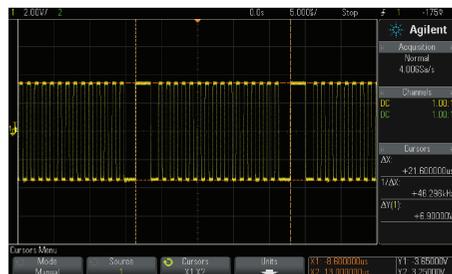
综上,从正常波形看,D/A 输出信号基本符合曼彻斯特码的标准要求,发送子模块的正常模式实现了数据编码和发送的功能^[15];从故障波形看,发送子模块的故障模拟模式能够产生失真信号,实现了故障模拟功能。

4 结论

基于 FPGA 设计的 1553B 总线信号收发模块,通过 A/D 采样总线信号,根据采样数值完成数据解码和校验,之后进行数据编码,通过 D/A 转换为总线信号。实验结果表明,所设计的总线信号收发模块实现了 1553B 总线信号的接收解码和发送编码,同时能够实现信号波形的一致性验证或产生失真波形,为故障诊断与故障模拟打下基础,达到了设计目的。

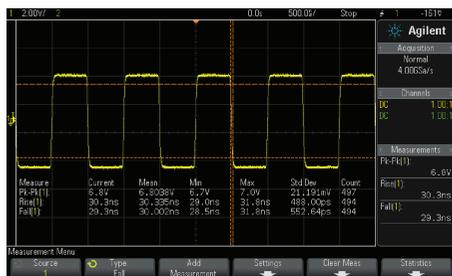


(a) 正常模式

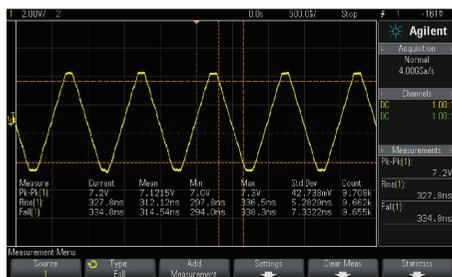


(b) 故障模拟模式

图20 用示波器观察 D/A 输出的波形



(a) 正常模式



(b) 故障模拟模式

图21 用示波器测量波形的上升时间和下降时间

参考文献

[1] SRIKRISHNA E, MOHAN L M, PRASAD A M. Development of MIL-STD-1553B synthesizable IP core for avionic applications [J]. International Journal of Computer Science Issues, 2011, 8(5): 488-491.

[2] 严中毅, 李凯. 测量仪器与现代微电子、计算机和软件技术的融合[J]. 电子测量与仪器学报, 2015, 29(5): 631-637.

[3] 赵杰, 甄国涌, 王宇, 等. 基于 FPGA 的 1553B 总线测试系统设计[J]. 科学技术与工程, 2013, 13(34):

10337-10343.

[4] 杨勇, 王占领, 张登福. 一种 1553B 总线协议编解码器的设计研究[J]. 电子器件, 2016, 39(1): 46-50.

[5] 汤晓曦, 尹蕾, 许晏, 等. 基于 FPGA 的曼彻斯特编解码器设计[J]. 电子设计工程, 2011, 19(23): 171-173, 177.

[6] 谢拴勤, 宋洁, 宋怀达. 基于 FPGA+DSP 的 1553B 总线通用接口设计与实现[J]. 计算机测量与控制, 2009, 17(1): 183-186.

[7] 张淑梅. 基于 ARM+FPGA 的高精度数据采集系统设计[J]. 国外电子测量技术, 2014, 33(11): 62-65.

[8] 国防科学技术工业委员会. GJB 289A-97 数字式时分制指令/响应型多路传输数据总线[S]. 北京: 国防科工委军标出版发行部, 1997: 3-5.

[9] PADMANABHAM K, KANUGO P, CHANDRA SHEKAR M, et al. MIL-STD-1553 bus protocols IP core implementation in FPGA to realise system-on-chip (SOC): testing, validation & Analysis[J]. International Journal of Advancements in Research & Technology, 2016, 8(5): 29-35.

[10] 申志永, 胡昌华, 何华锋, 等. MIL-STD-1553B 总线接收器 IP 核设计[J]. 电子测量技术, 2011, 34(5): 68-69, 76.

[11] 姚君. 基于状态机方法的 CAN 总线通信的 FPGA 实现[J]. 国外电子测量技术, 2015, 34(3): 64-68.

[12] 梁孟亨, 胡聪, 盘书宝. 基于 FPGA 的高性能信号源模块设计[J]. 国外电子测量技术, 2012, 31(4): 64-67.

[13] 王占领, 张登福, 李云杰. 基于 ARM 和 FPGA 的 1553B 总线设备检测系统的设计[J]. 计算机工程与科学, 2014, 36(6): 1005-1010.

[14] 支超有, 杨强, 李霞. 1553B 数据总线仿真检测技术研究及应用[J]. 计算机测量与控制, 2013, 21(10): 2632-2633.

[15] 国防科学技术工业委员会. GJB 5186.5-2004 数字式时分制指令/响应型多路传输数据总线测试方法 第 5 部分: 系统测试方法[S]. 北京: 国防科工委军标出版发行部, 2004.

作者简介

李进方, 1992 年出生, 硕士研究生, 主要研究方向为 1553B 总线测试。

E-mail: lijinfang92@qq.com

许爱强, 1963 年出生, 博士、教授、博士生导师, 主要研究方向为电子装备测试和故障诊断技术。

E-mail: xuaiqiang1963@163.com

孙伟超, 1986 年出生, 博士、助理研究员, 主要研究方向为智能故障诊断。

E-mail: ben_phoenix@163.com