

基于 IEEE 1500 标准的 IP 核内建自测试设计

冷 冰 谈恩民

(桂林电子科技大学电子工程与自动化学院 桂林 541004)

摘 要: 针对内建自测试(BIST)技术在 SoC 测试上的应用问题,提出了一种在 IEEE 1500 标准下对 IP 核的 BIST 设计方法。该方法根据 IEEE 1500 标准的测试结构和规范研究讨论了测试壳的各个组成单元,实现了测试壳在各种工作模式下的指令操作,并结合 BIST 的工作原理设计了测试控制器的结构和工作流程。最终以 8 位超进位加法器为例,在 Quartus II 环境下对整个测试系统进行了功能验证。验证结果表明,IEEE 1500 测试壳可在 BIST 控制器作用下正确完成指令和数据传输,本设计对 IP 核的测试功能有效可行。

关键词: IP 核测试;内建自测试;IEEE 1500 标准

中图分类号: TN407 **文献标识码:** A **国家标准学科分类代码:** 460.40

Design of BIST testing IP core based on IEEE 1500 standard

Leng Bing Tan Enmin

(Institute of Electrical Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: Base on the SoC test application problems of built-in self-test (BIST) technology, this paper presents a design method of BIST for testing IP cores under IEEE 1500 standard. According to the test structure and norm of IEEE 1500 standard, this method discusses each modules of the test wrapper. Also, the instructions of test wrapper are accomplished in various operating modes. What's more, the structure and work flow of the test controller base on the BIST theory is designed. Finally, setting the eight bit adder as an example, function verification for this test system is achieved in the environment of Quartus II. Verification results show that IEEE 1500 wrapper is able to complete the transmission of instructions and data at the work of BIST controller. The function of testing IP cores is effective and feasible.

Keywords: IP core test; BIST; IEEE 1500 standard

1 引 言

随着片上系统 SoC(system on chip)集成度的迅速发展,作为具有相对独立功能模块的 IP(intellectual property)核被综合应用并大量集成,这样不仅影响了设计成果的可控性和可观察性,也使测试开销成为其生产代价的主要部分^[1-2]。作为一种可测性(DFT)设计方法,BIST 技术大大提高了设计的可测性和易测性,为大规模集成电路节约了测试成本^[3]。因此,探索如何利用 BIST 技术实现对 SoC 内 IP 核的测试具有十分重要的研究意义。

2005 年 3 月,嵌入式核测试技术委员会正式通过了 IEEE 1500 标准,其主要集中于测试壳、测试壳和 TAM 之间接口标准化的问题^[4]。该标准可在测试控制器的作用下对 IP 核实施测试访问、隔离和保护等行为,从而实现内

测试模式和其他工作模式间的切换作用,有效的优化了对 IP 核的测试效率和测试成本。国内外对这一方面进行了深入研究:文献[5]将 IEEE 1500 的 TAM 测试策略应用于嵌入式芯核的测试,文献[6]通过将测试壳单元与 BIST 技术相结合提出了一种改进的内核测试壳单元结构,文献[7]在该标准下设计了适用于片内存储器的测试壳结构和 BIST 控制器,并以验证了测试的有效性。

将 IEEE 1500 标准的测试封装技术与可测性设计结合起来,以应用较广泛的随机逻辑电路型 IP 核为被测对象设计了基于 BIST 方法的测试控制器,主要完成对 Wrapper 通信接口的控制、对测试数据读写操作的完成、以及结果的判断等基本功能,研究实现了在 IEEE 1500 标准下对 IP 核的 BIST 功能。

收稿日期:2015-05

2 BIST理论与IEEE 1500标准测试壳结构概述

BIST 控制器是整个测试系统的核心,测试壳为连接在控制器与被测 IP 核间的传输接口。BIST 控制器根据工作模式产生对应过程所需的控制指令和测试矢量,通过对测试壳控制输入给 IP 核,并收集测试响应数据,通过比较分析得到测试结果,最终实现在 IEEE 1500 标准下对 IP 核的 BIST 功能。

下面对 BIST 相关理论和 IEEE 1500 标准测试壳结构进行具体介绍。

2.1 BIST 基本原理

BIST 构成主要包括逻辑控制器、测试生成器和响应分析器^[8]。其基本工作原理如图 1 所示。正常模式下,原始输入通过模拟开关加载到被测电路中,进行正常工作后得到原始输出;测试模式下,测试矢量生成器在控制器作用下生成测试向量,进而加载到被测电路中,并将输出进行响应分析;响应分析时,由测试控制器将正确响应与压缩后的响应分析比较,得到最后的测试结果。

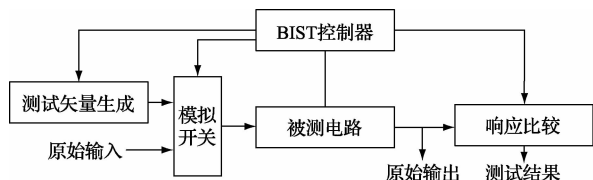


图 1 BIST 一般原理

2.2 IEEE 1500 标准的测试壳结构

IEEE 1500 定义了一个环绕在 IP 核周围的测试壳 (Wrapper),即为嵌入式 IP 核与其外围电路间定义了一个标准接口^[9]。该测试壳具有可拓展性,支持串行和并行两

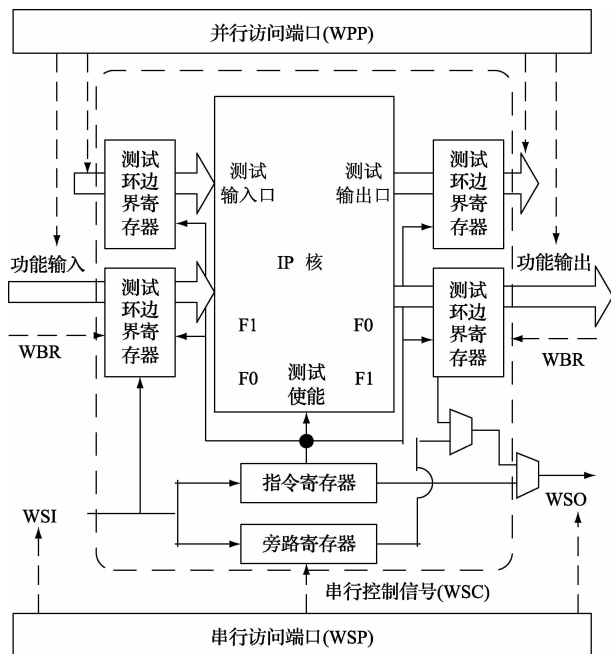


图 2 IEEE 1500 标准测试壳结构

种测试访问机制,可根据测试壳的结构和工作方式设计相应的测试指令集,由测试控制器在测试壳外实现对 IP 核的内测试、外测试及旁路测试。其结构^[10-11]如图 2 所示。

本设计中的测试壳主要由 4 个单元组成:测试壳边界寄存器 WBR、旁路寄存器 WBY、控制接口 WIP、指令寄存器 WIR。测试系统采用串行访问机制,并根据 IEEE 1500 标准的规范内容设计了指令码为 4 位的工作模式指令集,如表 1 所示。

表 1 工作模式指令集

指令	指令码	功能描述
WS_normal	0000	正常功能模式
WS_Bypass	0001	旁路工作模式
WS_Exttest	0010	串行外测试
WBCIN_shiftin	0011	测试数据移入操作
WBRupdate	0100	测试数据更新操作
WBRcapture	0101	测试数据捕获操作
WBCOUT_shiftout	0111	测试数据移出操作 3

3 基于 IEEE 1500 标准的 BIST 控制器设计

3.1 BIST 控制器的结构设计

BIST 控制器不仅要完成控制 Wrapper 标准通信接口、生成测试矢量和收集测试响应以及判断响应结果,还要产生完整的测试指令以确保测试得以在各种工作模式下顺利进行。BIST 控制器的结构如图 3 所示。

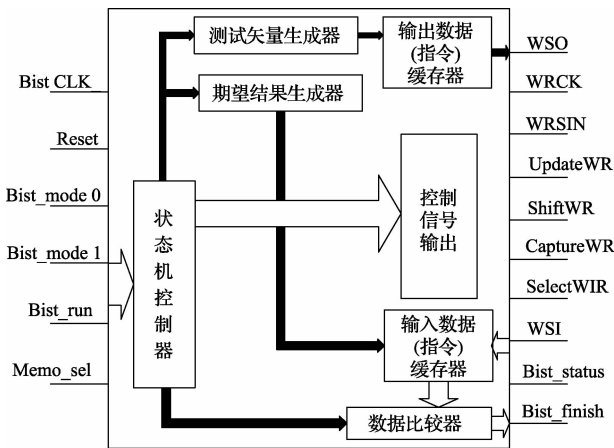


图 3 BIST 控制器结构

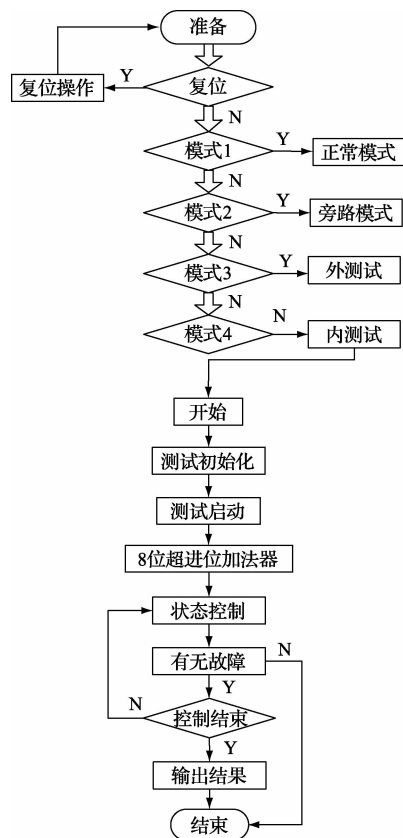
BIST 控制器与外部连通的各个信号端口具体定义如下:

- 1) Bist_CLK 控制器的时钟端口。
- 2) Reset 控制器的复位端口,低电平有效。
- 3) Bist_run 测试控制器的启动端口,高电平有效。
- 4) Bist_mode0 和 Bist_mode1 测试控制器操作模式选择端口。
- 5) Memo_sel 被测对象选择端口。
- 6) WSO 测试控制器的串行输出端口。

9) Bist_finish 内测试模式下测试结束指示端口,低电平表示测试未结束,高电平表示测试结束。

WRCK、WRSTN、UpdateWR、ShiftWR、SelectWIR、CaptureWR 为 BIST 控制器对嵌入式 IP 核的 WIP 的控制信号,从而保证 Wrapper 按工作时序正确工作。

BIST 控制器的工作流程如图 4 所示,主要是根据接收到的指令使测试壳完成在不同工作模式下的操作。测试壳的工作模式包括正常、旁路、外测试和内测试 4 种。其中,BIST 控制器在内测试模式下的运行方式是实现本设计的关键。



中国科技核心期刊

本设计采用 Verilog HDL 语言在 Quartus II 环境下进行了验证。在被测 IP 核的选择上,随机数字逻辑电路作为 SoC 系统内部的基本组成部分,相关的测试问题尤为重要。故本设计在初步功能验证中,选用功能实现简单的随机数字逻辑电路作为被测电路,即以 8 位超进位加法器 ADD 为作为被测 IP 核。

ADD 的输入信号 vector 共有 17 位,其中 vector[7:0] 和 vector[15:8]为两个加数,vector[16]为初始进位。输出信号 cutout 共有 9 位,cutout[7:0]为进行加法运算之后的和,cutout[8]为运算结果的位。ADD 加装 1500 标准测试壳封装结构如图 5 所示。

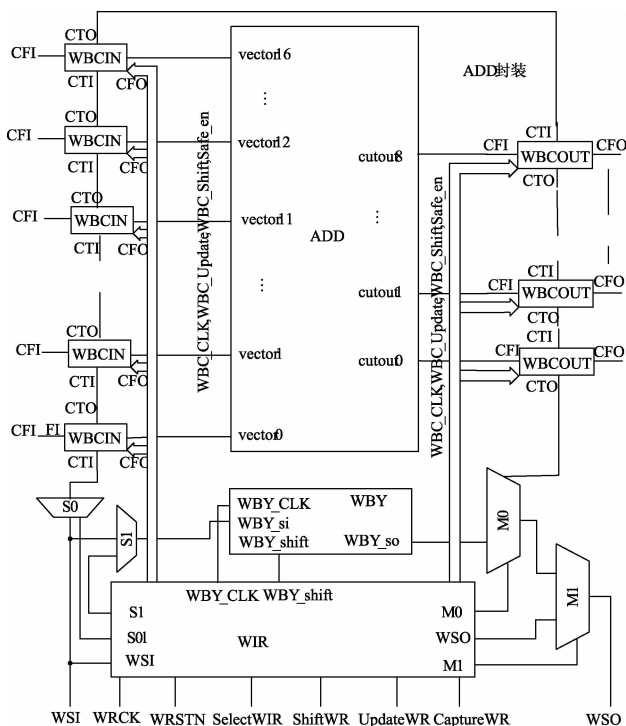
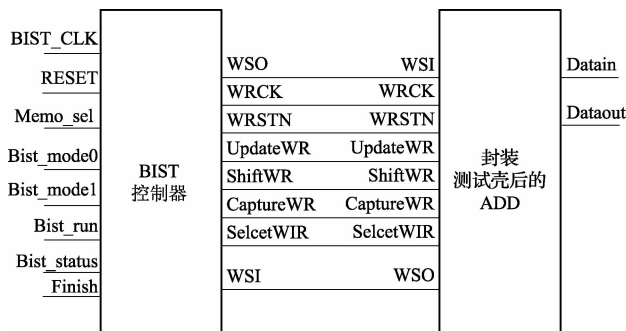


图 6 给出了控制器与封装壳相连接的结构,它们共同组成了本设计的验证系统。因本设计中未涉及外部电路,故验证内容不包括外测试模式。



4.1 非测试模式下的功能验证

过程如图7所示。

非测试模式包括正常工作模式和旁路模式两种,验证

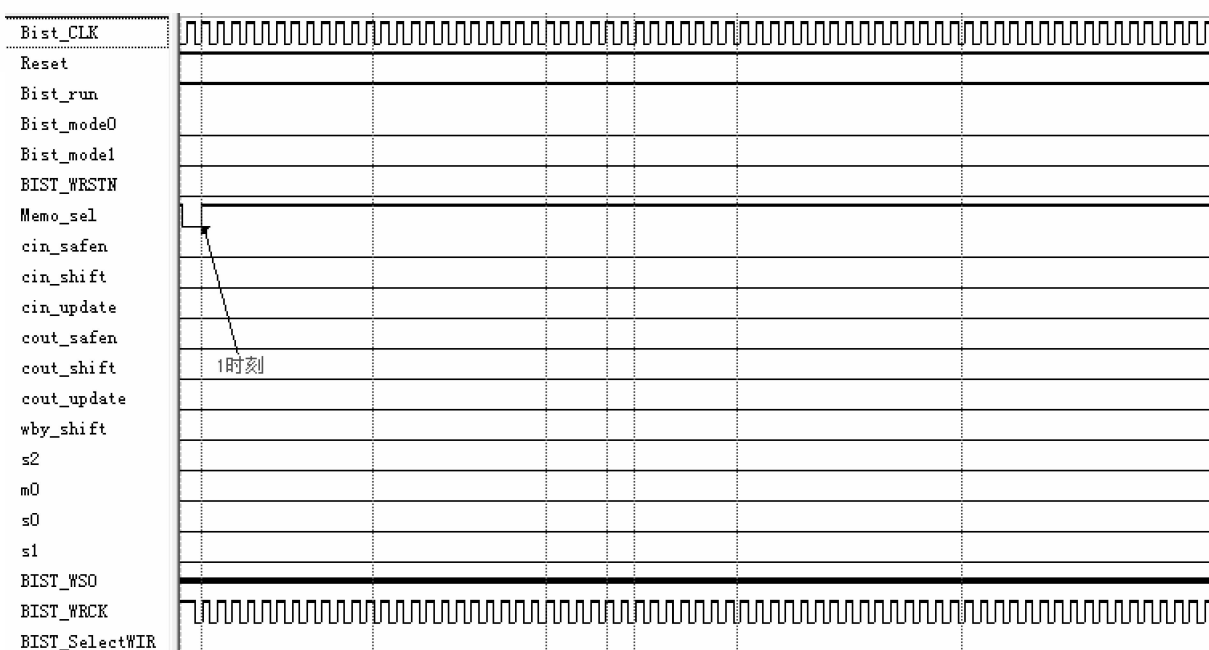


图7 ADD的正常工作模式仿真

图7中从1时刻起,Mode0和Mode1置为00,正常工作模式开始。在该模式下,测试壳对被测IP核而言是透

明的。随着控制指令0000的写入,WIR在控制下输出的控制信号decodes为000000_0_00_1_00。

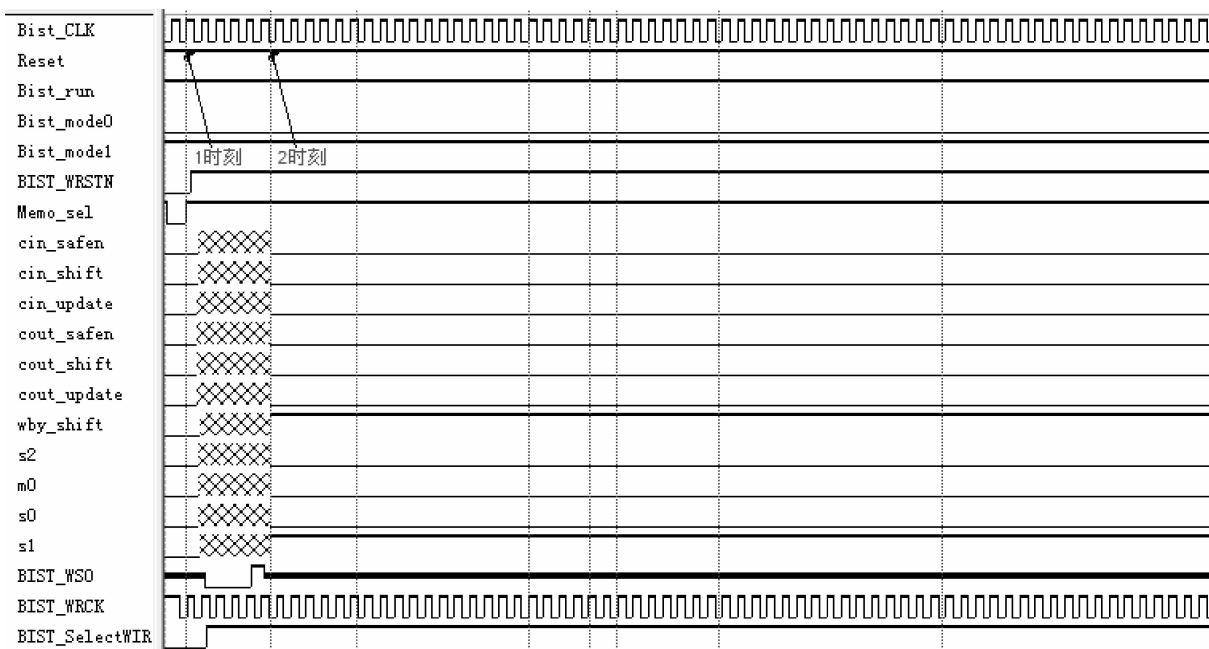


图8 ADD的旁路模式仿真

图8中从1时刻起 Mode0、Mode1 的值为 01。此时

控制器向 WIR 输入测试指令 0001,WIR 在 2 时刻对测试

指令进行译码,输出控制信号 decodes 为 000000_1_01_1_01。

4.2 内测试模式下的功能验证

当 Mode0、Mode1 端口输入值置为 11 时,整个测试系统进入串行内测试模式。ADD 在内测试过程中有故障和无故障情况的仿真如图 9 和 10 所示。

ain 和 bin 为两个 8 位二进制的加数,cin 为输入进位,s 为进行超进位加法运算后得到的和,co 为输出进位。图 9 中,从 1 时刻开始 ain 每隔一段时间进行逐级递增,与此

同时 bin 只输入了 0 和 1 两个值,进位位 cin 为 0。对应时间段 s 以偶数序列逐级递增,co 保持低电平不变。从此处可知运 ADD 存在故障。对应的,测试控制器在 2 时刻输出的测试错误标志位 Bist_status 由 0 变为 1,表示发现故障,测试结束标志位 Bist_finish 也由 0 变 1,表示测试结束。在图 10 中 1 时刻起相同的加数与进位输入情况,同样时间段内的测试结果正确,ADD 没有出现故障,测试控制器输出的 Bist_status 一直为 0,表示没有发现故障,Bist_finish 也一直为 0,代表测试还在继续进行。

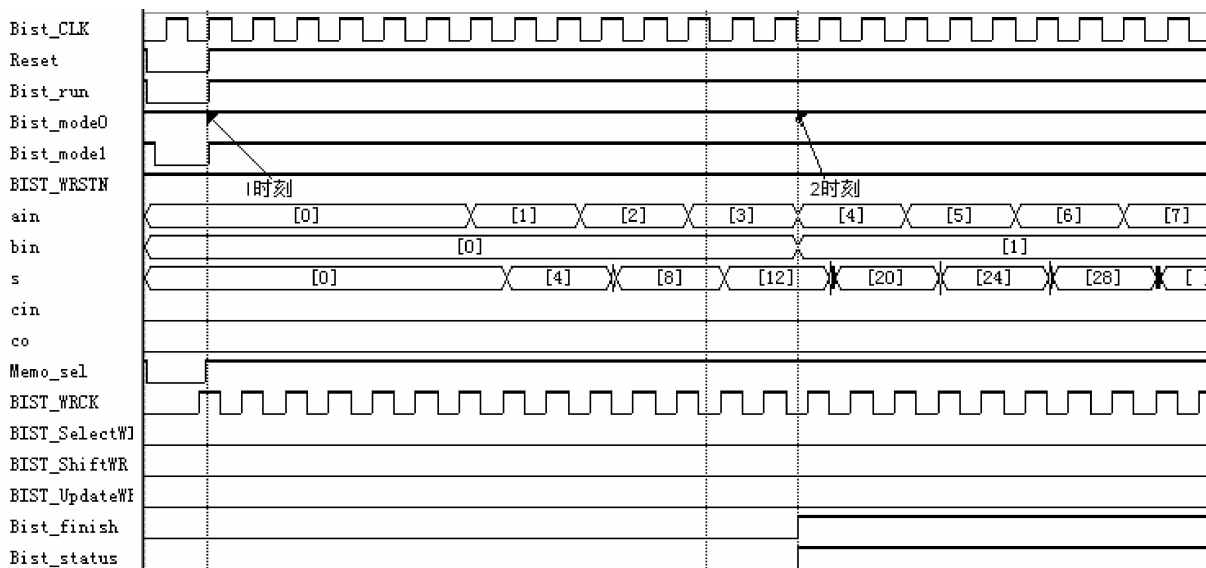


图 9 ADD 在内测试模式下的有故障仿真

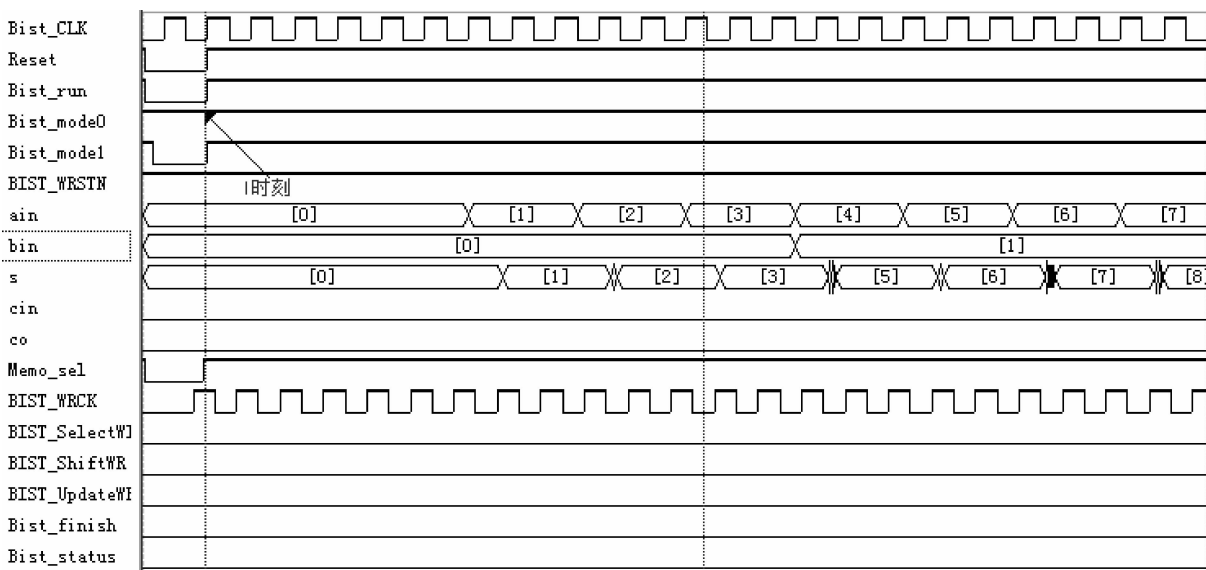


图 10 ADD 在内测试模式下的无故障仿真

从以上仿真情况可知,BIST 控制器可按照 IEEE 1500 标准的规范测试壳结构实现对被测 IP 核的控制操

作,设计的控制指令可通过指令寄存器译码来切换测试壳的工作模式。当测试壳处于内测试模式时,控制器内部可根据被测 IP 核生成测试矢量和期望相应数据,并对读取得到的响应数据和期望数据进行比较,最终得到正确的测试结果。经验证本设计有效可行。

不仅如此,考虑到本设计基于 IEEE 1500 标准具有方便实现工作模式切换的特点,后续可针对同一系统中多个 IP 核的 BIST 测试复用问题进行进一步研究。

5 结 论

IP 核作为 SoC 系统中具有灵活性和适应性的可复用功能块,其可测性和易测性直接影响到所设计产品的优劣问题。本文讨论总结了基于 IEEE 1500 标准的 BIST 工作原理和测试结构,研究实现了测试封装壳在各种工作方式下的功能指令,重点设计了支持测试壳工作的 BIST 控制器,并以随机数字逻辑电路型 IP 核为例对设计内容进行了功能验证。实验结果证明设计部分对于一般性 IP 核有效可行,在 IEEE 1500 标准下对 IP 核的 BIST 研究具有长远前景。

参 考 文 献

- [1] 赵丽丽,谈恩民,王海超. 优化 SOC 测试时间的扫描链平衡及 NSGA-II 设计[J]. 国外电子测量技术, 2014, 33(7):32-35.
- [2] 田芳宁. 逻辑分析仪自动测试系统设计与实现[J]. 电子测量技术, 2014, 37(3):86-88.
- [3] TIAN G Y, ZHOU X Y, IBUKUN D, et al. Pulsed electromagnetic non-destructive evaluation and applications[J]. Instrumentation, 2014, 1(1):15-28.
- [4] 乔立岩,向刚,俞洋,等. 基于 IEEE 1500 标准的 IP 核测试壳设计[J]. 电子测量技术, 2010, 33(7):88-91.
- [5] 魏岩,靖固,洪开. 基于嵌入式芯核测试的 IEEE std1500 标准[J]. 微计算机信息, 2009, 25(11):138-140.
- [6] 朱爱军,李智,许川佩. 三维 IP 核测试封装扫描链多目标优化设计[J]. 电子测量与仪器学报, 2014, 28(4):373-380.
- [7] 陈泳宇,陈圣俭,朱晓兵,等. 基于 IEEE 1500 的嵌入式芯核外壳测试封装设计[J]. 微电子学, 2014, 44(55):683-686.
- [8] 朱敏,杨春玲,孔德晶. 模拟电路内建自测试故障特征提取与优化[J]. 仪器仪表学报, 2013, 34(1):200-207.
- [9] 张颖,吴宁. 基于 SOC 测试的 IEEE P1500 标准[J]. 电子测量技术, 2007, 30(5):119-121.
- [10] IEEE Std 1500. IEEE Standard Testability Method for Embedded Core Based Integrated Circuits[S]. 2005.
- [11] 贺显龙,雷加. 层次型 IP 核测试环单元的设计[J]. 国外电子测量技术, 2010, 29(5):56-59.

作 者 简 介

冷冰, 1989 年出生, 硕士研究生。主要研究方向为仪器仪表工程。

E-mail: maggie_527504003@qq.com

谈恩民, 1966 年出生, 教授。主要研究方向为计算机辅助测试和集成电路可测性技术。

E-mail: tem0315@guet.edu.cn