

基于状态机方法的 CAN 总线通信的 FPGA 实现*

姚 君

(中国科学院长春光学精密机械与物理研究所 长春 130033)

摘 要: 为了克服单片机固有的缺陷,并使程序设计易读、易扩展,提出了一种基于 FPGA+SJA1000 方案的 CAN 总线通信实现方法。该方法使用状态机设计 CAN 总线的初始化过程和数据收发过程,并有独立的数据通道状态机单元满足 SJA1000 读写时序的要求。测试结果表明,该方案可以稳定可靠地实现 CAN 总线通信。与传统的单片机方案相比,该方案扩展性好、稳定性高,并降低了体积、重量和功耗;与现有的 FPGA 方案相比,程序设计易读、易扩展,当双方通信协议发生变化时,只需修改相应的状态机便可适应新的协议要求,具有很高的灵活性。

关键词: FPGA;SJA1000;CAN 总线通信;状态机

中图分类号: TN919.6 **文献标识码:** A **国家标准学科分类代码:** 510.99

Implementation of CAN bus communication in FPGA
using state machine method

Yao Jun

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Science, Changchun 130033, China)

Abstract: In order to overcome the inherent shortcomings of MCU and make the software design easy to understand and expand, this paper presents a new method to implement CAN bus communication in FPGA based on FPGA+SJA1000 architecture. This method utilizes state machine to design the initialization, data receiving and data sending of CAN bus communication. It also has an independent data channel module to meet the timing requirement between FPGA and SJA1000. Test results show that this CAN bus communication system is able to work stably and reliably. Compared with conventional designs based on MCU, this system has lower volume, weight and power consumption, and is also more steady and easier to expand; compared with existing designs based on FPGA+SJA1000 architecture, its software design is easier to understand and expand. Additionally, this design proves to be flexible and easily modified when communication needs call for changes.

Keywords: FPGA; SJA1000; CAN bus communication; state machine

1 引 言

控制器局域网(controller area network,CAN)总线是 ISO 国际标准的串行通信协议,是应用最广泛的现场总线之一^[1]。由于其具有数据传输率高、抗干扰能力强和成本低的特点,CAN 总线已被应用于汽车^[2]、舰船^[3]、雷达^[4]等各类分布式控制系统中,在小卫星和微小卫星中也得到了越来越广泛的应用,如我国发射的航天“清华一号”和“纳星一号”等小卫星都采用了主从两套的 CAN 总线作为星上数据总线^[5-7]。

传统的 CAN 总线数据通信系统中,通常采用 MCU+

SJA1000 的方案^[8-10]。但是单片机受到强电磁干扰时容易出现程序跑飞的现象,这使它在航天控制的应用中受到很大的限制。另外,在需要复杂算法的信号处理场合下,单片机速度慢、资源少的缺点也限制了其应用。此外,CAN 总线接口时序设计的重点是接口控制逻辑必须符合关键参数的读写时序要求。鉴于此,采用 FPGA+SJA1000 的方案以求很好地解决上述问题。

在现有的文献叙述中,FPGA+SJA1000 方案的实现方法较为单一,当通信需求发生变化时,不易修改,同时对 FPGA 与 SJA1000 接口时序的实现没有清楚的说明^[5,11-12]。基于 FPGA+SJA1000 的方案、采用状态机的

收稿日期:2014-12

* 基金项目:国家 863 计划(2013AA122102)项目

方法实现 CAN 总线通信。与传统的 MCU 方案相比,扩展性高、稳定性好,减轻了重量、体积和功耗;与现有的 FPGA 方案相比,其优点在于使用了状态机进行设计,并有独立的满足读写时序要求的模块^[13],程序易读、时序易控,当双方通信协议改变时,只需修改状态机便可适应新的协议要求,具有很高的灵活性。方案已成功应用于某星载雷达通信接口设计中。

2 CAN 总线通信接口的硬件设计

CAN 总线通信接口的硬件电路设计如图 1 所示。

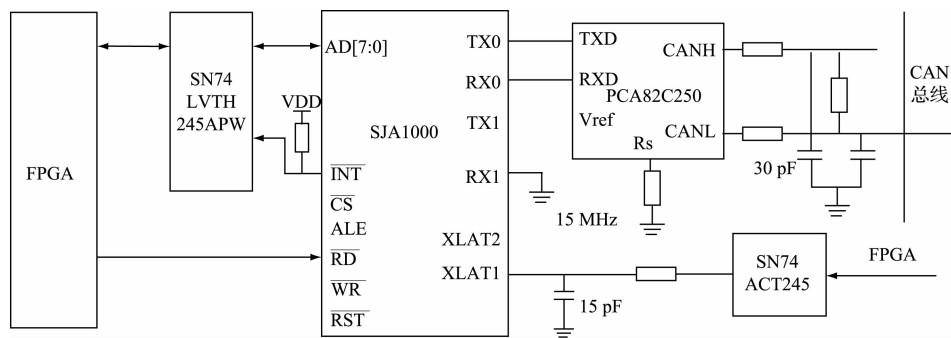


图1 CAN 总线通信接口的硬件电路设计

3 CAN 总线通信接口的软件设计

CAN 总线通信的软件设计分为顶层设计和模块级设计。下面首先介绍顶层设计,然后说明各模块的设计。

3.1 顶层设计

顶层设计如图 2 所示。数据通道状态机单元用于实现 FPGA 与 SJA1000 通信的读写时序要求。初始上电时, FPGA 对 SJA1000 进行初始化, 以设置工作模式、通信波特率、验收滤波器等信息。初始化成功后, 使能数据发送单元和数据接收单元。选择器单元根据 CAN 总线的工作状态将初始化单元、数据接收单元或数据发送单元与数据通道状态机连接, 以使相应的工作单元读写 SJA1000 的寄存器。其中, 初始化单元和数据发送单元通过数据通道状态机向 SJA1000 寄存器写入数据, 而数据接收单元则是读 SJA1000 寄存器, 以获取传送的数据和相应的 CAN 总线状态信息。

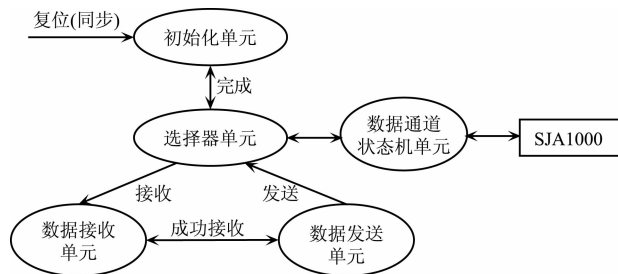


图 2 CAN 通信接口软件设计顶层结构

FPGA 外围 IO 管脚电平为 LVTTTL 电平,而 SJA1000 的电平为 TTL 电平,因此,需要在 FPGA 与 SJA1000 之间增加总线驱动芯片进行电平转换,设计中采用的是 TI 公司的 SN74LVTH245APW。此外,FPGA 和 SJA1000 之间的通信为双向通信,必须考虑总线驱动芯片的方向控制以及输出使能信号,设计中将 FPGA 的 2 个 IO 接口连接到 SN74LVTH245APW 的输出使能信号 $\overline{OE}$ 和输入输出端口转换信号 DIR 管脚,在读写切换过程中通过控制以上两个管脚的电平来控制信号的流向。

3.2 数据通道状态机单元

FPGA 与 SJA1000 的通信过程就是对 SJA1000 内部寄存器的读写过程, FPGA 为主控制器, SJA1000 为从器件。如果 FPGA 要对 SJA1000 进行读/写操作, 首先应给出读/写的地址, 然后按照 SJA1000 的读/写时序完成一次读/写过程。数据通道单元正是用于实现 FPGA 与 SJA1000 进行通信的时序要求。数据通道单元设计采用状态机实现, 状态转换过程如图 3 所示。状态机的输入信号为读/写数据的地址、写入的数据、读/写标志以及状态机触发信号(触发信号触发状态机的状态转换)。

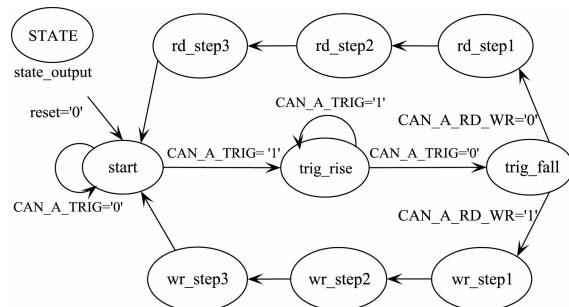


图 3 FPGA 与 SJA1000 接口数据通道状态机

FPGA 与 SJA1000 接口所用的控制信号包括:地址锁存信号 ALE、片选信号 CS、读信号 RD、写信号 WR、控制 SN74LVTH245 的输入使能信号 $\overline{\text{OE}}$ 和输入输出

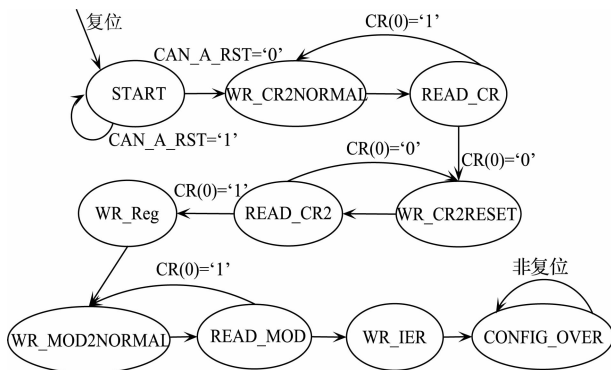
The timing diagram illustrates the operation of the CAN controller. Key signals include:

- ck_20m**: 20 MHz clock signal.
- reset**: Reset signal, active low.
- can_a_brig**: CAN bus flag.
- can_a_rld_vr**: CAN bus ready/valid signal.
- can_a_wr_addr**: CAN bus write address.
- can_a_wr_data**: CAN bus write data.
- can_a_ad**: CAN bus address.
- can_a_sel**: CAN bus select signal.
- can_a_cri**: CAN bus control signal.
- can_a_rld**: CAN bus ready signal.
- can_a_wr**: CAN bus write enable signal.
- can_a_dr**: CAN bus data register.
- can_a_oe**: CAN bus output enable signal.
- can_a_rld_data**: CAN bus ready data signal.
- data_valid**: Data valid signal.
- present_state**: Present state signal.
- next_state**: Next state signal.
- mux_sel**: Multiplexer select signal.
- ad_en**: Address enable signal.
- rd_cntrl**: Read control signal.

The diagram shows the relationship between these signals and the CAN bus data (00, 01, AA, F0) over time.

3.3 初始化 SJA1000 单元

FPGA 与 SJA1000 的数据交互是通过数据通道状态机单元来实现的,初始化过程的一个状态代表一次读/写寄存器的过程,而进行一次读/写寄存器的操作则需要数据通道状态机的一次状态循环。数据通道状态机的一次状态循环需要 6 个频率为 30 MHz 的时钟周期,考虑一定的裕量,设定初始化的一个状态为 10 个时钟周期,即连续 2 次数据读/写寄存器的间隔为 10 个时钟周期。为此,将输入时钟进行十分频得到频率为 3 MHz 的时钟信号,用这个时钟的上升沿来进行状态的转换以及数据通道状态机的启动。初始化状态转移如图 5 所示。

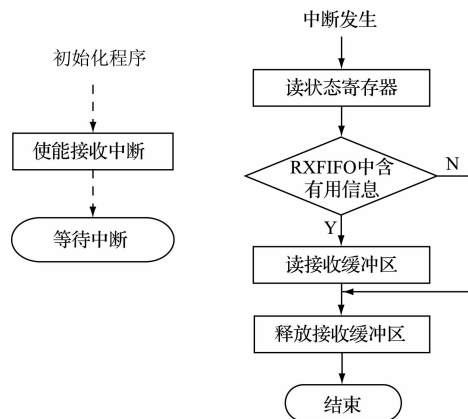


状态说明如下：

- START: 初始状态, 硬件复位以后的状态;
- WR_CR2NORMAL: 写控制寄存器 CR 使 SJA1000 进入正常工作模式;
- READ_CR: 读 CR 以判断 SJA1000 是否进入了正常工作模式, 若没有进入正常工作模式, 则循环读 CR 直到 SJA1000 进入正常工作模式;
- WR_CR2RESET: 当 SJA1000 进入正常工作模式后, 通过写 CR 使 SJA1000 进入复位模式, 即软件复位;
- READ_CR2: 第 2 次读 CR, 判断 SJA1000 是否进入了软件复位模式。如果 SJA1000 进入了复位模式, 则可以配置 SJA1000 初始化所需要配置的寄存器; 如果还未进入复位模式, 则通过循环读 CR 直到 SJA1000 进入复位模式;
- WR_Reg: 配置寄存器, 分别写时钟分频器、模式寄存器、验收代码寄存器、验收屏蔽寄存器、总线定时寄存器、输出控制寄存器;
- WR_MOD2NORMAL: 写 MOD 以配 SJA1000 回到正常工作模式;
- READ_MOD: 读 MOD 以判断 SJA1000 是否进入了正常工作模式, 若没有进入正常工作模式, 则状态跳转到 WR_CR2NORMAL, 重新配置 SJA1000 使其返回到正常工作模式;
- WR_IER: 写中断使能寄存器以使能接收中断;
- CONFIG_OVER: 配置结束状态, 当初始化结束后, 输出初始化成功标志。

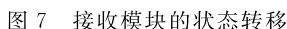
初始化成功之后, SJA1000 恢复到正常工作模式, 开始进行数据的收发工作。

数据的接收采用中断方式,在初始化单元中已经使能了接收中断。当 SJA1000 接收到一帧完整的数据之后,就会产生一个中断,通过在中断管脚 CAN_A_INT 上输



中国科技核心期刊

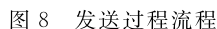
同初始化过程类似,数据的接收过程也是采用状态机实现,其状态转移如图 7 所示。



- START:起始状态,复位后的状态;
- wait_int:等待中断到来;
- rd_ir:读中断寄存器;
- rd_sr:读状态寄存器;
- rd_ID10_3:读信息标示符的高 8 位;
- rd_ID2_0:读信息标示符的低 3 位;
- rd_RTR_DLC:读取远程发送请求位 RTR,帧信息数据长度代码位 DLC;
- rd_data1:读数据字节 1;
- rd_data2:读数据字节 2;
- rd_data3:读数据字节 3;
- release_R_buffer:释放接收缓冲区;

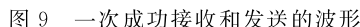
3.5 数据发送单元

同初始化过程和数据接收过程一样,数据的发送也采用状态机实现。这里不再赘述。



FPGA 与 SJA1000 进行通信是通过数据通道状态机单元实现的。系统上电之后, FPGA 首先配置 SJA1000 的工作参数, 然后等待接收中断, 中断产生后数据接收单元开始接收数据, 完成接收后数据发送单元开始数据的发送过程。初始化单元、数据接收单元以及数据发送单元都需要通过数据通道状态机单元进行数据的读写。因此, 需要一个逻辑接口单元, 将不同的模块单元和数据通道状态机进行连接, 选择器单元正是实现这一功能。具体而言, 初始化 SJA1000 单元、数据接收单元和数据发送单元拥有不同的标志信号, 选择器根据该信号判断 CAN 总线的工作状态, 然后将相应的触发信号、地址、数据、读/写控制等与数据通道状态机连接, 完成读写 SJA1000 的工作。

本设计在 Modelsim 6.5 软件平台上进行了仿真,并在实际工程中得到了验证。实际测试中,系统运行良好,稳定可靠。图 9 为实验中一次成功接收数据和发送数据的波形。



仿真波形图中,当 CAN_A_RD_WR = '1'时,FPGA 向 SJA1000 的寄存器写入数据,进行数据的发送;CAN_

A_RD_WR = '0'时,FPGA 读取 SJA1000 的寄存器中的数据,完成数据的接收。结果表明了所设计功能模块的正确性,同时,与现有的 FPGA+SJA1000 方案相比,其优点在于使用了状态机进行设计,并有独立的满足读写时序要求的模块,程序易读、时序易控,当双方通信协议改变时,只需修改状态机便可适应新的协议要求,具有很高的灵活性。

5 结 论

CAN 总线具有统一的国际标准和优良的性能,在分布式控制系统中得到了越来越广泛的应用。采用 FPGA+SJA1000 的方案实现 CAN 总线通信,具有扩展性好、稳定性高的优点,同时可以降低重量、体积和功耗,有利于空间应用。软件结构上,具有独立的通信接口单元,同时使用了状态机进行初始化和数据收发单元的设计,这样当双方协议发生变化时,修改状态机便可适应新的协议要求,具有程序易读、时序易控和灵活性高的优点。

参 考 文 献

- [1] 饶运涛,邹继军,王进宏,等. 现场总线 CAN 原理与应用技术[M]. 北京:北京航空航天大学出版社,2007: 1-2.
- [2] 王跃飞,侯亮,刘菲,等. 基于 FPGA 的汽车 CAN 网络实时管理系统设计[J]. 电子测量与仪器学报,2013, 27(8):721-728.
- [3] 杨华伟,万正权. CAN 总线在船舶结构安全监测系统中的应用[J]. 电子测量与仪器学报,2014,28(5): 553-559.
- [4] 叶明傲,谭剑波,熊毅. CAN 总线技术在某大型雷达控制系统中的应用[J]. 国外电子测量技术,2011, 30(6):75-78.
- [5] 周新发,尚志,刘群. 工业现场 CAN 总线在航天控制领域的应用[J]. 现场总线与网络技术,2006(1): 60-63.
- [6] 陶志刚,李晴. 航天器工程小卫星星载 CAN 总线的应用层 传输方法研究[J]. 航天器工程,2011,20(5): 103-107.
- [7] 陈萍,姜秀杰. 基于 FPGA 的 CAN 总线通信系统[J]. 计算机测量与控制,2009,17(12):2482-2484.
- [8] 林海军,赵晓娜,杜雪珍,等. 基于 C8051F041 的 CAN 口操控器的研制[J]. 电子测量技术,2011,34(6): 51-54.
- [9] 赵明渊,胡永辉. 基于单片机的 Profibus-CAN 总线桥设计[J]. 仪器仪表学报,2007,28(增刊1): 384-387.
- [10] 钱珺,何晨,杜田. 基于单片机的 CAN 总线接口设计与实现. [J]. 仪器仪表技术,2014(5):28-31.
- [11] 赵小安,吴庆彪. 一种基于 FPGA 的 CAN 总线计算机测试系统设计[J]. 计算机测量与控制,2006,14(6): 719-721.
- [12] 徐木水,刘金国. 基于 FPGA 的 CAN 总线通信接口的设计[J]. 电子设计工程,2010,(10):96-99.
- [13] 张松,李筠. FPGA 的模块化设计方法[J]. 电子测量与仪器学报,2014,28(5):560-565.

作 者 简 介

姚君,1987 年出生,硕士研究生,主要研究方向为信号处理、嵌入式系统研发等。

E-mail:eugenefls@126.com