

基于 LK8810 平台的集成电路数字芯片测试方法设计与实现^{*}

郭 锐

(咸阳职业技术学院 咸阳 712000)

摘 要: 由于集成电路数字芯片内部深层次逻辑的复杂性和边界条件的多样性,导致芯片功能测试覆盖率较低。因此,以提高芯片测试效果为目的,借助 LK8810 平台,对高效的数字芯片测试方法展开研究。首先,通过合理设置 LK8810 平台模拟信号的上升时间和下降时间以及测试条件,连接平台测试板和待测芯片的输入引脚,由此搭建集成数字芯片测试硬件电路。然后,利用 LK8810 自动测试系统内置的程序包和库函数设计测试用例和配置测试参数,由此生成芯片性能测试的程序,并对其缺陷密度检测。最后,结合测试环境准备、测试软件配置、测试顺序确定、测试执行以及芯片性能分析与评估等步骤设计芯片测试流程,进而完成芯片测试。实验结果表明,利用该方法对待测芯片展开功能测试,测试结果的覆盖率高达 80% 以上,源代码执行率最高可达到 97.9%,说明该方法的测试可靠性较高。

关键词: LK8810 平台;集成电路数字芯片;功能测试;配置参数;测试程序

中图分类号: TN407 **文献标识码:** A **国家标准学科分类代码:** 510.3040

Design and implementation of integrated circuit digital chip testing method based on LK8810 platform

Guo Yue

(Xianyang Vocational and Technical College, Xianyang 712000, China)

Abstract: Due to the complexity of deep logic and diversity of boundary conditions within integrated circuit digital chips, the coverage of chip functional testing is relatively low. Therefore, with the aim of improving the effectiveness of chip testing, this article uses the LK8810 platform to conduct research on efficient digital chip testing methods. Firstly, by reasonably setting the rise and fall times of the analog signal on the LK8810 platform and testing conditions, connecting the input pins of the platform test board and the chip under test, an integrated digital chip testing hardware circuit is constructed. Then, using the built-in program packages and library functions of the LK8810 automatic testing system, test cases are designed and test parameters are configured to generate a program for chip performance testing, and defect density detection is performed on it. Finally, the chip testing process is designed by combining the steps of testing environment preparation, testing software configuration, testing sequence determination, testing execution, and chip performance analysis and evaluation, in order to complete the chip testing. The experimental results show that using this method to conduct functional testing on the test chip, the coverage rate of the test results is over 80%, and the highest source code execution rate can reach 97.9%, indicating that the testing reliability of this method is high.

Keywords: LK8810 platform; integrated circuit digital chips; functional testing; configure parameters; test program

0 引 言

电子信息飞速发展,集成电路作为信息技术的核

心基石,其性能和可靠性直接影响着各种电子产品的质量
和竞争力。传统上,集成电路数字芯片的测试通常使用功
能验证方法,但随着芯片集成度的不断提高,传统的测试

收稿日期:2024-09-29

^{*} 基金项目:咸阳职业技术学院科研基金(2023KJB12)项目资助

方法在效率和成本方面也面临着挑战。因此,探索和设计一种更高效、更全面的集成电路数字芯片测试方法,已成为提高产品质量、缩短研发周期、降低测试成本的关键。

奚留华等^[1]基于阻变式存储器芯片(resistive random access memory, RRAM)芯片的基本结构、接口定义和功能,对其工作模式和芯片时序进行了深入分析,通过将公式计算与实际测量技术相结合,确定了 RRAM 芯片的容量,并通过自动化测试过程评估其性能指标。该方法的自动化特性显著提高了测试效率,减少了人为因素造成的错误。然而,自动化测试过程虽然提高了效率,但可能因测试脚本的局限性而未能充分覆盖所有代码路径。Bhandari 等^[2]根据芯片的具体要求,设计光栅耦合器的结构参数,将测试芯片放置在耦合平台的平台上,利用光谱分析仪对芯片的性能指标进行测试。该方法不仅可以用于光输入/输出,还可以实现双波分复用、能量分割、偏振分割等多种功能,适应性较强。但光栅耦合器的结构参数设计可能使得某些测试场景难以实现或测量精度受限。秦立君等^[3]等利用现场可编程门阵列(field programmable gate array, FPGA)的可编程特性,并行测试多个 FPGA 芯片的有效引脚功能,结合测试要求对 FPGA 芯片进行编程和配置,设置测试模式和参数,从而评估 FPGA 芯片的性能和可靠性。该方法充分利用 ATE 测试仪的通道资源,提高了测试系统的利用率。然而, FPGA 芯片的可编程特性可能使得测试脚本的编写和调试变得复杂,从而影响测试覆盖率。郭崇光等^[4]以 WinForm 为开发平台,利用数据库管理系统编写程序代码,对芯片进行集成测试,以验证其功能是否符合设计要求。该方法可以高度集成测试设备、测试数据和测试流程,实现测试流程的自动化和标准化。然而,数据库管理系统的使用可能使得测试数据的准备和存储变得复杂,从而影响测试覆盖率。

基于以上背景,本文在通过深入分析 LK8810 平台的特点和要求,结合先进的测试理论和技术,提出一种创新的测试策略和实施方案,为集成电路产业的高质量发展贡献新的技术支持和解决方案。

1 设计理论依据

基于 LK8810 平台的集成电路数字芯片测试方法的核心是利用平台高度模块化和工业化的设计特点,结合数字集成技术和测量技术,实现对数字芯片性能的全面评估。该方法通过控制计算机、测试主机、测试接口等组件,构建一个高效可靠的测试环境。此外,通过编写专门的测试程序并将其与硬件电路设计相结合,实现了芯片关键参数和功能的自动测试和验证。

2 集成电路数字芯片测试方法设计

2.1 基于 LK8810 平台的测试硬件电路搭建

首先通过合理设置 LK8810 平台模拟信号的上升时间和下降时间以及测试条件,并连接平台测试板和待测芯

片的输入引脚,搭建集成数字芯片测试硬件电路。LK8810 平台由于能够提供全面的测试功能和灵活的测试环境^[5],更加适用于集成电路数字芯片的功能测试,为后续芯片的性能测试奠定了硬件基础,确保了测试的准确性和可靠性。

在基于 LK8810 平台进行测试时,对于集成电路数字芯片,其功能测试是核心部分^[6]。根据待测芯片的特性和结构以及测试需求,选择测试板并连接测试接口,从而搭建测试硬件电路。

对于需要处理高频信号的数字芯片,对测试过程中 LK8810 平台注入信号的上升时间和下降时间进行合理确定,以保证硬件测试电路的性能和可靠性^[7]。其计算公式如下:

$$R_t = \frac{t_1 - t_2}{T_0} \quad (1)$$

$$F_t = \frac{t_2 - t_1}{T_0} \quad (2)$$

式中: t_1 、 t_2 分别表示信号达到其最终值的 10% 和 90% 时的时间点; T_0 表示总测试时间。

基于确定的信号上升时间和下降时间,将 LK8810 自动测试系统的测试集接口与待测芯片的引脚相连接,并设置 LK8810 平台的测试条件^[8],如表 1 所示。

表 1 LK8810 平台的测试条件设定

Table 1 Test condition setting of LK8810 platform

参数	测试条件	Min	Max
输出高电平	并行输出电压/V	3.2	4.4
	串行输出电压/V	2.5	3.6
	灌电流/A	0.6	1.5
	拉电流/A	1.5	3.3
输出低电平	并行输出电压/V	0.2	0.8
	串行输出电压/V	1.5	1.9
	灌电流/A	2.2	4.1
	拉电流/A	3.6	5.0

测试中,根据测试原理和实现要求,在上位机 VC++ 6.0 环境下进行测试。将预设的平台测试条件和相关参数整合到 LK8810 自动测试系统中,并将被测芯片的输入和输出引脚直接连接到平台的引脚^[9]。同时,为了便于后期待测芯片的其他参数和测试程序的可移植性,将被测芯片的电源引脚连接到 LK8810 平台测试板的电压源通道,以此完成测试硬件电路的搭建,如图 1 所示。

通过合理设置 LK8810 平台模拟信号的上升时间和下降时间以及测试条件,连接平台测试板和待测芯片的输入引脚,由此搭建集成数字芯片测试硬件电路,为后续芯片的性能测试奠定了硬件基础。

2.2 功能测试程序编写

在集成数字芯片测试硬件电路基础上,根据 LK8810

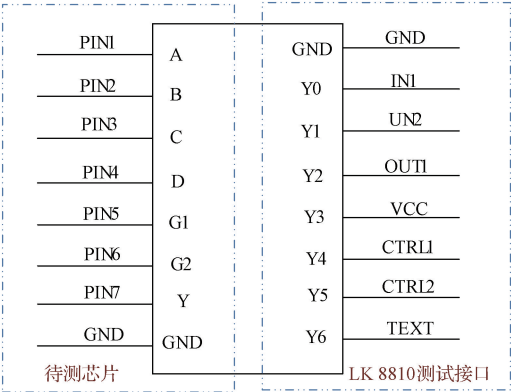


图 1 基于 LK8810 平台的测试硬件电路

Fig. 1 Test hardware circuit based on LK8810 platform

平台提供的程序包和库函数,设计测试用例,并配置了相应的测试参数。通过计算测试程序的缺陷密度,确保了编写的程序的质量,以进一步全面、系统地测试芯片的各项功能,从而提高测试过程的效率和测试结果的可靠性。

用户可根据 LK8810 平台提供的 user.h 程序包和库函数设计测试用例^[10],结合测试计划,初始化测试环境,并向平台发送测试信号。为确保测试环境与芯片实际使用环境的一致性,采用下式确定测试信号的覆盖度,即:

$$D = \frac{R_t}{F_t} \times \frac{\alpha_c (1 + p_h)}{N_c \sqrt{X_0/J_t}} \quad (3)$$

式中: R_t 、 F_t 分别表示注入信号的上升时间和下降时间; α_c 表示已测试的功能点数量; p_h 表示比例系数; N_c 表示总功能点数; X_0 表示叠加标度函数; J_t 表示平台数据库的状态变量; D 表示信号测试覆盖度^[11]。

进一步接收响应信号,并根据信号的观测量变化进行测试参数配置,如表 2 所示。

表 2 测试参数配置

Table 2 Test parameter configuration

测试用例编号	测试项	输入参数
TC001	正常操作测试	数值 I
TC002	边界值测试	边界值 G
TC003	异常情况测试	非法值 S
TC004	性能测试	大数据量 Q
TC005	兼容性测试	旧版本参数 P
TC006	初始化测试	命令 CMD_INIT
TC007	数据读取测试	读取长度 15 bytes
TC008	并发性能测试	并发请求数 100

将表 2 配置的测试参数加载到 LK8810 库函数中,自动生成相应的控制逻辑,由此得到测试程序代码^[12],并将其加载到 LK8810 测试系统中,执行测试用例,记录测试结果。

在测试过程中,为保证生成的测试程序代码质量,在

固定代码行数范围内,计算测试程序的缺陷密度,表达式为:

$$W_u = \frac{g_s}{D \times K_t} \quad (4)$$

式中: g_s 表示识别的缺陷功能点数量; K_t 表示测试的代码行数; W_u 表示缺陷密度^[13]。

为直观表达测试设计存在的问题,设定缺陷密度限值为 κ_t ,若 $W_u > \kappa_t$,则表明设计的程序代码质量较低,需要结合实际情况优化程序^[14]。

基于集成数字芯片测试硬件电路,利用 LK8810 自动测试系统内置的程序包和库函数设计测试用例和配置测试参数,由此生成芯片性能测试的程序,并对其进行缺陷密度检测,以保证编写的程序的质量,为进一步的研究工作创造条件。

2.3 集成数字芯片功能测试执行

基于上述分析,本文设计了集成数字芯片功能测试流程,包括准备测试环境、配置测试软件、确定测试顺序、执行测试以及芯片性能分析与评估等步骤。按照测试流程执行测试,记录并分析测试结果,验证是否符合预期。实施过程如图 2 所示。

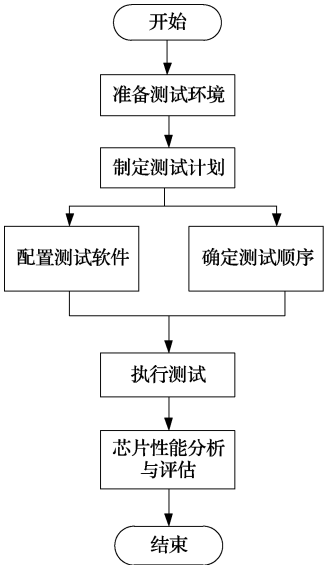


图 2 集成数字芯片功能测试执行过程

Fig. 2 Functional test execution process of integrated digital chip

由图 2 得到集成数字芯片功能测试的具体实施步骤。

步骤 1) 准备测试环境。确定需要测试的芯片功能模块和特性^[15],利用示波器、逻辑分析仪以及专业测试夹具搭建测试环境。

步骤 2) 配置测试软件。根据设计规格书,编写芯片性能测试用例,并安装、配置用于功能测试的脚本和程序。

步骤 3) 确定测试顺序。依据数字芯片的类型和设计复杂度,确定测试顺序,以确保测试过程的连贯性和效

率^[16]。本文设计的测试顺序为晶圆测试、封装测试、系统级测试。

步骤 4) 执行测试。将芯片连接到测试平台, 根据测试用例, 向芯片输入各种测试信号, 记录并分析芯片的输出结果, 验证是否符合预期。

步骤 5) 芯片性能分析与评估。标注每个测试用例的输入、输出和测试条件^[17], 将实际输出结果与预期结果进行对比, 分析被测芯片的实际应用性能。

通过以上步骤, 即可完成对集成数字芯片的测试过程。

3 实例论证分析

测试主要是针对基于 LK8810 平台的集成电路数字芯片测试方法的实际应用效果进行验证与研究, 并通过对比实验的方式分析本文方法的可行性。

3.1 待测集成电路数字芯片介绍

本文实验选择的待测集成电路数字芯片为 SN74LS02 型, 该芯片为十进制计数器, 能够实现多路分频和计数功能, 适用于数字逻辑电路和触发器等应用。芯片内部含有 2 组输入端或非门电路, 输出端为 Y0 和 Y1。该芯片实物图和引脚图如图 3 所示。

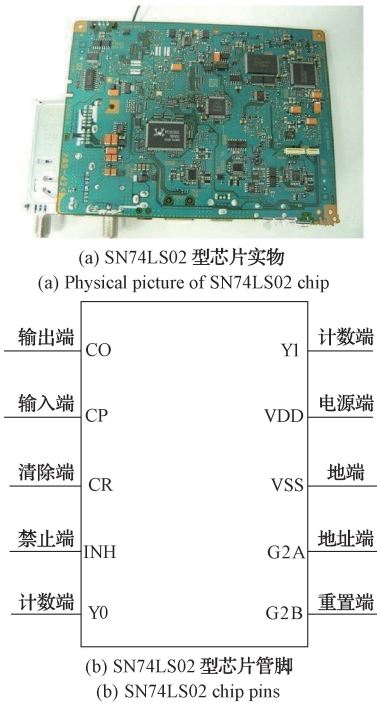


图 3 SN74LS02 芯片实物与引脚图
Fig. 3 Physical diagram and pin diagram of SN74LS02 chip

该芯片的基本性能参数如表 3 所示。

以该集成电路数字芯片为研究对象, 利用 LK8810 平台对其进行性能测试与分析。

表 3 被测芯片性能参数

Table 3 Performance parameter of the tested chip

项目	参数
电源电压	5.25 V
输出电压波节	5.00 V
输出电流	8 mA
输出电流驱动	-50.0 μA
静态电流	2.80 mA
电路数	4
位数	4
输入数	2
逻辑门个数	4

3.2 实验准备

根据测试方案, 选择 SU8014 型号的 DUT 测试板作为测试电路, 并对其进行焊接装配后, 与 LK8810 测试系统挂盒连接, 进而搭建测试硬件电路, 如图 4 所示。

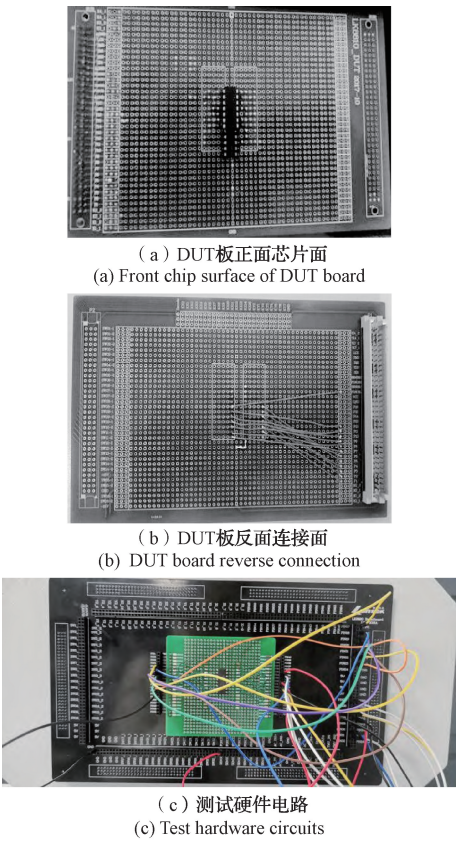


图 4 测试硬件电路搭建
Fig. 4 Construction of test hardware circuit

实验平台采用朗讯科技开发的 LK8810 集成电路开发与应用技术平台, 支持数字和模拟芯片及相关电路的测试。实验设备包括测试设备、测试负载板、测试插座、转换接口电缆和万用表。根据测试要求, 设置 LK8810 系统的测试时序, 如表 4 所示。

表 4 LK8810 系统的测试时序
Table 4 Test timing of LK8810 system

时序	指令	测试系统驱动/比较
t_reast	复位激励	驱动
t_presense	复位响应	比较
t_writel	写 0	驱动
t_read	写 1	驱动
t_compare	读数据	比较
t_delay	延时	驱动

实验过程如下:将测试芯片插入测试插座,并将其连接到测试负载板,启动测试软件并加载相应的测试程序;执行开路/短路测试程序,检查芯片的所有引脚是否对地短路或断路;记录测试结果,排除存在开路或短路问题的芯片;根据测试向量和搭建的测试硬件电路,依次设置输入信号并读取输出信号;在 LK8810 自动测试系统中加载编写的测试程序,根据测试用例和测试时序,对芯片的性能进行测试分析。

通过上述步骤,可以基于 LK8810 平台对集成电路数字芯片进行全面测试,以确保芯片质量和可靠性。

3.3 对比测试结果与分析

在以上实验准备和实验参数设置基础上,设置对比实验。引入基于自动测试设备(automatic test equipment, ATE)与结构分析的方法(方法 1)、基于 ATE 的方法(方法 2)、基于 WinForm 的方法(方法 3)作为本文方法的对比方法。分别采用 3 种方法对 SN74LS02 数字芯片进行性能测试。比较各种方法的测试覆盖率和源代码执行率。

1)高测试覆盖率意味着测试方法能够更全面地检测芯片的各种潜在问题,提高测试的可靠性。

2)源代码执行率越高,表明相应方法在测试芯片过程中,测试用例执行到源代码的比例越高,覆盖的代码路径越多,测试结果可靠性越可靠。

测试覆盖率和源代码执行率的实验结果分别如图 5、表 5 所示。

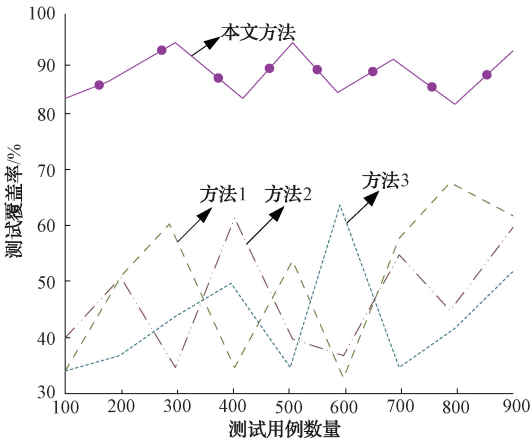


图 5 芯片测试覆盖率对比结果
Fig. 5 Comparison results of chip test coverage

由图 5 可知,在不同数量的测试用例条件下,应用本文提出的方法对实验芯片进行测试,得到的测试覆盖率明显高于对照组方法,测试覆盖率达 80% 以上。而对照组方法难以覆盖所有可能的边界情况,测试可靠性较低。进而说明本文方法能够更全面地覆盖芯片的各项功能,减少了遗漏的可能性。

表 5 源代码执行率的对比结果
Table 5 Comparison results of source code execution rates

实验次数	源代码执行率/%			
	方法 1	方法 2	方法 3	本文方法
1	44.5	47.6	77.5	89.6
2	51.2	38.9	69.4	90.2
3	67.9	36.4	66.2	92.5
4	70.5	47.0	58.4	91.6
5	66.7	44.2	70.2	88.7
6	58.7	37.6	47.5	96.3
7	39.7	29.0	50.9	95.4
8	49.0	30.5	49.1	97.9

分析表 5 可知,对照组方法通常基于功能验证,主要依赖于测试人员的经验和知识,可能无法全面覆盖所有可能的代码路径,所以其源代码执行率较低,从而影响了测试结果的可靠性。而本文方法采用的 LK8810 平台能够自动发现未执行的代码,从而验证代码的关键行为,使得源代码执行率最高可达到 97.9%,进一步提高了测试的全面性和准确性。通过实验对比结果可以证明本文方法在集成电路数字芯片测试中的可行性。

4 结 论

在集成电路数字芯片测试方法的设计和实现过程中,充分利用了 LK8810 平台的强大功能和灵活性,通过精细的硬件结构和软件编程,成功构建了一个高效准确的测试环境。该方法不仅简化了测试过程,而且保证了测试结果的可靠性,为集成电路数字芯片的研发和生产提供了坚实的技术支持。

参 考 文 献

[1] 奚留华,徐昊,张凯虹,等. 基于 ATE 与结构分析的 RRAM 芯片测试技术研究[J]. 电子与封装, 2024, 24(7): 40-46.
XI L H, XU H, ZHANG K H, et al. Research on RRAM chip testing technology based on ATE and structural analysis [J]. Electronics & Packaging, 2024, 24(7): 40-46.

[2] BHANDARI B, LEE S S. Highly efficient edge and grating coupler hybrid for full-scale wafer-level and

- chip-level testing[J]. 2022 Conference on Lasers and Electro-Optics (CLEO), 2023, 14 (2): 105-109.
- [3] 秦立君,余永涛,罗军,等. 基于 ATE 的千级数量管脚 FPGA 多芯片同测技术[J]. 电子技术应用, 2024, 50(7): 51-54.
- QIN L J, YU Y T, LUO J, et al. Research on multi-chip simultaneous testing method for field programmable gate arrays [J]. Application of Electronic Technique, 2024, 50(7): 51-54.
- [4] 郭崇光,何用辉,马孝荣,等. 基于 WinForm 的芯片测试管理系统设计[J]. 装备制造技术, 2024(2): 103-107, 111.
- GUO CH G, HE Y H, MA X R, et al. Design of chip test management system based on WinForm[J]. Equipment Manufacturing Technology, 2024(2): 103-107, 111.
- [5] 王庆贺,黎蕾,郑利华,等. SiP 芯片测试系统的设计[J]. 电子设计工程, 2024, 32(3): 143-147.
- WANG Q H, LI L, ZHENG L H, et al. Design of SiP chip test system [J]. Electronic Design Engineering, 2024, 32(3): 143-147.
- [6] 陈道品,武利会,罗春风,等. 高效能多核处理器芯片功耗测试及其 DVFS 调度算法研究[J]. 自动化技术与应用, 2023, 42(8): 149-152, 160.
- CHEN D P, WU L H, LUO CH F, et al. Research on power test and DVFS scheduling algorithm of high performance multi core processor chip[J]. Techniques of Automation and Applications, 2023, 42(8): 149-152, 160.
- [7] 杜天亮,千奕,余乾顺,等. 10bit20MSPS 流水线型 ADC 芯片测试[J]. 原子核物理评论, 2023, 40(4): 599-606.
- DU T L, QIAN Y, SHE Q SH, et al. Testing of a 10bit20MSPS pipeline ADC [J]. Nuclear Physics Review, 2023, 40(4): 599-606.
- [8] 蔡田田,杨祎巍. 基于开源架构的电力专用 SoC 芯片设计[J]. 自动化技术与应用, 2023, 42(11): 129-132, 173.
- CAI T T, YANG Y W. Design of electric power dedicated SOC chip based on open source architecture[J]. Techniques of Automation and Applications, 2023, 42(11): 129-132, 173.
- [9] 张锦,刘政辉,扈啸,等. 面向自主芯片频率扫描实速测试的扫描链分析[J]. 电子测量与仪器学报, 2024, 38(3): 122-132.
- ZHANG J, LIU ZH H, HU X, et al. Scan chain analysis for at-speed test of frequency scanning of autonomous chip [J]. Journal of Electronic Measurement and Instrumentation, 2024, 38(3): 122-132.
- [10] 章圣意,姚海滨,林恒,等. 气体超声换能器动态性能测试方法研究[J]. 自动化仪表, 2023, 44(9): 32-36, 48.
- ZHANG SH Y, YAO H B, LIN H, et al. Study on dynamic performance test method of gas ultrasonic transducer[J]. Process Automation Instrumentation, 2023, 44(9): 32-36, 48.
- [11] 余蓓敏. 基于 LK8820 测试机的芯片参数测试研究[J]. 长春大学学报, 2023, 33(8): 19-23.
- YU B M. Research on chip parameter testing based on LK8820 testing machine[J]. Journal of Changchun University, 2023, 33(8): 19-23.
- [12] 张胜强,王雨,李帅东,等. 多故障耦合的车规级芯片测试技术研究[J]. 电子测试, 2023(4): 22-26.
- ZHANG SH Q, WANG Y, LI SH D, et al. Testing technology for vehicle level chips based on multiple fault coupling[J]. Electronic Test, 2023(4): 22-26.
- [13] 王丰. 配电自动化主站网络重构功能测试设计[J]. 电气应用, 2023, 42(1): 66-73.
- WANG F. Test bed for network reconfiguration calculation of distribution automation master station[J]. Electrotechnical Application, 2023, 42(1): 66-73.
- [14] 刘博群,揣荣岩. 联动薄膜压力敏感芯片测试方法研究[J]. 微处理机, 2023, 44(3): 42-45.
- LIU B Q, CHUAI R Y. Study on a detection method of linkage film pressure sensitive chip [J]. Microprocessors, 2023, 44(3): 42-45.
- [15] 田磊. 基于 ATE 测试平台 Chroma3380D 的多管脚芯片 FT 测试系统的设计研究[J]. 日用电器, 2024(3): 17-21.
- TIAN L. Design and research of FT testing of multi-pin chip based on ATE testing platform Chroma-3380D[J]. Electrical Appliances, 2024(3): 17-21.
- [16] 李岳,夏益民. 基于 ResCSP-34 的集成电路供电网络静态电压降预测研究[J]. 电子测量技术, 2024, 47(8): 148-156.
- LI Y, XIA Y M. Research on static voltage drop

prediction of integrated circuit power supply network based on ResCSP-34 [J]. Electronic Measurement Technology, 2024, 47(8): 148-156.

- [17] 蓝松富, 赵雷, 秦家军, 等. DHR TDC 芯片的性能测试[J]. 原子核物理评论, 2022, 39(1): 81-87.

LAN S F, ZHAO L, QIN J J, et al. Testing and

evaluation of the DHR TDC ASIC [J]. Nuclear Physics Review, 2022, 39(1): 81-87.

作者简介

郭钺, 硕士, 讲师, 主要研究方向为电子信息工程技术。

E-mail: ymt987654123@163.com