

基于国产FPGA的多源视频信号拼接系统设计*

冯琳^{1,2} 徐伟^{1,2}

(1. 南京信息工程大学气象灾害预报预警与评估协同创新中心 南京 210044;
2. 南京信息工程大学江苏省气象探测与信息处理重点实验室 南京 210044)

摘要:针对目前视频拼接技术存在动态视频数据速度慢、分辨率较低的问题,设计了一种能够将两路摄像头和两路高清晰度多媒体接口(high definition multimedia interface, HDMI)输入的动态视频数据进行拼接处理的系统。系统以紫光同创公司Pango logos系列现场可编程门阵列(field programmable gate array, FPGA)器件为核心,由时钟控制、寄存器配置、数据采集、先进先出(first in first out, FIFO)数据存储控制、第3代双倍速率同步动态随机存储(double-data-rate 3 synchronous dynamic RAM, DDR3 SDRAM)等逻辑功能模块组成。设计实现了DDR3 IP核的读写控制、图像缩放及视频拼接算法,使用Inserter和Debugger对主要功能模块进行了仿真测试,并进行了视频采集实验,结果表明,系统能够完成4路动态视频的拼接显示,分辨率达到1 920×1 080,刷新速率为60 fps,占用的查找表(look up table, LUT)资源为18%。支持多种动态数据输入方式,具有便携性好、帧率分辨率高、片上资源占用率低等特点,可用于动态视频拼接的应用场景。

关键词:多源输入;视频拼接;FPGA;DDR3

中图分类号: TN2 **文献标识码:** A **国家标准学科分类代码:** 520.604

Design of multi-source video signal splicing system based on domestic FPGA

Feng Lin^{1,2} Xu Wei^{1,2}

(1. Collaborative Innovation Center on Forecast and Evaluation of Meteorological Disasters, Nanjing University of Information Science and Technology, Nanjing 210044, China; 2. Jiangsu Key Laboratory of Meteorological Observation and Information Processing, Nanjing University of Information Science and Technology, Nanjing 210044, China)

Abstract: Aiming at the problems of slow speed and low resolution of dynamic video data in current video splicing technology, a system that can splice dynamic video data input from two cameras and two high definition multimedia interface (HDMI) is designed. The system is based on the Pango logos series field programmable gate array (FPGA) as the core, which is controlled by clock, register configuration, data acquisition, first in first out (FIFO) data storage control, the third generation of double-data-rate 3 synchronous dynamic RAM (DDR3 SDRAM) and other logical function modules. The read-write control, image scaling algorithm and video splicing algorithm of DDR3 IP core are designed and implemented. The Inserter and Debugger are used to conduct simulation tests on the main function modules, and the video acquisition experiment is carried out on the system. The results show that the system can complete the four-channel dynamic video splicing display. The resolution is 1 920×1 080, the refresh rate is 60 frames per second, and the look up table (LUT) resource is 18%. The system supports a variety of dynamic data input methods, has the characteristics of good portability, high frame rate resolution, low on-chip resource occupancy, and can be applied to dynamic video Mosaic application scenarios.

Keywords: multiple source input; video stitching; FPGA; DDR3

收稿日期:2023-10-28

* 基金项目:国家自然科学基金(41605121)项目资助

0 引言

图像拼接技术已经广泛应用于智能交通监控^[1]、自动驾驶监测系统、医疗图像分析^[2]等,多角度的画面捕获可以满足人们了解多方位目标场景的需求。传统的视频拼接方案包括借助成熟的拼接软件、使用中央处理器(central processing unit, CPU)或图形处理器(graphics processing unit, GPU)处理图像^[3]、基于 ARM 和 DSP 平台^[4]、基于现场可编程门阵列(field programmable gate array, FPGA)实现拼接^[5]等。其中,使用现有的图像拼接软件虽能较容易地完成拼接的功能,但是需要提前拍摄好视频图像然后载入到软件当中,所以无法满足实时性的要求^[6]。在 PC 端使用 CPU、GPU 处理图像,能够降低因图像增加造成的算法延迟,但 PC 本身存在体积大功耗高,无法与图像采集模块组成单一的图像拼接系统,实际应用范围较小。

2016 年冯鑫等^[7]以全可编程平台 ZYNQ 为基础,借助片内的可编程逻辑与处理器系统,实现两个传感器图像的拼接,显示速率为 60 fps,但显示的图像分辨率低,仅为

640×480。2018 年张浩^[8]将图像拼接算法移植到 DSP 处理器上实现了 3 路摄像头的拼接,最终系统显示的分辨率为 1 920×1 080,但图像帧率低,刷新率只有 22.15 fps,同时全景画面需要通过 VLC 软件获取,因此延迟较高。2020 年于蕾等^[9]基于 FPGA+ARM 架构,图像拼接算法部分依托 ARM 进行改进,使用 FPGA 进行数据存储与传输,但数据源为静态图像,无法实现动态视频数据的实时传输。

综上,针对现有系统存在无法处理动态视频数据^[10]、高分辨率与高帧率无法同时兼顾^[11]等问题,设计了一种基于 FPGA 的多源视频信号拼接系统,所有功能使用单片 FPGA 完成^[12]。系统支持 4 路图像输入,每一路信号都保持空间的独立传输。采用第 3 代双倍速率(double-data-rate 3, DDR3)存储芯片,极大地提高了数据的存取速度,达到视频高帧率显示。

1 系统总体设计

系统将 4 路视频信号拼接成一路视频,视频图像分别来源于摄像头和高清清晰度多媒体接口(high definition multimedia interface, HDMI)^[13]。整体设计框架如图 1 所示。

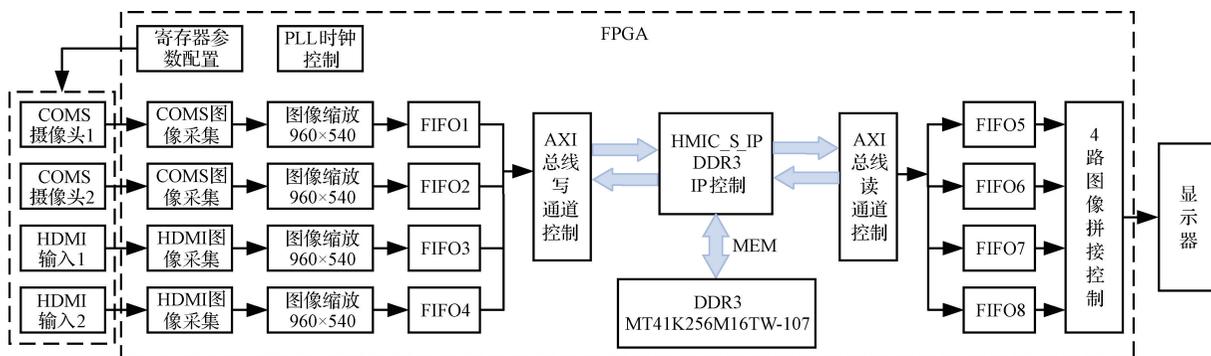


图 1 整体框架设计

Fig. 1 General design of system

将摄像头和 HDMI 接口获取到的原始图像送入图像采集模块^[14]完成数据格式转换,然后对图像数据进行缩放处理后进入先进先出(first in first out, FIFO)缓存^[15]。DDR3 读写遵循高性能扩展总线接口(advanced extensible interface, AXI)协议,设计 AXI 读写控制模块用于实现 DDR3 的读写,并与 FIFO 之间进行数据交互。它将从 FIFO 中读取到的图像数据写入 DDR3 中进行存储,最终通过 AXI 总线读控制通道将读出的数据进行拼接并经由 HDMI 接口发送至显示器显示^[16]。对于功能相同的模块可以多次复用,节约 FPGA 的逻辑资源。

系统主要包含锁相环(phase locked loops, PLL)时钟控制、寄存器参数配置、COMS 图像采集、图像缩放、AXI 总线写和读通道控制以及图像拼接等 7 个模块。其中核心部分为 FIFO 图像数据缓存、AXI 读写通道控制和图像拼接模块。4 路视频传输保持相互独立,在各自划分好的地址空间中进行读写操作,最终在图像数据输出时,在 4

路图像拼接控制作用下,分时扫描以达到拼接显示效果。

1.1 时钟控制与寄存器配置

时钟控制模块通过调用锁相环 IP 核,利用输入的用户时钟或系统时钟,通过分频与倍频的方式,给其他模块提供合适的工作时钟。

利用开发板上晶振产生的 50 MHz 作为输入时钟,经过内部逻辑输出 148.5、10、25 MHz 的工作时钟分别给图像拼接模块、HDMI 寄存器配置模块和 COMS 寄存器配置模块,时钟分配控制如图 2 所示。其他模块时钟采用芯片自提供的有效时钟完成数据传输,节约逻辑资源。

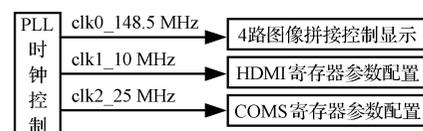


图 2 时钟分配控制

Fig. 2 Clock distribution control

摄像头和 HDMI 接口需要进行初始化才可使用,设计寄存器配置模块,其通过集成电路总线协议(Integrated circuit, I²C)完成参数配置,主要包含 I²C 数据配置和 I²C 驱动模块。I²C 数据配置模块中存储了大量不同寄存器的参数,通过修改这些数据可以使器件处在不同的工作模式下,输出不同分辨率、帧率以及像素格式的图像数据。FPGA 通过 I²C 协议和器件地址进行通信,各通信地址分别为 0×3C、0×56、0×B2。

I²C 驱动模块设计框图如图 3 所示。其中 HDMI 部分包括 HDMI_IN 和 HDMI_OUT,分别用于传递输入和输出信号,MS7200 和 MS7210 分为输入输出接口对应的芯片型号。

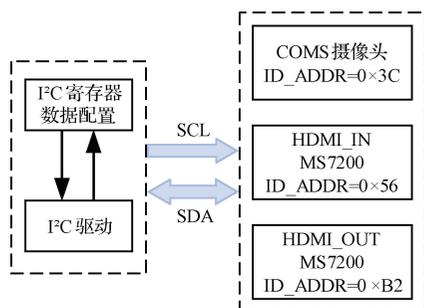


图 3 I²C 数据配置

Fig. 3 I²C data configuration

为了显示的一致性,将 CMOS 与 HDMI 均配置成输出分辨率为 1 920×1 080、帧率为 60 fps 的图像数据格式。摄像头输出像素格式为 8 bit RAW,两个像素数据可以合成一个 RGB565 格式的 16 bit 数据,HDMI 输出像素格式为 RGB888,每一位像素数据为 24 bit。

1.2 图像采集与缩放

信号源输出的图像数据需要进行数据采集,并完成数据的格式转化。4 路数据均需要写入到 DDR3 中,利用图像采集模块对数据格式归一化处理为 RGB565 格式的 16 bit 像素数据。COMS 图像每两个 8 bit 数据合成一个像素数据,HDMI 输出信号的 24 bit 数据分别提取每 8 位的高 5 位、高 6 位和高 5 位,完成数据转换。

采集完成的图像大小为 1 920×1 080,对每一路图像缩放至 960×540,可显示一幅分辨率为 1 920×1 080 的完整图像。摄像头的缩放处理通过配置传感器内部的寄存器的数值,输出分辨率 960×540 的图像。HDMI 采集的图像数据,在行同步信号 HSYNC、场同步信号 VSYNC 的同步下,数据有效信号 DE 高电平期间,每隔一个像素点取一个像素数据,将图像大小缩放至原始大小的 1/2,缩放流程如图 4 所示。首先根据同步信号,读取有效像素数据的坐标 X 和 Y,在数据有效时,若坐标值为奇数,则拉高 HDMI_EN 信号,若为偶数,则丢弃。这样不仅可以实现图像压缩,还能够保留原图像的特征。

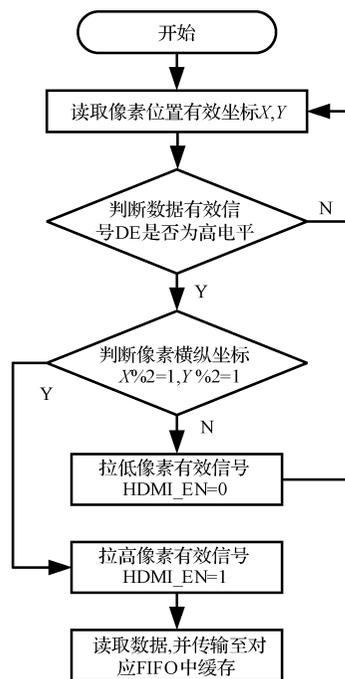


图 4 图像缩放流程

Fig. 4 Image scaling flowchart

1.3 图像数据缓存

图像数据缓存模块使用了 8 个异步 FIFO 对输入的像素数据进行缓冲,实现不同位宽数据之间的转换,利用异步 FIFO 支持不同频率读写时钟的特征,对信号进行跨时钟域处理。主要的数据流转换过程如图 5 所示。

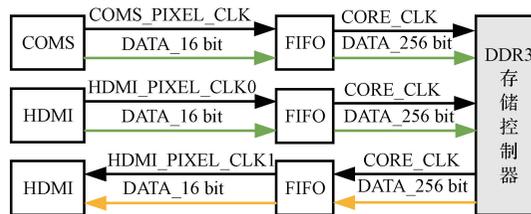


图 5 数据流转换框图

Fig. 5 Data flow conversion block diagram

在信号输入端,采集的 4 路数据位宽均为 16 bit,需要转换为 DDR3_IP 控制器输入端 256 bit 数据;摄像头数据在 CMOS_PIXEL_CLK 时钟下输出,HDMI 数据在 HDMI_PIXEL_CLK0 时钟下输出,二者需要在 DDR3_IP 控制器接收端 CORE_CLK 下写入 DDR3 存储器中。

在信号输出端,需要将 DDR3 中位宽为 256 bit 的数据按照 CORE_CLK 时钟频率写入到 FIFO 中缓存,而后在 HDMI_PIXEL_CLK1 时钟下读出 16 bit 数据,提供给 HDMI 输出接口读取。

1.4 AXI 总线读写通道控制

DDR3 存储器与用户交互过程采用简化后的 AXI 协议接口传输数据。设计了 AXI 写通道控制器与读通道控制器。具体设计如图 6 所示。

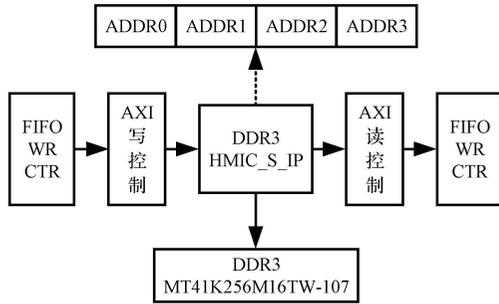


图6 AXI总线读写通道控制

Fig. 6 AXI bus read and write channel control

AXI总线读写通道控制模块包含写与读控制,用于实现用户端口信号与DDR3 IP核AXI接口信号转换以及存储地址的划分。HMIC_S_IP为紫光公司设计研发的DDR3控制IP核,DDR3芯片型号为MT41K256M16TW-107。

写通道控制由FIFO_WR_CTR和AXI写控制组成,FIFO_WR_CTR控制4个FIFO的输出,当FIFO中的数据量大于两行时,读取对应FIFO中的数据,并写入到AXI写控制模块中去。AXI写控制负责将地址和数据发送给DDR3。读通道控制由FIFO_RD_CTR和AXI读控制组成,AXI读控制用于发送地址给DDR3,同时接收AXI读数据通道上传的数据。FIFO_RD_CTR控制对应的读地址,并将对应的数据传输到FIFO中缓存。

在FIFO_WR_CTR中,将存储空间划分出了4个区域ADDR0~ADDR3,用于存放每一路像素数据。每一个地址空间为2帧缩放后的图像大小,这样可以实现读写相互独立,防止出现画面撕裂现象。

设计状态机辅助完成DDR3的读写操作,AXI写控制部分的流程状态设计如图7所示。当状态机每收到一次写请求,便开启一次突发写操作流程。起始状态为空闲,当wr_start=1时,进入写地址准备状态,拉高地址有效信号axi_awvalid后,进入写地址握手等待状态。当地址握手信号axi_awready=1时,地址传输完成,等待检测到数据有效握手信号axi_wready为高电平时,开始传输数据,发送到最后一个数据时,拉高axi_wusero_last信号,状态

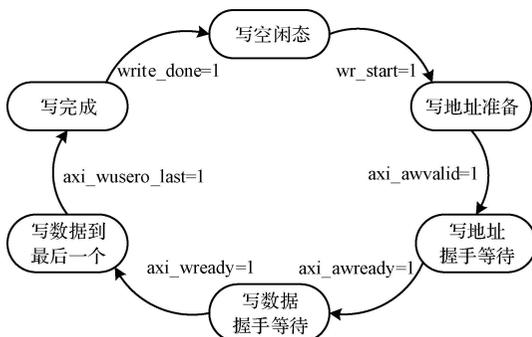


图7 AXI写控制状态跳转图

Fig. 7 AXI write control state jump chart

机跳转到写完成状态。一次突发传输完毕后拉高write_done信号并回到初始状态。

AXI读控制部分的状态流程如图8所示,状态机初始状态为空闲,当触发信号rd_start=1时,进入读地址准备,然后等待axi_rvalid信号和axi_rready信号为高电平时,依次完成地址和数据的读取,当axi_rlast=1时,表明最后一个数据读取完成,一次突发读操作结束。

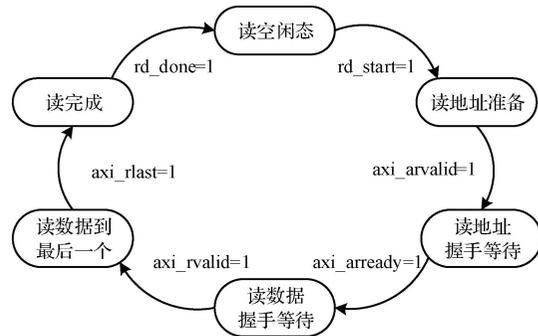


图8 AXI读控制状态跳转图

Fig. 8 AXI read control state jump chart

1.5 图像拼接

图像拼接是将输入的4路视频在同一画面中进行显示,拼接部分在HDMI轮次读取FIFO中图像数据的过程中完成,视频拼接控制模块设计流程如图9所示。

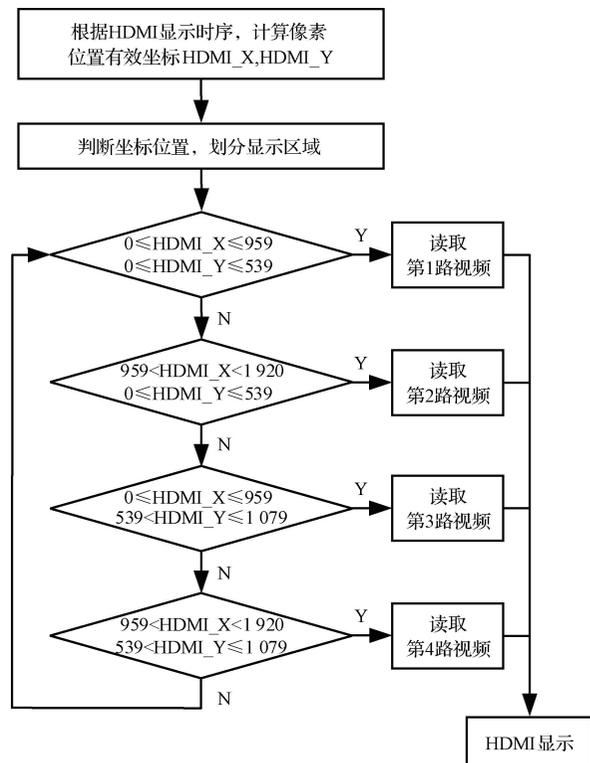


图9 图像拼接流程

Fig. 9 Video stitching process

设计方案中设置显示器的分辨率为 1 920×1 080,并将整个显示区域均等划分为 4 个大小为 960×540 的空间,从对应的 FIFO 缓存器中读取视频数据流,最终根据 HDMI 显示时序进行扫描,实现 4 路动态视频画面拼接显示。

当坐标位于 HDMI_X≤1 919 且 HDMI_Y≤539 范围内时,显示器扫描开始扫描显示第 1 行数据。首先当 HDMI_X≤959 时,读取第 1 路视频图像的第 1 行数据,此时第 2 路图像的第 1 行像素数据已存储在对应的 FIFO 中,等待 HDMI_X>959 时,读取第 2 路视频的第 1 行数据,

接着显示器开始扫描第 2 行,继续读取第 1 路图像的第 2 行和第 2 路图像的第 2 行,如次循环,当 HDMI_X≤959 且 HDMI_Y>539 时,开始读取第 3 路图像的第 1 行数据,然后切换读取第 4 路图像的第 1 行。

2 系统仿真测试与分析

系统设计过程中,使用 Pango Design Suite 软件自带的 Inserter 和 Debugger 功能抓取关键信号,对系统中主要的功能模块进行了逻辑仿真测试,结果如图 10~12 所示。

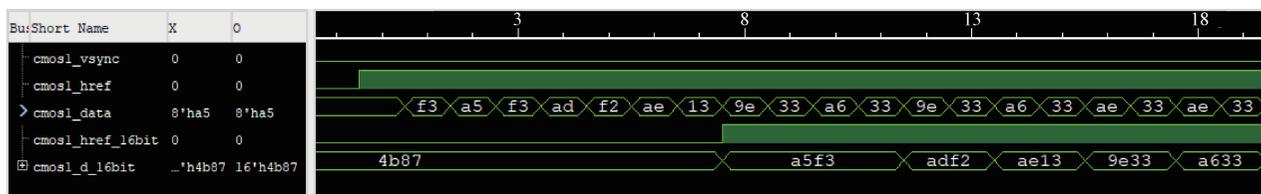


图 10 COMS 数据采集转换时序
Fig. 10 Data acquisition conversion timing of COMS

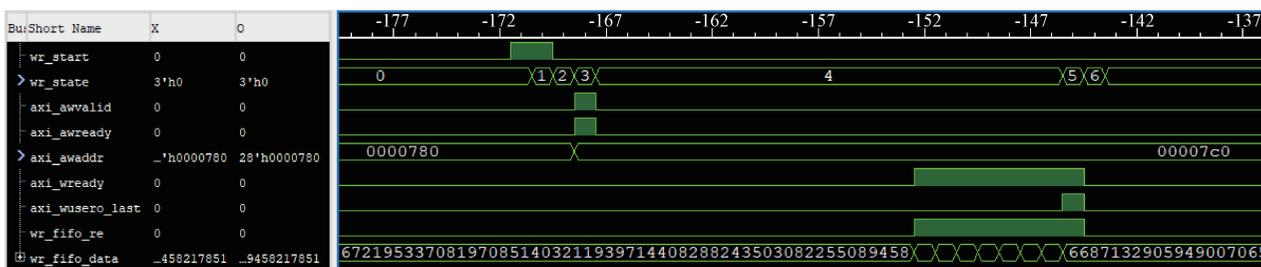


图 11 AXI 写控制仿真时序
Fig. 11 AXI write control simulation timing

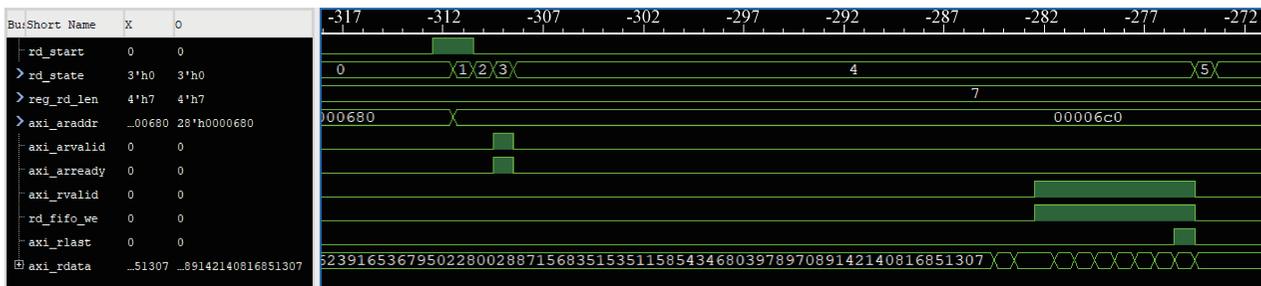


图 12 AXI 读控制仿真时序
Fig. 12 AXI read control simulation timing

图 10 为摄像头输出的数据经过 COMS 图像采集完成位宽转换的仿真波形。可以看出,在行同步信号 cmosl_href_l6 bit 为高电平期间,COMS 图像采集模块开始将摄像头输出的 8 bit 数据,按照每两个时钟拼接成一个 16 bit 的数据,实现了不同位宽数据的转换。

图 11 为 DDR3 写通道部分的 AXI 控制仿真波形,当一次写触发信号 wr_start=1 时,状态机启动工作,根据跳

转条件,在地址握手信号 axi_awready 和数据握手信号 axi_wready 有效时,依次完成地址和数据的发送。系统采用了突发传输的方式提高数据传输速率,突发长度为 8,给出一个首地址后能够自动传输 8 个有效数据,当传输到最后一个数据时,axi_wuser0_last 信号拉高,一次写传输完毕。DDR3 读通道部分仿真波形如图 12 所示,模块接收到读请求信号 rd_start=1 以后,开启一次突发读操作。

与写数据模式相同,读数据时同样采用了突发长度为8的突发传输操作,以提高读数据的速率。可以看到,外部数据能够高效地写入DDR3中并被其他模块读取。

3 系统测试

使用紫光同创公司的盘古 Pango logos 系列 PGL50H-6IFBG484 开发板进行验证。摄像头为500 W像素的双目摄像头模组,传感器为美国 Omni Vision 公司 CMOS 芯片图像传感器 OV5640。HDMI 输入接口为宏晶微 MS7200 接收芯片,HDMI 输出接口为 MS7210 发送芯片。存储器由2颗DDR3组成,总线带宽为32 bit,芯片为 MICRON 公司的 MT41K256M16TW-107。

将 HDMI 输入连接至 PC 端,HDMI 输出端连接至显示器,拼接效果如图 13 所示。第 1 路和第 2 路为 HDMI 输入的视频源,第 3 路和第 4 路为摄像头输入,每一个拼接的图像分辨率大小为 960×540,系统较好地实现了 4 路输入拼接成一路 1 920×1 080 的完整图像,且刷新速率达到了 60 fps。此外,在设计过程中加入了乒乓操作程序,每一路视频的存储空间实际为两帧图像大小,这样做可以保证在第 2 帧图像未存储完毕时,DMI 接口会一直读取第 1 帧的图像,等待第 2 帧存储完毕才会开始读取,避免了产生画面撕裂现象,较好地保持了画面的连续性。

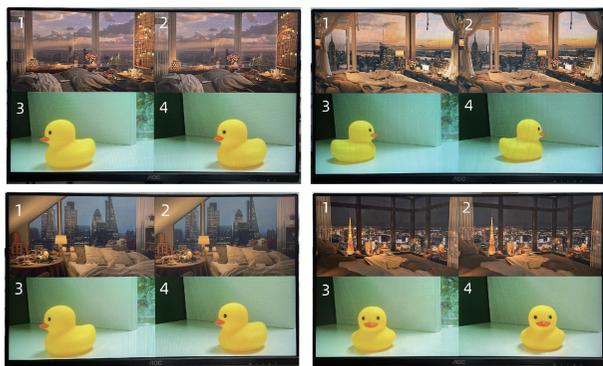


图 13 拼接效果显示

Fig. 13 Splicing effect display

表 1 为系统在 FPGA 中的实际资源使用情况,总体资源消耗率较低,Distributed RAM 仅占用 1%,芯片内部查找表(look-up-table,LUT)仅使用 18%,Flip Flop 消耗 11%。

表 1 系统资源使用情况

Table 1 System resource usage

资源	使用数量	可用数量	消耗率/%
FF	3 956	38 700	11
LUT	3 037	17 000	18
RAM	72	17 000	1
DRM	53.5	134	40
IO	170	296	58
DLL	1	10	10

4 结论

采用国产 FPGA 设计了一个多源视频拼接的系统。为提高系统数据的传输速率,引入图像缩放技术,对采集的四路动态图像进行预处理。在处理大量图像数据缓存的问题时,选择 DDR3 结合 FIFO 的方式完成视频存储,设计了 AXI 读写控制器,以提高数据的读存取速率。

系统将多帧动态视频图像拼接成一路 1 920×1 080 图像,帧率达 60 fps,LUT 查找表资源占用 18%,片上功耗低于 10,可应用于医疗图像的影像分析、智能安防中实时监测等领域。

参考文献

- [1] 衡玮,俞健,达飞鹏. 基于密集视点插值的实时视频拼接方法[J]. 光学学报, 2023,43(14): 181-191.
WEI H, YU J, DA F P. Real-time video stitching method based on dense viewpoint interpolation[J]. Acta Optica Sinica, 2023,43(14): 181-191.
- [2] 陈智,许文平,杨欢欢. 全景视频技术及其在医疗教学方面的应用[J]. 国外电子测量技术, 2017,36(9): 118-121.
CHEN ZH, XU W P, YANG H H. Panoramic video technology and its application in medical teaching[J]. Foreign Electronic Measurement Technology, 2017, 36(9): 118-121.
- [3] 杜承垚,袁景凌,陈旻骋,等. GPU 加速与 L-ORB 特征提取的全景视频实时拼接[J]. 计算机研究与发展, 2017,54(6): 1316-1325.
DU CH Y, YUAN J L, CHEN M CH, et al. Real-time panoramic video stitching based on GPU acceleration using local ORB feature extraction[J]. Journal of Computer Research and Development, 2017, 54(6): 1316-1325.
- [4] 郑顺义,马电,桂力,等. 一种 ARM+DSP 架构的机载影像实时拼接方法[J]. 武汉大学学报(信息科学版), 2014,39(1): 1-7.
ZHENG SH Y, MA D, GUI L, et al. A real-time airborne image mosaic method using the ARM+DSP architecture[J]. Geomatics and Information Science of Wuhan University, 2014,39(1): 1-7.
- [5] YIN X, LI W, LIU Y, et al. FPGA-based real time video stitching method for video surveillance[J]. Optik-International Journal for Light and Electron Optics, 2015,126(21): 2804-2808.
- [6] RASHEED N, QURESHI W S, KHAN S A, et al. AirMatch: An automated mosaicing system with video preprocessing engine for multiple aerial feeds[J]. IEICE Transactions on Information and Systems, 2021,E104.D(4): 490-499.

- [7] 冯鑫,汪陈跃,孙爱平,等. 基于 ZYNQ 的多传感器实时图像拼接技术研究[J]. 红外技术, 2016,38(3): 207-210.
FENG X, WANG CH Y, SUN AI P, et al. Research on real-time multi-sensor image mosaic technology based on ZYNQ [J]. Infrared Technology, 2016, 38(3): 207-210.
- [8] 张浩. 基于 DSP 的高清全景图像拼接的研究与实现[D]. 成都:电子科技大学, 2018.
ZHANG H. Research and implementation of hd panoramic image mosaic based on DSP[D]. Chengdu: University of Electronic Science and Technology of China, 2018.
- [9] 于蕾,李欣泽,侯长波. 基于 ZYNQ 平台的图像拼接实验案例设计与实现[J]. 实验技术与管理, 2020, 37(10): 176-178.
YU L, LI X Z, HOU CH B. Design and realization of image stitching experimental case based on ZYNQ platform[J]. Experimental Technology and Management, 2020,37(10): 176-178.
- [10] KEONWOO P, YOOJEONG S, MYEONGJIN L. Region-based static video stitching for reduction of parallax distortion[J]. Sensors, 2021,21(12): 4020.
- [11] YANG T, TAO Y, FENLIN J, et al. A fast and robust real-time surveillance video stitching method[J]. Journal of Physics: Conference Series, 2020,1651(1): 12170.
- [12] JIANAN L, TINGFA X, KUN Z. Real-time feature-based video stabilization on FPGA[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2017,27(4): 907-919.
- [13] YONG W N, TAN S, ZHEN S Z, et al. Dynamic video stitching via shakiness removing [J]. IEEE transactions on image processing: A publication of the IEEE Signal Processing Society, 2018, 27(1): 164-178.
- [14] 李锦明,侯天喜,高文刚,等. 基于 FPGA 和 DSP 的图像拼接系统[J]. 仪表技术与传感器, 2018(7): 46-49.
LI J M, HOU T X, GAO W G, et al. Image mosaic system based on FPGA and DSP [J]. Instrument Technique and Sensor, 2018(7): 46-49.
- [15] GUANG Y L, BAO Z, YI H, et al. Video image scaling technology based on adaptive interpolation algorithm and Tts FPGA implementation[J]. Computer Standards & Interfaces, 2021 (prepublish): 103516.
- [16] 孙楠,张鹏,孟园. 全景图像采集与高速传输系统设计[J]. 国外电子测量技术, 2023,42(7): 88-94.
SUN N, ZHANG P, MENG Y. Panoramic image acquisition and high-speed transmission system design[J]. Foreign Electronic Measurement Technology, 2023,42(7): 88-94.

作者简介

冯琳,硕士研究生,主要研究方向为仪器仪表技术和信号检测与处理。

E-mail: fll13913279903@163.com

徐伟(通信作者),博士,正高、硕士生导师,主要研究方向为气象观测方法及仪器。

E-mail: xw@nuist.edu.cn