

DOI:10.19651/j.cnki.emt.2212251

微小卫星固存控制系统设计与实现^{*}

孙金傲 陈茂胜 邹吉炜 孔令波

(长光卫星技术股份有限公司 长春 130000)

摘要: 针对微小卫星对在轨数据采集、存储、下传等功能灵活性的迫切需求,掌握星上单机在不可监测弧段的状态数据信息,提出了一种基于FPGA的星载固态存储器控制系统。基于Verilog HDL语言通过自顶向下的RTL级设计,实现将全轨道遥测及GPS数据的实时存储,并能通过上注指令对NAND Flash中特定地址段数据进行下传,从而在地面进行多角度的分析及挖掘。经多发卫星型号在轨验证,已经实现批产,该固存控制系统能够连续存储48.8天延时遥测和45.2天GPS数据,在满足数据吞吐率的基础上,误码率低至 8.16×10^{-9} ,通过增加仲裁、状态超时、坏块管理和三模等功能,使其具有超高的鲁棒性、稳定性、抗单粒子特性,该系统完全满足新一代微小卫星对固存灵巧搭载的应用要求。

关键词: 微小卫星;固态存储;FPGA;Verilog HDL;NAND Flash

中图分类号: TN492 **文献标识码:** A **国家标准学科分类代码:** 590.10

Design and realization of microsatellite storage control system

Sun Jin'ao Chen Maosheng Zou Jiwei Kong Lingbo

(Chang Guang Satellite Technology Co., Ltd., Changchun 130000, China)

Abstract: In view of the urgent demand of small satellite for the flexibility of data acquisition, storage and down transmission, a control system of satellite solid state memory based on FPGA is proposed. The control system can realize the real-time storage and down transmission of small satellite in orbit data. Based on Verilog HDL language, through the top-down RTL level design, the full orbit telemetry and GPS data can be stored in real time, and the specific address segment data in NAND Flash can be transmitted down through the upper note instruction, so as to carry out multi angle analysis and mining on the ground. After the on orbit verification of multiple satellite models, batch production has been achieved. The fixed storage control system can continuously store 48.8 day delay telemetry and 45.2 day GPS data. On the basis of satisfying the data throughput rate, the bit error rate is as low as 8.16×10^{-9} . By adding arbitration, state timeout, bad block management and three mode functions, the system has super high robustness, stability and single particle characteristics. The system fully meets the application requirements of the new generation of micro satellites for fixed storage and smart carrying.

Keywords: microsatellite; solid state storage; FPGA; Verilog HDL; NAND Flash

0 引言

近年来,随着商业航天的迅猛发展,试验验证任务也越频繁,除需确保卫星主载荷业务的顺利开展之外,实现星上某些辅助数据在轨的间断性存储及数传功能,掌握卫星在测控站不可观测弧段工作状态的重要方法,对于分析卫星总体或某特定单机在轨工作状态具有重要意义^[1]。因此,对高可靠性固存控制系统的自主研发已尤为迫切和重要。

另一方面,在现代国防环境中,配备高性能固存部件的单机无处不在,地面制导系统、电子对抗装备、空中战斗机群以及太空通信卫星都在广泛使用存储设备^[2-6]。随着科技的持续进步以及功能实现方法的不断革新,更强的探测威力、更稳健的抗干扰能力、更精确的目标检测和识别能力成为下一代设备探索追求的目标^[7]。因此,探索存储技术的发展水平对国防安全具有极高的战略意义。

针对上述问题,本文在确保不影响整星各分系统功能体系的基础上,设计并实现了基于FPGA的星载固态存储

收稿日期:2022-12-01

* 基金项目:吉林省科学技术厅项目(20210201114GX)资助

控制系统,搭载使用了 32 GB 的 Nand Flash 作为存储介质。该系统能够实现中心计算机实时遥测及全轨道 GPS 数据的分区存储及下传,支持 CAN 总线、RS422、RS232 等串口通信协议的数据输入,便于拓展其他数据的存储。目前,该系统已成功多次搭载某型号卫星,将延时遥测及全轨道 GPS 数据成功下传至地面,便于地面对数据的发掘、分析及利用。经多次在轨验证,该系统具有超高的可靠性、灵活性、移植性、低功耗以及小型化等特性。

1 固存控制系统工作原理及设计

1.1 整体设计

本文设计的星载固存控制系统电路架构如图 1 所示,

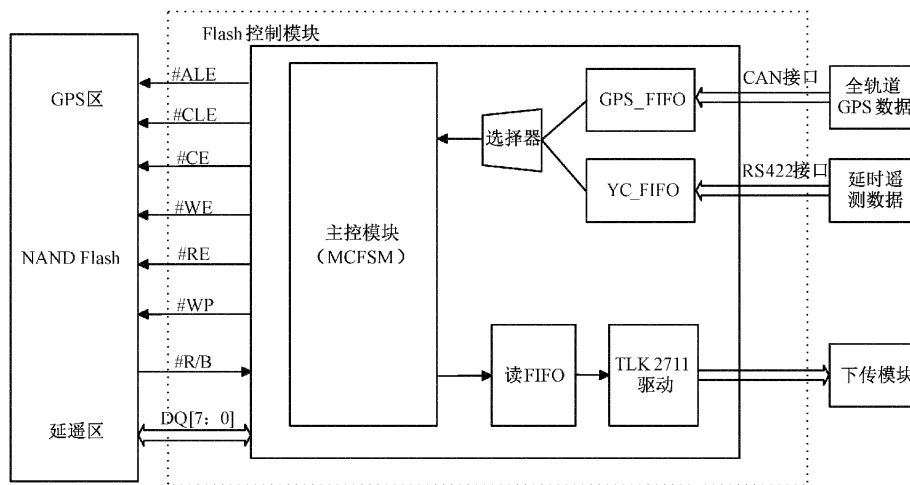


图 1 星载固存控制系统架构

口均可进行在线配置,支持多种波特率数据传输,使得待存储数据更加灵活多样。Flash 存储区可根据存储数据类型进行动态划分,支持多个单机多种数据共享 Flash 存储空间。

1.2 主控状态机

主控状态机(main control FSM, MCFSM)是本设计的核心。其主要功能是实现逻辑运行的顶层规划,在 NAND Flash 所处不同阶段产生相对应的使能信号向下驱动各功能子模块,子模块完成相应任务之后再报告主控状态机。这样自顶向下的设计使控制系统结构清晰,易于升级维护,同时双向握手的设计使整体链路具备更高的鲁棒性、稳定性及抗干扰性。图 2 为主控状态机的状态跳转图,下面简要介绍其工作原理。

NAND Flash 每次上电重启后均需先进行复位和模式配置操作,以确保 Flash 运行在可控状态。当该控制系统刚上电运行时,主控状态机处于初始 idle 状态,经复位和模式配置操作后,判断读取模式配置各项参数是否正确。若正确主控状态机跳转到 ready 状态,该状态是一个中待执行指令状态,所有对 Flash 的读、写及擦除等动作均以状态为起点。

其由 NAND Flash 存储区、FPGA 逻辑控制模块以及外部数据通信接口共 3 部分组成。电路基本工作原理如下:首先外部 GPS、延时遥测数据分别通过 RS422 串口、CAN 总线进入到 FPGA 预留 fifo 中。主控模块监测 fifo 中的数据量大于等于阈值时,写 Flash 使能有效,将数据连续写入 NAND Flash 对应存储分区,并且每帧均添加带有帧流水号和帧信息的 16 Bytes 帧头。当读请求通过 CAN 总线传入控制器时,控制器提取读地址空间信息,不间断的将 NAND Flash 中数据读出并通过 TLK2711 下传,进而实现数据的间断性存储按需下传的功能。

其中,对 Flash 坏块判断、坏块规避、读写地址控制、状态超时等均由主控模块中相应的子模块完成。数据通信接

写操作:在 ready 状态下,当写使能 write_en 有效时,此时判断写地址是否为一个 block 的第 1 个 page,若是先进行坏块判断、块擦除、状态判断操作,成功之后再写操作,写操作完成之后返回 ready 状态;若不是第 1 个 page 则直接进行写操作。为确保写数据的连续性,当在执行写操作时状态机不再接受除复位之外的其他命令。

读操作:在 ready 状态时,当 read_en 有效时,首先进行坏块判断操作,之后再开始读操作;如果不是第 1 个 page 则直接进行读操作。当读操作完成时状态机跳转回 ready 状态,等待执行下条指令。为确保读数据的连续性,当在执行读操作时状态机不再接受除复位之外其他命令。在本控制系统软件的设计中,读使能 read_en 优先级高于写使能 write_en。并在各子模块均设置了超时跳判断,避免状态卡死,增强整体状态机的鲁棒性。

1.3 待机模块

该模块是本设计的重中之重,也是亮点所在,其集成了地址编码、读写仲裁、以及遥控指令锁存等功能。传统的设计一般是将读与写地址分开来控制,仲裁功能一般隶属于第三方子模块^[8-9],而在本设计中,将上述功能集成在一起。高度集成化的设计使布局布线后的延时更小,同时

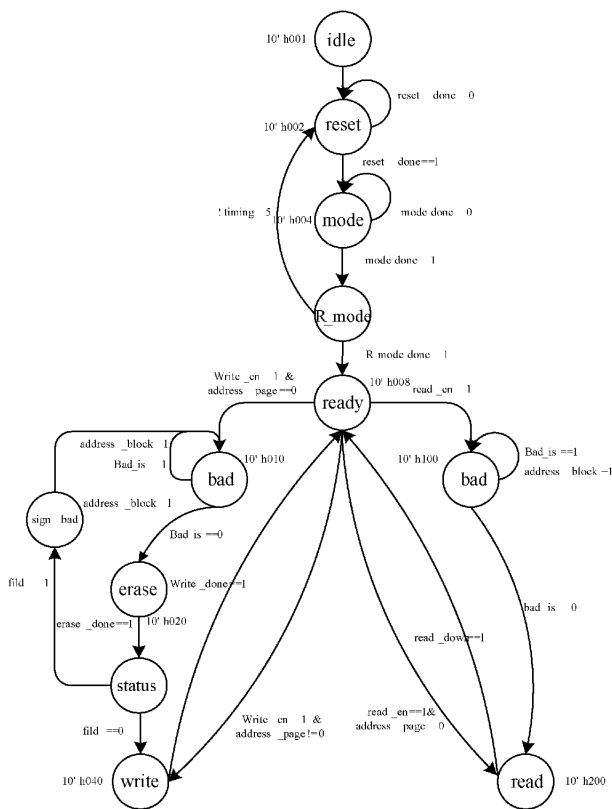


图 2 主控制状态机跳转顶层框图

便于后期的管理与优化。下面介绍其原理。

在 MCFSM 处于此状态时,本模块主要通过判断 wrcnt 参量,来获悉 3 个 fifo 中数据量,通过仲裁给出顶层状态机跳转使能信号。NAND Flash 操作优先级如图 3 所示,当没有读请求且 GPS_fifo 中的数据量大于等于 8 176 Bytes 时,给出写 GPS 使能信号;当没有读请求且 GPS_fifo 中的数据量小于 8 176 Bytes 时,YC_fifo(延时遥测 fifo)中的数据量大等于 8 176 Bytes 时给出遥测写使能信号;当有读请求时,优先发送读使能信号。这里,当处于某一执行状态时,不再对跳转条件进行判断,直至本次操作全部完成时,再次进行使能信号的仲裁,以此来保证操作完整。当在执行读操作的时候状态机不再接受除复位信号之外的其他命令。

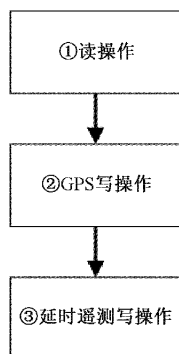


图 3 NAND Flash 操作优先级

每完成一次的读写任务之后,主状态机均会跳转回 ready 状态,在该状态至少停留 10 个时钟周期,以用来充分将下次任务的读写地址备好。这样的设计,确保每次的读写延迟误差不会进行迭代,使得整体设计更加稳定。

1.4 坏块检测与标记

坏块处理一直以来是 NAND Flash 的重点研究方向,在不影响写入和读出速度的基础上,如何更加稳定高效的检测、规避以及标记坏块成为了现阶段的研究热点^[14-13]。在本设计中,考虑到不再增加 ROM 等存储硬件设备,根据地址读写地址来确定坏块检测使能的开关。

坏块检测模块由其子状态机构成,该模块当使能有效之后,状态机开始运行,读取该 block 第 1 页中的坏块标志字节位,如若读出数据为 8'h00,即为坏块。在本设计中,检测到即将进行写操作的块为坏块时,直接对 ready 模块反馈坏块标志,ready 模块在块地址上直接进行顶层规避操作。为了保持相对应的一致性,在执行读操作时,如遇到坏块也做相同处理,确保数据的完整性。这样,不会因为频繁上电重启导致读写数据降慢,更加稳定高效。当读写地址中的页地址为 0 的时候,表明接下来要读、写的是一个新块,需要在操作这个块之前对该块的好坏进行判断,如果是好块继续进行相应操作,如若是坏块跳过该块直接对下一个块进行判断。如图 4 所示为坏块判断流程。

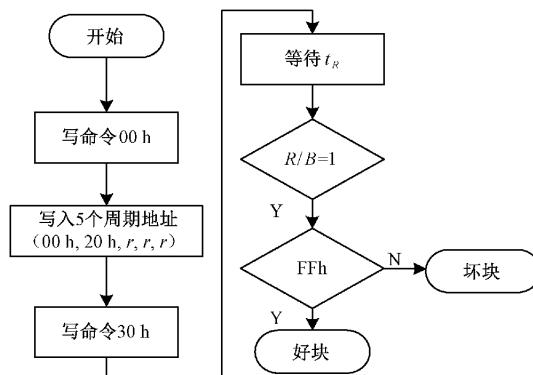


图 4 坏块检测流程

1.5 读写模块

在上述坏块判断、擦除操作均正确执行之后,才能正确进行页编程及页读取操作。每次写操作以页为单位,一次性存储 8 192 Bytes 数据量,其中前 16 Bytes 为表征数据信息的帧头数据,后 8 176 Bytes 为有效存储数据,并且写入地址要求是逐步递增且连续的^[14-17]。该控制系统最大可连续存储 48 天延时延迟数据和 44.7 天 GPS 数据。存储数据格式如图 5 所示。

Flash 读操作之前也需要进行坏块判断,如果是坏块,读区域地址向下瞬移。同样的,Flash 的读也是针对页进行操作的,即一次性读取 8 192 Bytes。通过解析地面延播指令得出本次要读出的数据量,确定本次读操作的首尾地址。当读 fifo 的容量不小于 8 192 Bytes 且此时读使能有

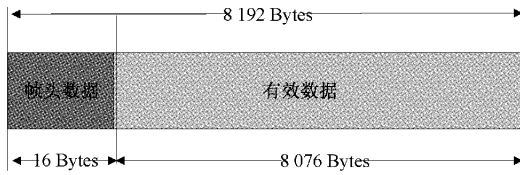


图 5 数据存储格式

效时连续读出 Flash 中的一页数据,经读 fifo 送至 TLK2711。如图 6 所示为读操作流程。

2 电路仿真及验证

根据图 1 所示的固存控制系统框图,基于 Verilog HDL 硬件描述语言对各个模块进行了自顶向下的 RTL 级设计。在测试过程中,补丁箱依据 GPS 的 RS422 传输协议接收 GPS 数据,每帧 568 Bytes,波特率为 115 200 bps,帧与帧间隔 1 s;本软件 CAN 通讯用来接收中心机延时遥测数据和指令通信,选择 Pelican 旁路模式,扩展帧通信,波特率为 500 Kbps,帧与帧间隔为 125 ms。在测试过程中

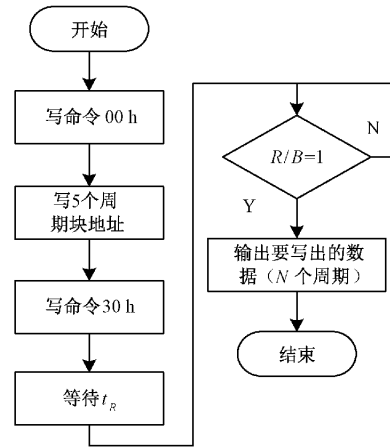


图 6 读操作流程

针对页编程、坏块规避、页读取、竞争仲裁等进行了多角度仿真。这里以接收 GPS 数据为例,进行详细剖析与论证,测试结果如图 7 所示。

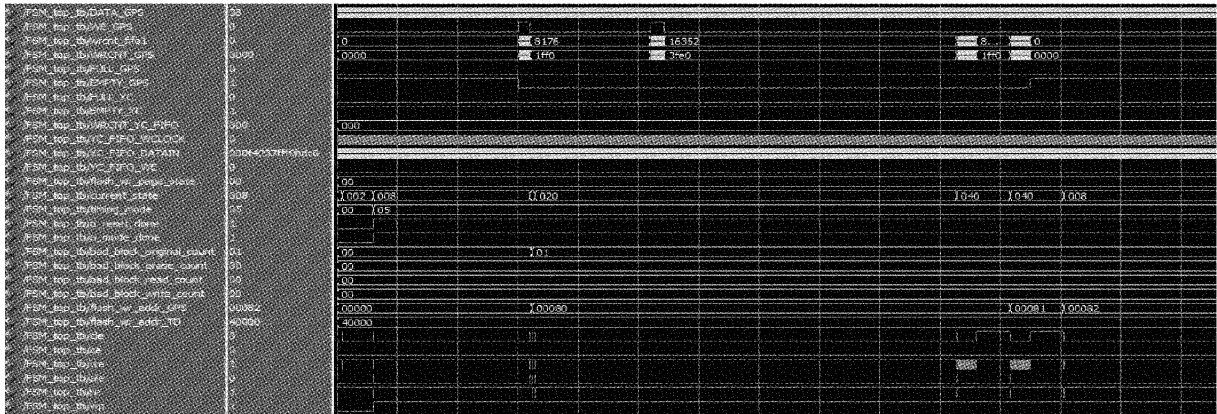


图 7 测试仿真波形

图 7 中,模拟工况为第 1 个即将写入的为坏块,连续通过 RS422 串口输入 2 组 8 176 Bytes GPS 数据。从仿真结果可以看出,主控状态机首先跳转到坏块检测状态进行坏块检查,成功检测到第 1 个坏块之后写入地址向下顺移规避坏块区间,直至检测当前块为良块后开始进行页编程。图中 EMPTY_GPS 信号由低拉高表明 GPS fifo 中的数据已被读空,表明 GPS 数据被成功写入到 Flash 中,当主控状态机的状态序号为 008 表征已经回到待机状态,写入操作已经全部完成。通过仿真验证,模拟写入 Flash 工况,控制系统功能与预期设计一致。

多次搭载吉林一号系列卫星,将在轨储存的 GPS 数据通过成像处理箱下传,将得到的数据在地面进行分离与解析,验证结果如图 8 所示。数据成功检测出数据帧头,检测识别通过数为 242 852,存在误码异常数量为 9,出现误码的帧数低至 3.7×10^{-5} 。GPS 数据每帧为 568 Bytes,实际误码率为 8.16×10^{-9} ,完全满足 GPS 对空间链路无线传

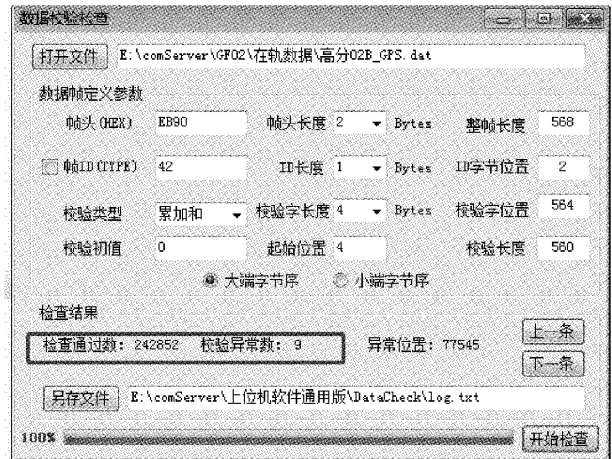


图 8 在轨数据解析

输的误码率要求,不影响 GPS 在地面进行定轨恢复等操作。通过在轨验证,进一步证明本控制系统各项功能指标

完全满足设计要求。同时,数传的延时遥测信息,也将卫星在轨的实际工作状态在地面重演,完成了不可测控段卫星状态的监测。

3 结 论

针对目前如何掌握卫星某些单机在轨不可观测弧段的数据和状态信息,本文设计实现了一种基于 FPGA 的星载固存控制系统。该设计支持 CAN、RS422 串口等多种接口通信,以满足各种单机的数据通信需求,同时可根据实际搭载情况灵活的分配固存空间。该固存控制系统凭借着超高的可靠性、灵活性、可移植性、低功耗以及可快速批量生产等特性,已经多次搭载并圆满完成预定任务,从固存到下传全流程误码率低于 8.16×10^{-9} ,为卫星全轨道数据的存储、下传和深度挖掘提供一条研制新思路。

参考文献

- [1] 张俊杰,沈霞宏,徐瑞瑞,等. 星载同步 NAND Flash 的研究与应用[J]. 无线电工程, 2019, 49(1):86-90.
- [2] 孔令波,陈茂胜,曲云昭,等. 商用卫星姿控反作用飞轮控制系统设计与实现[J]. 电子测量与仪器学报, 2019, 31(12):167-172.
- [3] 董静怡,庞景月,彭宇,等. 集成 LSTM 的航天器遥测数据异常检测方法[J]. 仪器仪表学报, 2019, 40(7):22-29.
- [4] 王德波. 基于 COTS 器件的异构冗余星载计算机加固设计[J]. 电子测量技术, 2020, 43(10):1-6.
- [5] 李海涛,曹纯. 基于改进 SSD 的航天发动机试验报警方法[J]. 国外电子测量技术, 2020, 39(4):149-153.
- [6] 赵会群,李春良. 基于密度划分的数据存储方法与技术[J]. 计算机工程与设计, 2020, 41(9):90-95.
- [7] 沈欣,陈良权,高敏,等. 基于 FPGA 的 OCTA NOR Flash 存储芯片高效测试方法[J]. 微电子学与计算机, 2019, 36(10):71-73,78.
- [8] 许志宏,安军社,燕威,等. 星载大容量固态存储控制器的级联编码设计[J]. 国防科技大学学报, 2018, 40(2):103-111.
- [9] 龚泯宇,郭世旭,田皓文. 基于 FPGA 的多波束声纳发射机与接收机模块化设计[J]. 电子测量与仪器学报, 2022, 36(1):141-148.
- [10] 张伟东,董振兴,朱岩,等. 星载固态存储系统自适应闪存转换层设计[J]. 哈尔滨工业大学学报, 2020, 52(5):81-87.
- [11] AHN N, DONG H L. Forensics and anti-forensics of a NAND Flash memory: From a copy-back program perspective[J]. IEEE Access, 2021, 9.
- [12] LI C Z, CHEN R H, LIN J Y, et al. A study on the effect of process parameters on thin NAND Flash wafer by multi-beam matrix laser cutting [J]. Key Engineering Materials, 2020, 830:59-67.
- [13] 徐楠,李朝阳,王兆琦,等. 高轨卫星星载计算机优化设计与实现[J]. 中国空间科学技术, 2020, 40(1):94-100.
- [14] 任勇峰,多卉枫,武慧军. 基于 FPGA 的多通路 SRIO 数据传输设计[J]. 电子测量技术, 2022, 45(14):152-156.
- [15] 许娜,彭飞,谭彦亮,等. 一种基于虚拟页地址映射的 NAND Flash 管理算法[J]. 空间控制技术与应用, 2020, 46(3):60-65.
- [16] 吴嘉伟,魏志强,张会新. 基于 FPGA 和 FLASH 的多路数据存储技术[J]. 现代电子技术, 2020, 43(4):34-37.
- [17] 乔亚飞,李华旺,常亮,等. 基于 FPGA 的星载 NANDFLASH 控制器的设计[J]. 电子设计工程, 2018, 26(14):158-161,166.

作者简介

孙金傲,硕士,工程师,主要研究方向为遥感卫星星载计算机类单机的研制及总体设计。

E-mail:sunjinao@cug.edu.cn

陈茂胜(通信作者),博士,副研究员,主要研究方向为卫星总体论证与设计。

E-mail:592398672@163.com