

DOI:10.19651/j.cnki.emt.2519053

# 基于智能处理器的弹载计算机一体化架构设计

闫宋锐 毋勇民 徐卓

(西安现代控制技术研究所 西安 710000)

**摘要:** 针对弹药系统智能化和弹载计算机一体化的需求,提出了基于智能处理器的弹载计算机一体化架构设计方案。一体化弹载计算机可通过智能模块对导引头传来的图像数据进行智能识别,并能通过信息处理模块控制弹上的各个系统。该设计充分利用了各类处理器资源,为弹载高速实时大容量数据处理、复杂算法以及数据传输的实现构筑了强大的硬件架构支撑平台。借助分层模式架构下的并行软件设计策略,将系统计算任务均衡地映射至不同处理器,进而达成多任务实时并行处理的目标。最终的样机测试结果表明一体化架构设计合理,具有重要的军事意义与工程应用价值。

**关键词:** 一体化;智能处理器;弹载计算机

**中图分类号:** TN919.5 **文献标识码:** A **国家标准学科分类代码:** 590.35

## Design of an integrated architecture for airborne computers based on intelligent processors

Yan Songkun Mu Yongmin Xu Zhuo

(Xi'an Institute of Modern Control Technology, Xi'an 710000, China)

**Abstract:** In response to the demand for the intelligence of ammunition systems and the integration of onboard computers, a design scheme for an integrated onboard computer architecture based on intelligent processors has been proposed. The integrated onboard computer can utilize intelligent modules to perform smart recognition of image data transmitted from the guidance head and can control various systems on the projectile through an information processing module. This design makes full use of various processor resources, creating a robust hardware architecture support platform for high-speed real-time large-capacity data processing, complex algorithms, and data transmission on the projectile. By employing a parallel software design strategy within a layered architecture, system computation tasks are evenly mapped to different processors, thereby achieving the goal of multi-task real-time parallel processing. The final prototype test results indicate that the integrated architecture design is reasonable, carrying significant military implications and engineering application value.

**Keywords:** integration; intelligent processor; missile computer

## 0 引言

近年来,随着现代战争形态向信息化、智能化<sup>[1]</sup>方向加速演进,导弹武器系统作为战略威慑与战术打击的核心装备,正面临颠覆性技术变革<sup>[2]</sup>。传统弹载计算机系统基于经典控制理论构建,虽在二十世纪为导弹精确制导奠定了坚实基础,但在高超声速突防、集群协同作战、强电磁对抗等新型作战场景下,其固有局限性日益凸显。当前,美俄等军事强国已在高超音速导弹(如美国 AGM-183A、俄罗斯“匕首”)、智能巡飞弹<sup>[3]</sup>(如“弹簧刀-600”)中率先应用人工智能技术<sup>[4]</sup>,显著提升了战场生存能力与任务完成率。在

这一背景下,将专用智能处理器<sup>[5]</sup>与传统飞控系统深度融合,构建兼具高可靠性与强智能化的一体化弹载计算机架构,已成为我国导弹技术跨越式发展的战略必选项。

当前弹载计算机研究以异构计算架构为核心技术路线。如景德胜等<sup>[6]</sup>提出的一种基于数字信号处理器(digital signal processor, DSP)+现场可编程逻辑门阵列(field programmable gate array, FPGA)的弹载计算机架构设计中,DSP负责高层算法(如制导解算、控制逻辑),FPGA处理底层数据流(接口控制、图像预处理)。采用共享总线或分布式互联,支持多层次通信,但传统 DSP 堆叠提升算力需牺牲体积/功耗(如4片 TS201 功耗>20 W)。同样曹阳

等<sup>[7]</sup>提出的基于 ARM 处理器(advanced risc machines, ARM)+FPGA 的滑翔增程弹弹载计算机设计与实现中,ARM 作为主控(运行 Linux 系统),FPGA 加速实时任务。功耗低,开发便捷(Linux 生态)但实时性不足,同时也无法满足当前高算力的发展需求。现有弹载计算机主流架构(DSP+FPGA, ARM+FPGA)在应对弹药系统智能化浪潮所要求的超高计算量(特别是 AI 算力 TOPS 级)、严苛实时性(硬实时<1 ms)、极低功耗(<15~20 W 系统级)这三大核心定量需求时,存在算力不足、实时性缺陷、功耗超标或能效比低下等显著不足。单纯优化现有双核架构已难以满足未来智能弹药的发展需求。

本文设计是基于某弹上一体化弹载计算机设计项目。任务要求搭建 ARM+FPGA+嵌入式神经网络处理器(neural network processing unit, NPU)三核协同的一体化架构,通过任务卸载(如 FPGA 做预处理、NPU 做识别、ARM 做控制)最大化能效比,并通过测试验证其可行性。根据上文所述,现阶段针对此需求的一体化架构研究较少。

对此,本文提出了基于智能处理器的一体化弹载计算机架构设计,通过此设计可以破解“智能性-实时性-可靠性”三角矛盾,充分利用各类处理器资源,为弹载高速实时大容量数据处理、复杂算法以及数据传输的实现构筑强大的硬件支撑平台。同时推动弹载计算机从“固定功能”向“通用可重构+智能化”演进,具有重要的军事意义与工程价值。

### 1 一体化弹载计算机总体设计

弹载计算机作为弹载制导控制系统的核心部分,其状态直接决定着整个控制过程的实现以及最终的打击精度。弹载计算机的基础功能可以分为 4 类:数据采集、数据处理和解算、输出数据和数据交互通讯。弹载计算机上电后,通过电源转换单元将热电池或者载机电源变换为内部使用的各类电源,通过高速接插件接收导引头的图像信号。并通过综合信息处理单元综合处理多源信号,实现图像信号处理及解码,舵机控制功能以及导弹时序控制和各个部件的数据交互。并通过点火与接口单元,实现总线接口扩展、分离查询、信号采集以及点火功率驱动输出,最终综合导航、导引数据,通过飞行控制解算,生成舵指令,实现导弹的闭环飞行控制。

在设计方案上相较于传统 ARM+FPGA 的架构<sup>[8]</sup>设计,采用 ARM+FPGA+NPU 的架构设计实现方式提高了弹载计算机的算力,使其可以满足更多弹上功能需求。从整弹的设计角度看,节约了设计成本,更有利于弹上的集成与维护。

目前为满足更多实际需求,如更高的数据处理能力要求以及多处理器的构架需求,一般芯片不足以满足数据处理要求。为解放并提高系统在特定用途的利用率,系统需要采用多核芯片以及多芯片组合的使用构架,进一步的为

提升数据和逻辑处理能力。经调研发现,市场还没有能够集成 ARM、FPGA、NPU 于一体的芯片,但主控芯片+FPGA 的构架已经相当成熟<sup>[9]</sup>。SOC(system on chip)系统芯片,是对各专用电路、处理器内核和技术进行封装、集成,形成的一体化控制器,复旦微电子在国内对于 SOC 芯片的研发已经相当成熟<sup>[10]</sup>。根据目前选择的一体化架构方案以及研发周期考虑,最终选择 FMQL45T900 作为主控芯片<sup>[11]</sup>,它不仅提供了 FPGA 的灵活和可扩展性,同时也提供了与专用集成电路和专用标准产品相关的性能、功耗和易用性。考虑到一体化架构需要 NPU 核,加上对算力、功耗、可靠性的要求,所以采用华为昇腾 310B 模组作为一体化架构的智能处理部分<sup>[12-13]</sup>,该模组集成了各类接口控制器,如 I2C、SPI、以太网等,这种集成的设计方式,简化了硬件设计,便于软件编程,降低了设计成本。

图 1 所示为一体化弹载计算机的硬件设计框图。

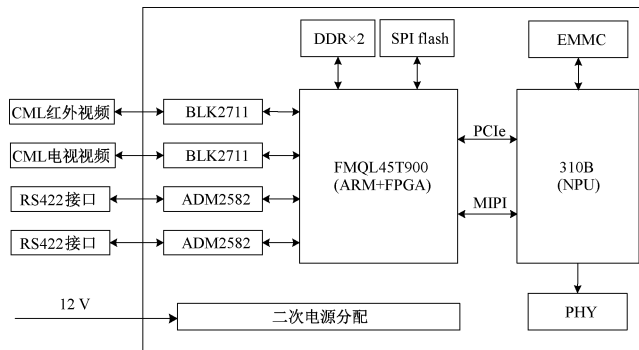


图 1 硬件设计框图

Fig. 1 Hardware design diagram

从图 1 可以看出一体化弹载计算机集成了电源模块、存储模块以及通信接口<sup>[14]</sup>。弹载计算机的供电由外部输入的 12 V 电压提供,再经过电源保护电路,滤波电路和电压管理芯片后,提供给各个模块所需要的工作电压。FMQL45T900 芯片外接了双数据率同步动态随机存取内存(double data rate, DDR)内存颗粒,单片 DDR 颗粒大小是 4 Gb,数据接口是 16 bit,用来储存工作时的数据,起到缓冲数据的作用。同时,连接一个 QSPI FLASH 芯片用于程序的烧录与启动。芯片内部的 PL 端高速串行收发器用于与 310B 模组通信和对外通信。视频数据通过 PL 端进入 310B 模组,经计算处理后,再由 ARM 进行模型解算,最后输出控制信号。FMQL45T900 和 310B 模组之间选用 MIPI 差分信号传输双模导引头视频数据。

### 2 硬件设计

#### 2.1 供电电路设计

弹载计算机的供电来自于弹上热电池的 12 V,内部需要的各种电压如图 2 的电源树所示。

根据芯片的产品手册确定内部需要 3.3、2.5、1.8、1.5、1.2 V 以及 1.0 V 六种电源。12 V 电源经过滤波和保

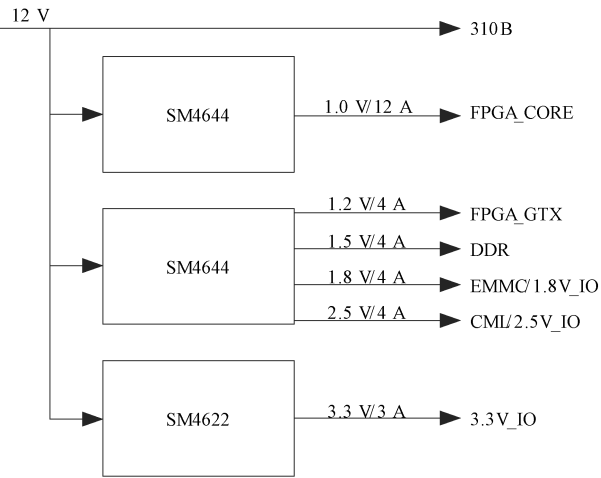


图 2 电源分配图

Fig. 2 Power distribution diagram

护电路后,输入到 SM4644 芯片,此芯片支持 4~14 V 电压输入,最高可供 4 个 4 A 电流输出的 DC-DC 降压通道。由图 2 可知 12 V 经过降压得到各个芯片,如 DDR3、EMMC、CML 工作所需要的对应电压。此外,还要按照手册要求设计上电时序,采用内核先行上电,外设器件及外围器件后上电的设计方法,从而达到最小的系统上电浪涌规定,其上电顺序为:

VCC 1.0(1.0 V)→VCC 1.8(1.8 V)→VCC 1.5(1.5 V)→VCC 3.3(3.3 V)

通过 DC-DC 管脚外接不同阻值的电阻来改变输出电压值,采用“前级控后级”,如 1.0 V 输出作为 1.8 V 的使能控制上电顺序。

### 2.2 时钟电路设计

晶振电路主要为 310B 和 FPGA 提供稳定的时钟信号,采用 3.3 V 供电,输出 LVDS 信号,在输出端接入型号为 CDCLVP1204 的缓冲器,如图 3 所示,将单路输入时钟信号复制两份进行输出。

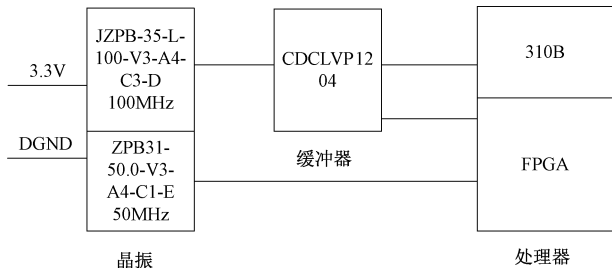


图 3 时钟连接图

Fig. 3 Crystal oscillator circuit schematic

### 2.3 复位电路设计

复位电路主要作用是实现系统的上电复位功能,该电路包含电源电压检测模块、硬件复位模块和一个独立的电压检测模块。复位芯片供电电压为 3.3 V,复位阈值为

2.85 V,延时时间阈值为[140 ms,180 ms]。复位电路如图 4 所示。

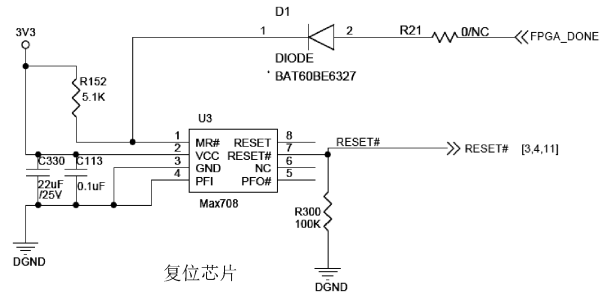


图 4 复位电路原理图

Fig. 4 Reset circuit schematic

### 2.4 视频接口设计

本文一体化设计的外部视频通过 CML 接口输入<sup>[15]</sup>,采用 2 路高速串行解串和串化芯片进行视频采集和输出。该芯片可以将外部串行数据转换为并行数据,同时将 FPGA 的并行数据转换为串行数据输出,从而完成 2 路 CML 视频的接收和发送,由于具备时钟恢复功能,可以作为物理层(PHY)接口器件使用。其串行收发接口最高可工作在 2.5 Gbps 速率下<sup>[16]</sup>。发送器基于外部提供的参考时钟(芯片中端口命名为 GTX\_CLK)的速率完成 16 bits 并行数据的锁存。这 16 bits 并行数据在内部通过 8 B/10 B 编码的方式转换为 20 bits,生成的 20 bits 字以 GTX\_CLK 速率的 20 倍进行差分传输。接收器部分执行串-并转换操作,生成的 20 bits 位宽的并行数据通过 8 B/10 B 解码在 RXD0-RXD15 端口上生成 16 bits 并行数据。电路原理图如图 5 所示。

### 2.5 存储电路

#### 1) EMMC 存储器

eMMC(embedded multi media card)电路主要用于数据非易失性存储,其内核采用 3.3 V 供电,IO 采用 1.8 V 供电,数据传输信号与 310B 连接,电路原理框图如图 6 所示。

#### 2) DDR3

DDR3 RAM 电路主要用于处理器程序动态加载和运算数据的动态存储<sup>[17]</sup>,选用 2 片 1.5 V 供电的 DDR3 RAM,单片数据宽度位 16 位,两片组合 32 位数据宽度,与处理器 PS 端 BANK32 对应管脚连接,地址线和控制线均采用 49.9 Ω 电阻进行上拉,用于保持信号的稳定性,防止信号干扰和误差的产生,电路连接图如图 7 所示。

#### 3) FLASH

FLASH(macromedia flash)主要用于程序的固化,数据写入速度对系统运行不造成后续影响,主程序代码占用容量有限不需要配置大容量闪存,且系统对闪存的可靠性以及实用性有明显要求,电路连接图如图 8 所示。

FLASH 芯片采用 3.3 V 进行供电,片选信号 CS 与

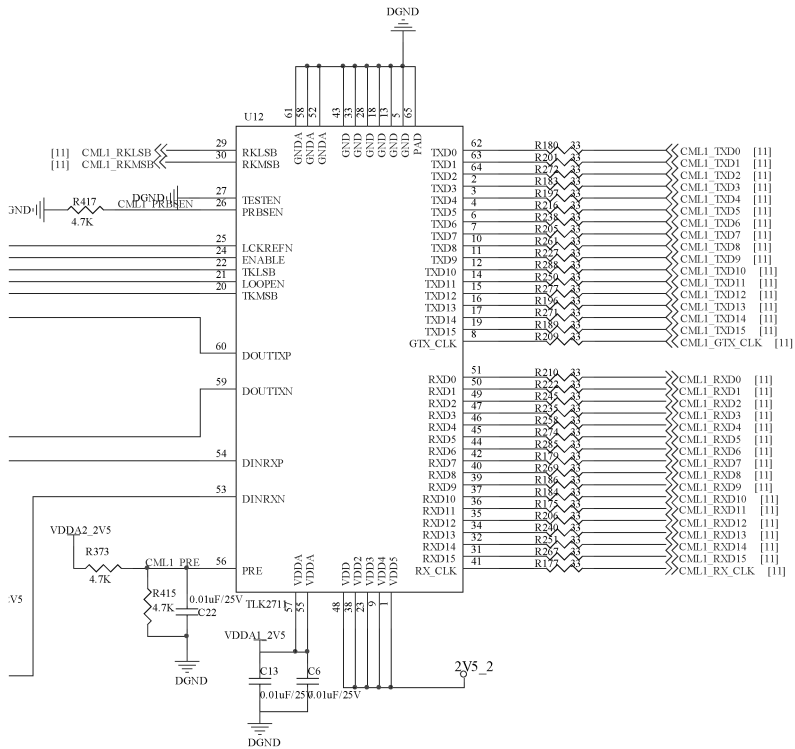


图 5 视频接口电路原理图

Fig. 5 Video interface circuit schematic

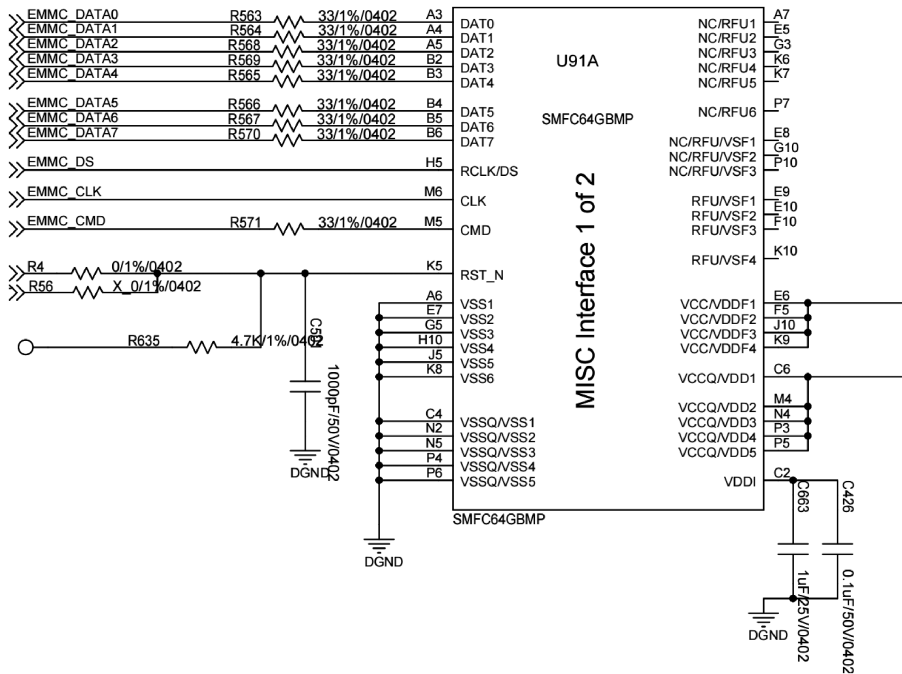


图 6 EMMC 电路原理图

Fig. 6 EMMC circuit schematic

PS\_MIO1 连接,4 路串行数据 DQ0~DQ3 分别与 PS\_MIO2~PS\_MIO5 连接,时钟信号 SCLK 与 PS\_MIO6 连接。通过 PS\_MIO5 上拉,PS\_MIO3 和 PS\_MIO4 下拉,将

处理器启动模式设置为 QSPI 启动。

### 2.6 通信电路

在具体电路设计中,采用 RS422 接口实现与导引头前

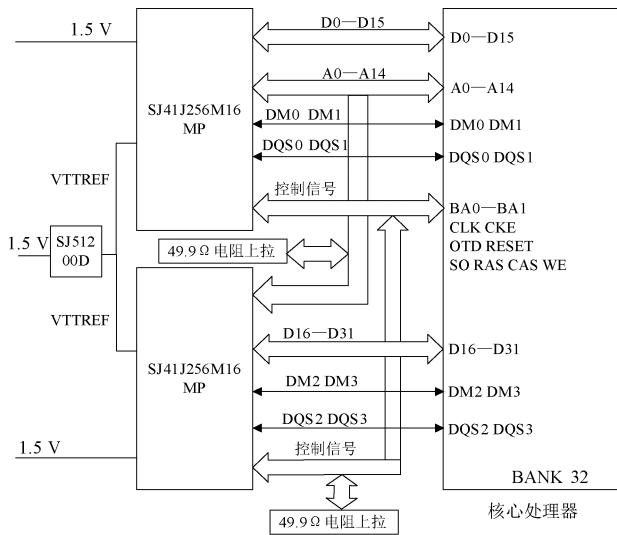


图 7 DDR 连接图

Fig. 7 DDR connection diagram

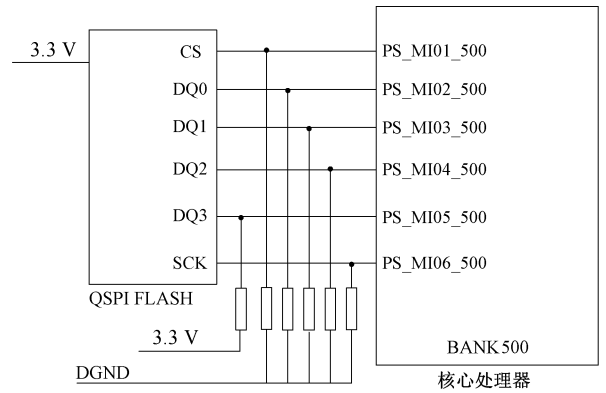


图 8 FLASH 连接图

Fig. 8 FLASH connection diagram

端的通信,支持 57 300 bps、115 200 bps、230 400 bps、460 800 bps、921 600 bps 等典型波特率。选用隔离型

RS422 收发器构成总线驱动电路,采用 3.3 V 供电,其最大传输速率可达 10 Mbps,能够满足系统最大波特率要求,在信号接收正负端间并联 120 Ω 电阻,对串行总线信号反射过冲进行滤除,保证串行总线通信质量,电路原理图如图 9 所示。

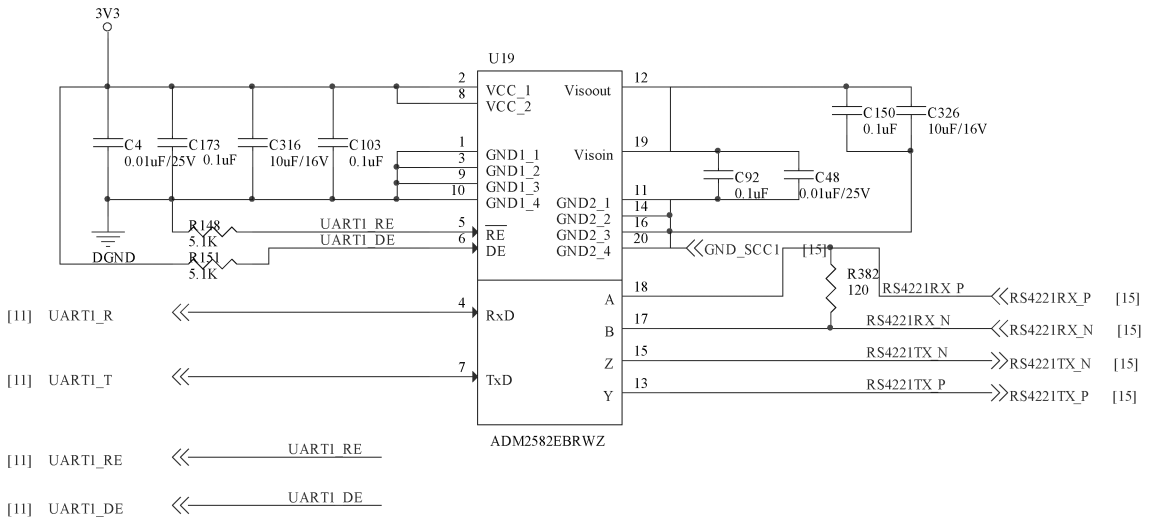


图 9 RS422 电路原理图

Fig. 9 RS422 circuit schematic

### 3 一体化架构测试

#### 3.1 供电测试

为验证本设计的可行性,在拿到样品时,首先应对内核供电进行测试,各路电压通过万用表测量各稳压芯片输出获得,经测量各路稳压芯片输出电压值满足各芯片供电需求,如表 1 所示。

#### 3.2 数据传输测试

数据传输测试主要测试通信是否正常,以任意路为例,使用转接线连接 PC 机与控制板,设置串口波特率 115 200,打开串口助手,如图 10 所示,界面显示成功收到

表 1 供电测试结果

Table 1 Power supply test results

序号	工作电压	测量电压
1	2.5	2.50
2	1.0	0.99
3	1.5	1.50
4	1.8	1.81
5	3.3	3.29
6	5.0	4.98

在程序中提前设置的数据,证明通信功能可以正常使用。

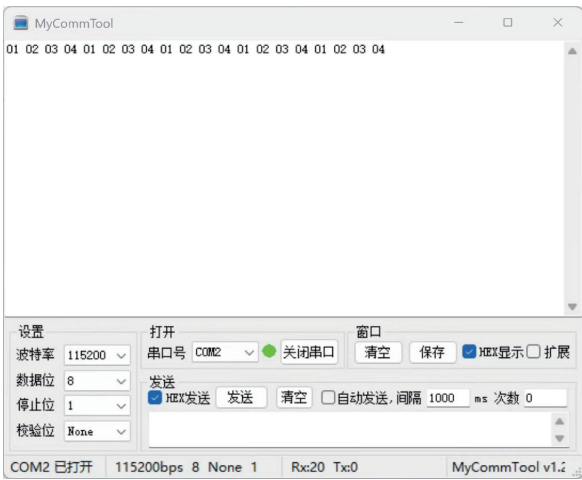


图 10 串口界面

Fig. 10 Serial port interface

### 3.3 程序下载测试

在确认供电正常后,将接口配置文件以及图像编解码程序烧录进样品中,程序下载过程如图 11 所示。同时将 YOLOv5 识别算法<sup>[18]</sup>写进 310B 模组中。

待程序下载成功后进行下一步测试。

### 3.4 图像信息解码测试

为了检验图像信号解码能力,本研究在 PC 端设计了一个图像接收界面,如图 12 所示。

首先模拟导引头与弹载计算机相连,连接 PC 机和控制板,打开导引头,可以在图像界面观察到导引头图像信息,图像信号正常接收并解码。

### 3.5 目标识别结果传输测试

为了检验目标识别结果能否正常传输,向智能处理模块注入不同组图像数据,连接 PC 机和控制板,观察目标识别结果,如图 13 所示,目标识别结果均成功上传到 PC 端。

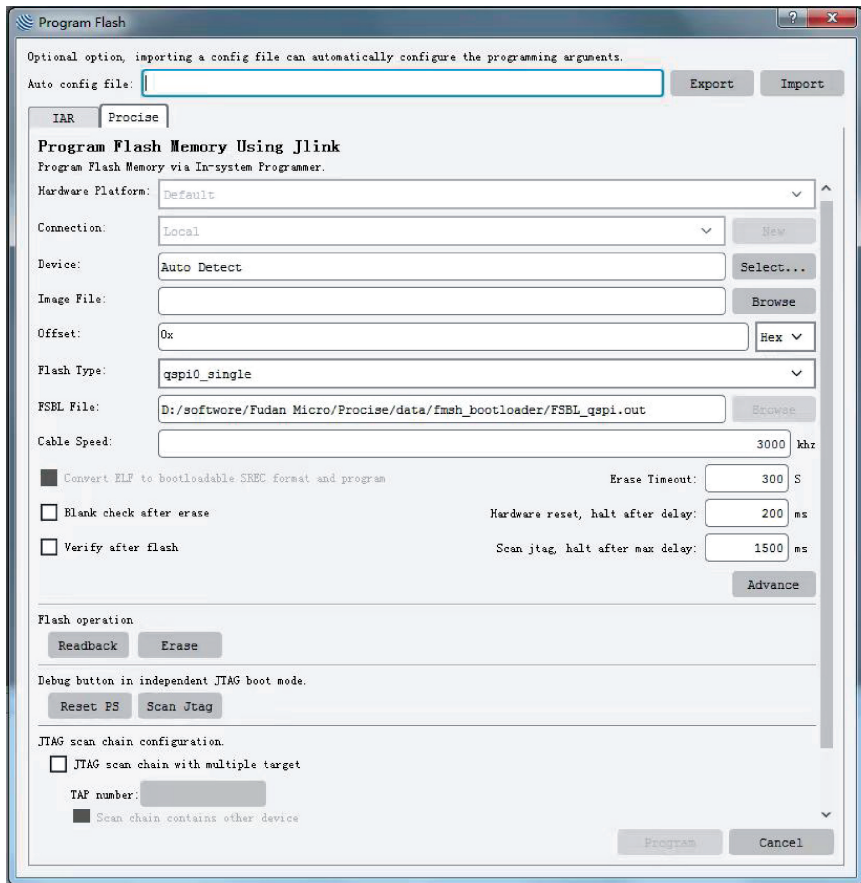


图 11 程序下载界面

Fig. 11 Program download interface

### 3.6 可靠性测试

在对产品完成以上测试后,又进行了覆盖极端力学环境(1 500 g 高过载冲击、20~2 000 Hz 随机振动)、宽温域工况(-55℃~+85℃循环)、长期满载压力(24 h 连续运

行)的可靠性测试。测试结果表明:在军工极限条件下产品功能正常,满负荷运行无故障且通信误码率 $\leq 10^{-9}$ ,功耗温漂 $\leq \pm 2\%$ 。



图 12 图像接收界面

Fig. 12 Image reception interface



图 13 目标识别结果图

Fig. 13 Target recognition result map

## 4 结 论

本文针对智能弹药系统中弹载计算机的高实时性、高精度与低功耗需求,提出了一种基于智能处理器的弹载计算机一体化架构设计方案。打破传统的以特定功能划分的弹载子系统为基础进行单独设计的思路,对硬件资源统筹规划,以模块化、组合化、功能多元化为设计理念,对弹载子系统的硬件电路进行集成化设计,减少系统内部的硬件资源冗余。

本文的主要贡献为:提出了一种基于昇腾 310B 与 SOC 芯片的硬件一体化架构,实现了图像处理与飞行控制功能的高效协同;通过实验验证了系统架构在智能弹药应用中的可行性,为高动态、高实时性要求的制导武器系统提供了技术参考。

尽管本文提出的硬件架构在智能弹药系统中取得了良好的实验效果,但仍有一些问题值得进一步研究:针对

高温、高湿、强电磁干扰等极端战场环境,研究抗辐射加固设计与可靠性增强技术;在现有架构基础上,支持更多接口类型与任务类型(如多目标协同打击),提升系统的适用性;结合强化学习与自适应控制算法,实现智能弹药系统的自主决策与动态优化能力。本文的研究成果不仅为智能弹药系统的硬件设计提供了新的思路,还可推广至无人机、机器人等高动态、高实时性要求的领域,具有重要的军事意义与工程应用价值。

## 参考文献

- [1] 田宗浩,孙姗姗,刘立晗,等. 无人作战中智能弹药作战运用及关键技术探究[J]. 战术导弹技术, 2024(6): 57-66.  
TIAN Z H, SUN SH SH, LIU L H, et al. Research on the application of intelligent ammunition in unmanned warfare and key technologies[J]. Tactical Missile Technology, 2024(6): 57-66.
- [2] 吴俊娟,黄春蓉,雷璐,等. 智能化技术在精确作战中的应用研究[J]. 战术导弹技术, 2021(6): 105-110.  
WU J X, HUANG CH R, LEI R, et al. Research on the application of intelligent technology in precision warfare[J]. Tactical Missile Technology, 2021(6): 105-110.
- [3] 彭滢青,张洪波,周祥,等. 巡飞弹航迹规划与飞行控制方法发展[J]. 火力与指挥控制, 2024, 49(6): 8-16,23.  
PENG Y Q, ZHANG H B, ZHOU X, et al. Development of trajectory planning and flight control methods for cruise missiles [J]. Firepower and Command Control, 2024, 49(6): 8-16,23.
- [4] 张进,徐国亮,郭浩. 人工智能技术在国外舰载武器系统中的应用浅析[J]. 现代防御技术, 2023, 51(1): 42-49.  
ZHANG J, XU G L, GUO H. A brief analysis of the application of artificial intelligence technology in foreign shipborne weapon systems [J]. Modern Defense Technology, 2023, 51(1): 42-49.
- [5] 陈栋,田宗浩. 面向深度学习的弹载图像处理异构加速现状分析[J]. 航空兵器, 2021, 28(3): 10-17.  
CHEN D, TIAN Z H. Analysis of the current status of heterogeneous acceleration for onboard image processing aimed at deep learning [J]. Aviation Weapons, 2021, 28(3): 10-17.
- [6] 景德胜,陈川,缙丽敏. 基于国产多核 DSP+FPGA 架构弹载计算机硬件平台设计[J]. 航空计算技术, 2021, 51(6): 84-87.  
JING D SH, CHEN CH, GOU L M. Design of missile-borne computer hardware platform based on domestic multi-core DSP FPGA architecture [J].

- Aeronautical Computing Technology, 2021, 51(6): 84-87.
- [7] 曹阳. 基于 ARM+FPGA 的滑翔增程弹弹载计算机设计与实现[D]. 南京:南京理工大学, 2015.  
CAO Y. Design and implementation of gliding extended-range missile computer based on ARM FPGA [D]. Nanjing: Nanjing University of Science and Technology, 2015.
- [8] 蒋晓东, 于纪言. 基于 SoC 的新型通用弹载计算机系统设计与实现[J]. 电子技术应用, 2018, 44(11): 33-36.  
JIANG X D, YU J Y. Design of new general-purpose missile-borne computer system based on SoC [J]. Application of Electronic Technology, 2018, 44(11): 33-36.
- [9] 李景晨, 陈健, 何理波. 1553B 总线仿真与测试的 PXIe 模块设计[J]. 电子测量技术, 2025, 48(9): 111-118.  
LI J CH, CHEN J, HE L B. PXIe module design for 1553B bus simulation and testing [J]. Electronic Measurement Technology, 2025, 48(9): 111-118.
- [10] 郭佳, 张渊, 冯伟, 等. 基于龙芯 2K1000 处理器和复旦微 FPGA 的全国产 RapidIO 解决方案研究[J]. 现代电子技术, 2023, 46(19): 8-12.  
GUO J, ZHANG Y, FENG W, et al. Research on domestic RapidIO solution based on Loongson 2K1000 processor and Fudan micro FPGA [J]. Modern Electronic Technology, 2023, 46(19): 8-12.
- [11] 宋书龙. 基于 FMQL45T900 文件系统研究与设计[J]. 计算机测量与控制, 2025, 33(3): 235-242.  
SONG SH L. Research and design of file system based on FMQL45T900 [J]. Computer Measurement and Control, 2025, 33(3): 235-242.
- [12] 鲁蔚征, 张峰, 贺寅烜, 等. 华为昇腾神经网络加速器性能评测与优化[J]. 计算机学报, 2022, 45(8): 1618-1637.  
LU W ZH, ZHANG F, HE Y X, et al. Performance evaluation and optimization of huawei ascend neural network accelerator[J]. Journal of Computer Science, 2022, 45(8): 1618-1637.
- [13] 李佳芯, 龚俊, 赵磊. 基于昇腾 AI 处理器的多路视频检测技术[J]. 兵器装备工程学报, 2025, 46(1): 258-266.  
LI J X, GONG J, ZHAO L. Multi-channel video detection technology based on ascend AI processor[J]. Journal of Weapon Equipment Engineering, 2025, 46(1): 258-266.
- [14] 隋新, 付强, 牛亮, 等. 某型弹载计算机硬件原理与内部结构研究[J]. 航空计算技术, 2022, 52(4): 96-99,102.  
SUI X, FU Q, NIU L, et al. Research on the hardware principle and internal structure of a certain type of missile-borne computer [J]. Aeronautical Computing Technology, 2022, 52(4): 96-99,102.
- [15] 吕新为. 高速接口电路发送器的设计[J]. 计算机与数字工程, 2020, 48(12): 3059-3063.  
LYU X W. Design of high-speed interface circuit transmitter[J]. Computer and Digital Engineering, 2020, 48(12): 3059-3063.
- [16] ATKIN E, SERAZETDINOV A. 2.56 Gbps CML transceiver for data concentrator ASIC[J]. Journal of Instrumentation, 2022, 17(3), DOI: 10.1088/1748-0221/17/03/C03002.
- [17] 郭华伦. 基于 FPGA 的 DDR3 控制器物理层的设计与实现[D]. 西安:西安电子科技大学, 2021.  
GUO H L. Design and implementation of physical layer of DDR3 controller based on FPGA[D]. Xi'an: Xidian University, 2021.
- [18] 赵永胜, 严志远, 毛瑞霞, 等. MEAS-YOLO: 改进 YOLOv5 的水下目标智能检测算法[J]. 电子测量技术, 2024, 47(13): 183-190.  
ZHAO Y SH, YAN ZH Y, MAO R X, et al. MEAS-YOLO: Improved underwater target intelligent detection algorithm for YOLOv5 [J]. Electronic Measurement Technology, 2024, 47(13): 183-190.

## 作者简介

闫宋锬, 本科, 工程师, 主要研究方向为弹载计算机研制。  
E-mail: 1245250169@qq.com

母勇民(通信作者), 硕士, 正高级工程师, 主要研究方向为电子信息工程。

徐卓, 硕士, 高级工程师, 主要研究方向为电子信息工程。