

# 高速 IC 测试系统的信号完整性设计

黄成 夏军 刘成汉 叶达

(中国电子科技集团公司第二十四研究所 重庆 400060)

**摘要:** 随着高速数字电路如专用集成电路 AISC、片上系统 SOC 和超高速混合信号处理电路 ADC、DAC 等集成电路数字端口的数据率提升,被测集成电路的电参数测试过程中常受到测试系统信号完整性问题的影响,导致实测电参数结果与其实际性能有较大差异。为了更真实的反映被测器件(DUT)的电性能,提出了通过仿真和结合良好的 PCB 设计来解决测试系统信号完整性问题的方法,分析并解决了测试系统信号完整性仿真中模型不完善的相关问题。通过对一款 DUT 测试系统的信号完整性设计和测试,验证了设计方法和建模的有效性。

**关键词:** 信号完整性;Hyperlynx;仿真;IC 测试;高速电路

**中图分类号:** TN407 **文献标识码:** A **国家标准学科分类代码:** 510

## Signal integrity design for IC test systems

Huang Cheng Xia Jun Liu Chenghan Ye Da

(The 24<sup>th</sup> Institute of China Electronic Technology Group Corporation, Chongqing 400060, China)

**Abstract:** With the data rate of digital ports is improved, the electrical specifications of the high-speed device under test (DUT) as AISC, SOC, ADC and DAC are severely affected by the test system's signal integrity problem in the test. The test system's Signal Integrity problem can leads to the difference between measurement results and actual electrical specifications. This paper proposed a method to avoid the signal integrity problem of test system by simulation and combined with good PCB design, analyzed and solved the problem of imperfect model. Through the signal integrity designing of a DUT test system and testing, verified the design method and modeling is validated.

**Keywords:** signal integrity; hyperlynx; simulation; IC test; high-speed circuit

## 0 引言

随着高速集成电路数字端口的数据率提升,其产品的测试系统设计难度也随之变大。如 ADI 公司的 ADC/DAC 产品中 JESD204B 接口的数据率已达到 12.5 Gbps,其测试系统设计难度很大。被测集成电路产品(device under test, DUT)的数字信号上升下降沿时间越来越小和 DUT 工作时钟频率越来越高,DUT 的性能指标受测试系统 PCB 板材、信号走线的阻抗、线间串扰、电磁兼容和环境干扰等因素的影响越来越大,往往一个小问题如短线、焊盘、过孔残桩、层间通孔等都可能对信号完整性问题<sup>[1]</sup>。当测试系统 PCB 存在信号完整性问题时,DUT 的电参数测试结果不能真实的反应其电性能,因此需要利用信号完整性仿真手段来解决 PCB 设计问题,保证 DUT 性能的真实反映、提高 PCB 设计成功率。本文基于一款高速接口电路进行测试系统的信号完整性设计仿真,分析了仿真过程中的难点和 PCB 设计注意事项,并将实测结果和电路设计

指标进行了对比验证,保证了信号完整性仿真在测试系统设计中的有效性。

## 1 难点分析

### 1.1 仿真模型分析

在电子系统设计中,信号发射端和接收端都是高速电路,各高速电路均已有相应的电路模型如 IBIS 模型<sup>[2]</sup>、SPICE 模型<sup>[3]</sup>和 DML 模型<sup>[4]</sup>等,电路模型相当完整,仿真精度高。电子系统仿真如图 1 所示,其中需要仿真的信号传输线发射端芯片为 UDRV1,接收端芯片为 URCV2,其仿真模型完整。

而测试系统设计过程中信号完整性仿真与电子系统设计仿真却不完全一致。主要体现在以下两方面。

1) 电路模型方面:在高速电路测试系统中 DUT 做为被测电路无准确的仿真模型,即使有 SPICE 模型用于仿真,受 DUT 封装、键合丝等影响其模型准确度大大降低。

2) 接收与发送端模型:高速电路测试系统中 DUT 测

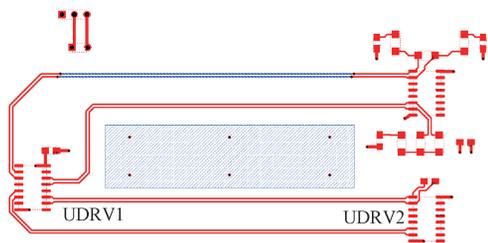


图 1 电子系统仿真

量时信号发射端或接收端通常是仪器,连接仪器的还有同轴线缆、接插件等,图 2 所示为时域测试系统,在 PCB 设计阶段不可能设计相关测试环境的模型,而测量设备和线缆等模型(常用 S 参数模型进行描述<sup>[5]</sup>)的准确度对仿真结果准确度的影响很大。



图 2 测试系统实物

## 1.2 仿真必要性分析

以图 2 中的 DUT 为例,设计的输出数据率为 8 Gbps,仿真阶段输出数据率能达到 8 Gbps。设计指标为上升时间 20 ps,下降时间 18 ps,单端输出电压 550 mV,电路输出阻抗为 50  $\Omega$ 。DUT 输出数据率在 1.5 Gbps 时,未进行信号完整性设计的测试系统实际测量输出波形如图 3 所示,其上升下降时间约为 50 ps,1.5 Gbps 时输出波形出现振荡,输出波形幅度约为 500 mV。

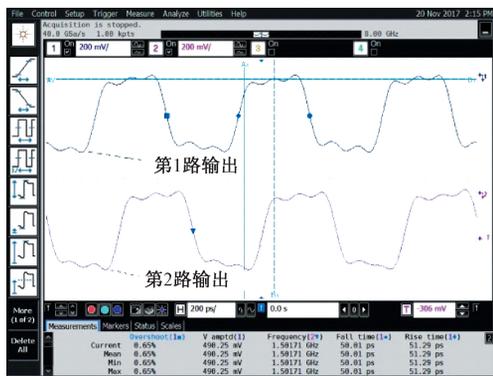


图 3 1.5 Gbps 输出波形

数据率在 3~8 Gbps 时电路功能已不正常,实际测量波形如图 4 所示,输出波形几乎为正弦波,且幅度衰减较大。通过仿真分析主要原因在于微带线阻抗不匹配、串扰、电源 PDN 阻抗较大<sup>[6]</sup>和电源完整性问题<sup>[7]</sup>引起的。

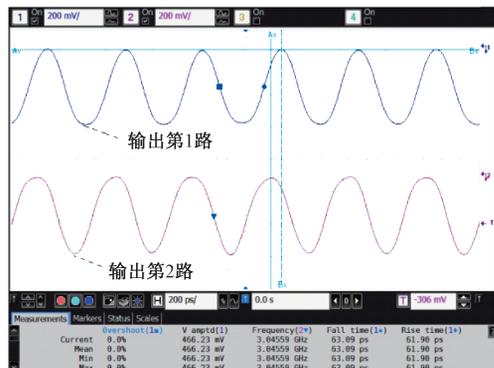


图 4 3 Gbps 输出波形

## 1.3 良好 PCB 设计的必要性

受信号完整性仿真软件的功能限制,信号完整性仿真能解决部分 PCB 设计问题,但仍有很多问题仅靠仿真是不能解决的,如时钟抖动导致的误码率高、电源完整性导致的时钟抖动和芯片数据抖动等都不能依靠仿真解决,要解决这些问题,必须做好 PCB 的 Layout 控制<sup>[8]</sup>。

因此 PCB 的合理设计、仿真模型准确度的设计提升和仿真手段的有效使用都是高速电路测试系统信号完整性设计缺一不可的。

## 2 PCB 设计

因为仿真手段不能解决所有信号完整性问题,因此在 PCB 设计时必须把不能仿真的因素进行有效控制。板材的选取、叠层的合理设计和电源完整性设计等都是关键因素<sup>[9]</sup>。根据本次设计所采用 DUT 的设计指标,选择了满足传输要求的板材,采用 0.102 mm Rogers 不含铜双面板材,铜厚 18  $\mu\text{m}$ ,介电常数 3.48,和 3 层 Rogers 半固化片 100  $\mu\text{m}$ 厚度,介电常数 3.58,设计为 4 层板,其叠层设计如图 5 所示。



图 5 PCB 叠层设计

本次设计的关键信号线均布置在顶层和底层,顶层和底层的微带线特性阻抗设计为 50  $\Omega$ ,其线宽计算结果如图 6 所示,根据软件计算结果,其线宽设计为 8.677 mil<sup>[10]</sup>。

遵循高速 PCB 布线的基本规则,优化后的 PCB 设计如图 7 所示。

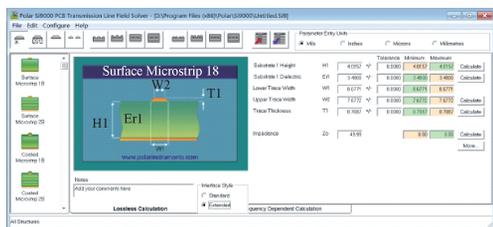


图 6 PCB 微带线线宽计算

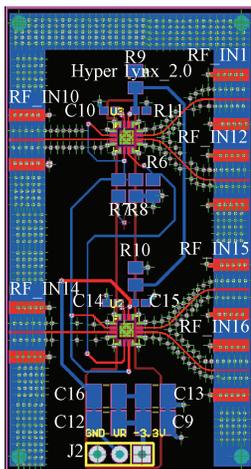


图 7 PCB 设计图

### 3 仿真设计

为了尽可能真实的反应 DUT 的电性能参数,且保证仿真结果和实测结果的一致性,必须保证模型的准确性,测试系统仿真主要体现在以下两个方面。

1)DUT 的仿真模型处理:当 DUT 有 SPICE 模型时可以将 SPICE 模型用于仿真(封装管壳与键合丝等需要建模<sup>[11]</sup>);当 DUT 无 SPICE 模型时,可采用同 DUT 数字端口结构一样的同类型电路的 IBIS 模型。由于 DUT 输出端直接连接到输入阻抗为 50 Ω 示波器,因此从图 7 所示的 PCB 电路输出网络 RF\_IN11 仿真模型导出到 Hyperlynx 仿真软件的 Linesim 图如图 8 所示<sup>[12]</sup>。

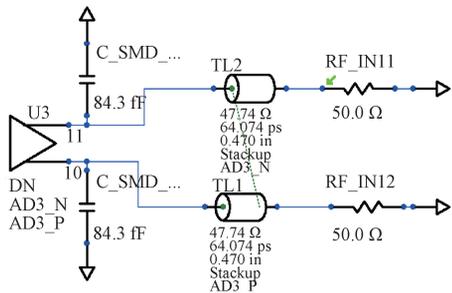


图 8 RF\_IN11 仿真 Linesim 图

2)接收与发送端模型处理:与实物测试图 2 对比发现,Linesim 图中少了 SMA 连接头,SMA 焊盘和电缆等模型,

且仪器的模型不能完全等效于 50 Ω,因此必须在 Linesim 图中进行模型增补与修改。根据仿真精度要求,焊盘、连接头和电缆等可以通过建模<sup>[13]</sup>或者实物测量提取。

焊盘平面电容值计算如式(1)所示。

$$C = e \times e_0 \times S / d \tag{1}$$

式中: $e_0$  为真空介电常数  $8.86 \times 10^{-12}$ ,单位为 F/m; $S$  为面积,单位为  $m^2$ ; $d$  为极板间距,单位为 m。

为了提高仿真精度,本次设计同轴电缆等连接器模型利用网络分析仪进行实测提取了 S 参数模型<sup>[14]</sup>保证模型的真实与准确性。此次设计的 DUT 上升下降时间约为 20 ps,带宽计算公式如式(2)<sup>[15]</sup>,注意其仪器需求带宽必须保证在 28 GHz 以上。

$$BW = 0.4 / T_r \times 1.4 \tag{2}$$

式中: $BW$  为需求仪器带宽; $T_r$  值为 20%~80% 的上升时间。

根据焊盘电容计算和同轴电缆模型增补后其模型修改为图 9 所示的 Linesim 图。

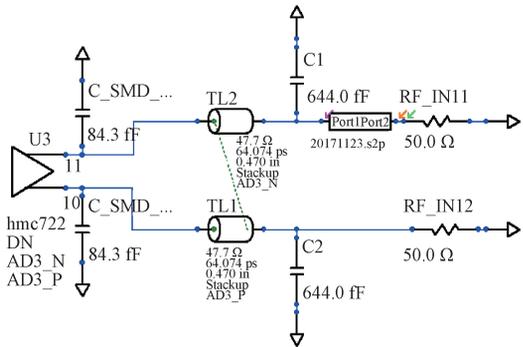


图 9 RF\_IN11 仿真模型增补 Linesim 图

当 DUT 输出数据率为 8 Gbps 的信号时,修改模型后 Hyperlynx 示波器的仿真波形如图 10 所示。仿真结果为上升下降时间约 20 ps,仿真幅度约 600 mV。

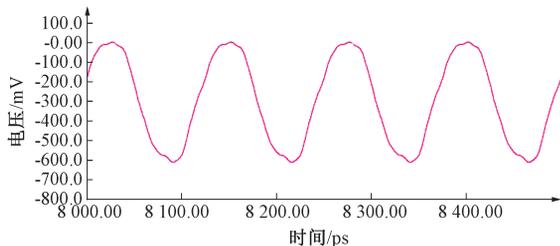


图 10 示波器仿真测量结果 1

当图 9 中无电缆模型(S 参数模型)时其仿真波形如图 11 所示,跟电路设计的仿真波形差异较小。

### 4 实际测量

实际测试时电路输出波形如图 12 和 13 所示,其中电路在 8 Gbps 数据率输出时各项参数仿真值和实际测量结

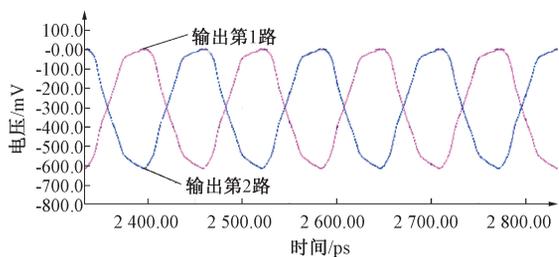


图 11 示波器仿真测量结果 2

果如表 1 所示。由表 1 可知,此款 DUT 的实测电性能参数与设计理论值基本一致。

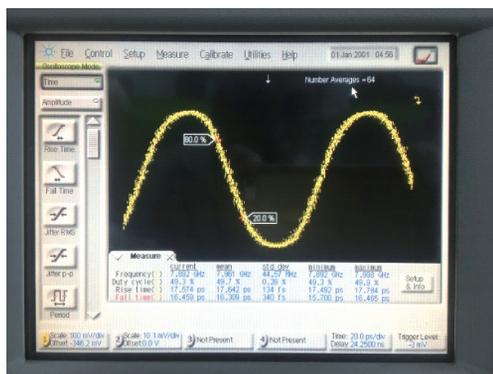


图 12 8 Gbps 数据率输出示波器实测波形图 1

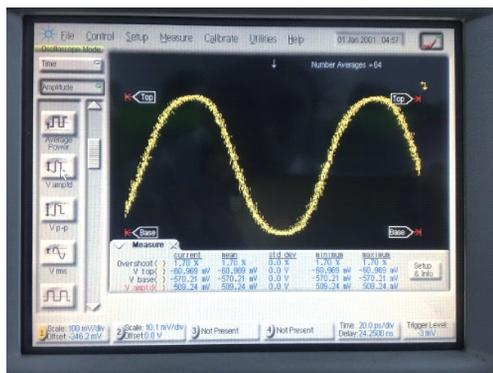


图 13 8 Gbps 数据率输出示波器实测波形图 2

表 1 8Gbps 数据率参数对比

参数	设计值	仿真值	实测值
上升时间/ps	20	20	17.5
下降时间/ps	18	20	16.5
输出高电平/mV	-20	0	-50
输出低电平/mV	-570	-600	-570

实际测试结果与仿真结果差异较小,且传输的波形信号质量较好。仿真与实际测试结果的差异主要来自 DUT 实际模型与所采用的 IBIS 模型差异;仿真软件中的仪器带宽无穷大,测量仪器的滤波器带宽有限;连接器、焊盘、线缆等与实际模型的差异;PCB 工艺导致的偏差。

## 5 结 论

本文以一款高速 DUT 测试系统的信号完整性设计为例,解决了仿真过程中 DUT 仿真模型、测试环境仿真模型不准确的问题。结合良好的 PCB 设计,利用仿真手段解决了测试系统的信号完整性问题,并进行了实际测试验证对比,对其他高速 IC 测试系统的信号完整性设计有较好的参考意义。

## 参考文献

- [1] ERIC BOGATIN. 信号完整性分析[M]. 北京: 电子工业出版社, 2005.
- [2] 周博远, 于立新, 褚军舰. IBIS 建模和 PCB 信号完整性分析[J]. 微电子学与计算机, 2010, 27(10): 111-113.
- [3] ZHANG M S, LI Y S, LI L P, et al. An efficient power-delivery method for the design of the power distribution networks for high-speed digital systems [J]. IEEE Transactions on Microwave Theory and Techniques, 2009, 57(3): 693-707.
- [4] 蒋修国, 林超文, 李增. HyperLynx 高速电路仿真实战[M]. 北京: 电子工业出版社, 2017.
- [5] 郑浩, 金利峰. 高速串行背板 10Gbps 信号传输性能仿真和分析[J]. 计算机工程与科学, 2011, 33(10): 70-75.
- [6] 张召宾, 宋宝, 程建军. 高速数字 PCB 板的信号完整性仿真与验证[J]. 合肥工业大学学报(自然科学版), 2015, 38(6): 778-782, 64.
- [7] MADHAVAN S, EGEENGIN A, et al. 芯片及系统的电源完整性建模与设计[M]. 北京: 电子工业出版社, 2009.
- [8] 柯敏毅, 周芸. 高速 PCB 设计研究[J]. 电子工艺技术, 2007(6): 330-333, 337.
- [9] 齐志强. 高速 PCB 设计经验与体会[J]. 电子设计工程, 2011, 19(16): 141-143.
- [10] 王磊. 高速 PCB 设计中影响信号完整性的因素及解决方案[J]. 数字技术与应用, 2015(4): 51-52.
- [11] YOUNG B. Digital Signal Integrity: Modeling and Simulation with Interconnects and Packages [M]. Prentice Hall PTR, 2000.
- [12] 李秀娟, 朱剑锋, 苏鑫, 等. 基于 HyperLynx 的高速 PCB 板级仿真[J]. 电子科技, 2012, 25(8): 121-124.
- [13] 徐兴福. HFSS 射频仿真设计实例大全[M]. 北京: 电子工业出版社, 2015.
- [14] JOEL P D. 微波器件测量手册[M]. 北京: 电子工业出版社, 2014.
- [15] JOHNSON H, GRAHAM M. High Speed Digital Design-A Handbook of Black Magic [M]. Prentice Hall, 1993.

## 作者简介

黄成, 1985 年出生, 工程师, 主要从事高速与射频微波集成电路测试技术和模拟 IC 测试系统研究工作。

E-mail: hc\_sisc@163.com